

## 明 細 書

自己発光型表示装置の駆動方法、自己発光型表示装置の表示制御装置、自己発光型表示装置の電流出力型駆動回路

### 技術分野

[0001] 本発明は、例えば、有機電界発光素子など、電流量により階調表示を行う表示装置に用いる電流出力を行う駆動用半導体回路等に用いられる有機発光素子を用いた表示装置の駆動方法を実現する、自己発光型表示装置の駆動方法、自己発光型表示装置の表示制御装置、自己発光型表示装置の電流出力型駆動回路等に関する。

### 背景技術

[0002] 有機発光素子は、自発光素子であるため、液晶表示装置で必要とされるバックライトが不要であり、視野角が広いなどの利点から、次世代表示装置として期待されている。

[0003] 一般的な有機発光素子の素子構造の断面図を図4に示す。有機層42が陰極41及び陽極43により挟まれた構成となっている。これに直流電源44を接続すると、陽極43から正孔が、陰極41から電子が有機層42に注入される。注入された正孔及び電子は有機層42内を電源44により形成された電界により対極に移動する。移動途中において電子と正孔が有機層42内で再結合し、励起子を生成する。励起子のエネルギーが失活する過程において発光が観測される。発光色は励起子の持つエネルギーにより異なり、およそ有機層42の持つエネルギーバンドギャップの値に対応したエネルギーの波長を持つ光となる。

[0004] 有機層内で発生した光を外部に取り出すため、電極のうち少なくとも一方は可視光領域で透明な材料が用いられる。陰極には、有機層への電子注入を容易にするため仕事関数の低い材料が用いられる。例えば、アルミニウム、マグネシウム、カルシウムなどである。耐久性、さらなる低仕事関数化のためにこれらの合金や、アルミリチウム合金といった材料が用いられることがある。

[0005] 一方陽極は正孔注入の容易性からイオン化ポテンシャルの大きいものを用いる。ま

た陰極が透明性を持たないため、こちらの電極に透明性材料を用いることが多い。そのため一般的には、ITO (Indium Tin Oxide)、金、インジウム亜鉛酸化物 (IZO) などが用いられる。

- [0006] 近年では低分子材料を用いた有機発光素子において、発光効率を高めるため、有機層42を複数の層で構成することがある。これにより、各層で、キャリア注入、発光領域へのキャリア移動、所望の波長を持つ光の発光の機能を分担することが可能となり、それぞれに効率のよい材料を用いることで、より効率の高い有機発光素子を作成することが可能となる。
- [0007] このようにして形成された有機発光素子は、図5(a)に示すように輝度は電流に対して比例し、図5(b)に示すように電圧に対しては非線形な関係となる。それゆえ階調制御を行うには、電流値により制御を行う方がよい。
- [0008] アクティブマトリクス型の場合、電圧駆動方式と電流駆動方式の2通りがある。
- [0009] 電圧駆動方式は電圧出力型のソースドライバを用い、画素内部において電圧を電流に変換し、変換した電流を有機発光素子に供給する方法である。
- [0010] この方法では画素毎に設けられたトランジスタにより電圧電流変換を行うことから、このトランジスタの特性ばらつきに応じて、出力電流にばらつきが発生し、輝度むらが生じる問題がある。
- [0011] 電流駆動方式は電流出力型のソースドライバを用い、画素内部では1水平走査期間出力された電流値を保持する機能のみを持たせ、ソースドライバと同じ電流値を有機発光素子に供給する方法である。
- [0012] 電流駆動方式の例を図6に示す。図6の方式は画素回路にカレントコピア方式を用いたものである。
- [0013] 図7に図6の画素67の動作時の回路を示す。
- [0014] 画素が選択されたときには図7(a)に示すようにその行のゲート信号線61aはスイッチを導通状態とするように、61bは非導通状態となるようにゲートドライバ35から信号が出力される。このときの画素回路の様子を図7(a)に示す。このときソースドライバ36に引き込まれる電流であるソース信号線60に流れる電流は点線71で示した経路を流れる。よってトランジスタ62にはソース信号線60に流れる電流と同一電流が流れる

。すると節点72の電位はトランジスタ62の電流電圧特性に応じた電位となる。

[0015] 次に非選択状態となるとゲート信号線61により図7(b)に示すような回路となる。EL電源線64から有機発光素子63に73で示す点線の経路で電流が流れる。この電流は節点72の電位とトランジスタ62の電流電圧特性により決まる。

[0016] 図7(a)と(b)において節点72の電位は変化しない。従って同一トランジスタ62に流れるドレイン電流は図7(a)と(b)において同一となる。これによりソース信号線60に流れる電流値と同じ値の電流が有機発光素子63に流れる。トランジスタ62の電流電圧特性にばらつきがあっても原理上電流71と73の値には影響がなく、トランジスタの特性ばらつきの影響のない均一な表示を実現できる。

[0017] 従って、均一な表示を得るためには電流駆動方式を用いる必要があり、そのためにはソースドライバ36は電流出力型のドライバICでなければならない。

[0018] 階調に応じた電流値を出力する電流ドライバICの出力段の例を図10に示す。表示階調データ54に対し、デジタルアナログ変換部106によりアナログの電流出力を104より行う。アナログデジタル変換部は、複数個(少なくとも階調データ54のビット数)の階調表示用電流源103とスイッチ108及び、1つあたりの階調表示用電流源103が流す電流値を規定する共通ゲート線107から構成される。

[0019] 図10では3ビットの入力105に対しアナログ電流を出力する。ビットの重みに応じた数の電流源103を電流出力104に接続するかをスイッチ108により選択することで、例えばデータ1の場合は、電流源103が1つ分の電流、データ7の場合は7つ分の電流といったように階調に応じた電流が出力できる。この構成をドライバの出力数に応じた数だけ106を並べることで電流出力型ドライバが実現可能である。トランジスタ103の温度特性を補償するため共通ゲート線107の電圧は分配用ミラートランジスタ102により決められる。トランジスタ102と電流源群103はカレントミラー構成となり、基準電流89の値に応じて1階調あたりの電流が決められる。この構成により、階調により出力電流が変化し、かつ1階調あたりの電流は基準電流により決まる。

[0020] 有機発光素子を用いた、本発明の電子機器の一例としての表示装置の例を図21から図23に示す。図21はテレビ(の斜視図(図21(a))およびその構成ブロック(図21(b))、図22はデジタルカメラもしくはデジタルビデオカメラ、図23は携帯情報端末

を示している。有機発光素子は応答速度が速いため動画を表示する機会の多いこれらの表示装置にふさわしい表示パネルである(たとえば、特開2001-147659号公報参照)。

- [0021] 図10に示すような電流ドライバでは、同一サイズのトランジスタ103を(階調数-1)個だけ並べ、入力データに対し、出力につながるトランジスタ103の個数を変化させることで電流出力を行っている。そのため、階調と出力電流は比例関係となる。これをそのまま出力すると、人間の視覚特性から全体に白っぽく見える(低階調側が白っぽくなる)。
- [0022] 一般的なディスプレイの駆動装置では各階調に応じた出力にガンマ補正をかけて出力される。液晶ディスプレイの場合では、電圧駆動であるため、各階調に対応した電圧値が必要である。(電圧の場合には電流のように階調分の足し算により表現することは不可能であるため、階調ごとに電圧が必要)そのため、各階調電圧の段階で、ガンマ補正に対応した電圧出力となるような電圧値に調整して出力されているため、6ビットドライバであってもガンマ補正済みであり、十分に階調表示が可能である。
- [0023] 一方電流ドライバでは同じ6ビットでもガンマ補正がかかっていないため、低階調部での刻みを細かくするためには、6ビットよりも細かな階調出力が要求される。これをフレーム間引き(FRC)で行うとすると最低でも4フレーム間でのフレーム間引きが必要となり、有機発光素子の応答速度が速いこともありフリッカが発生する。そのため、細かな階調表現をFRCなしで行う必要があり、例えば8ビット化する必要がある。
- [0024] この問題は、階調と出力電流が比例する電流ドライバと、入力電流と輝度が比例する電流出力型表示素子を組み合わせた場合に特有な問題である。
- [0025] FRCによるガンマ補正をなくすために、電流ドライバの出力を6ビットから8ビットに増加させ、ガンマ処理をソースドライバ入力前に行いガンマ処理した8ビット信号をソースドライバに入力する構成が考えられる。
- [0026] 電流ドライバの出力を6ビットから8ビットに拡張する方法としては、トランジスタ103の個数を255個用意する方法があるが、この方法の場合、従来(63個のトランジスタ103)の方法に比べ、4倍のトランジスタ103が必要となりソースドライバの面積もこれに応じて増加する。出力段トランジスタの全チップ面積に占める割合は7割程度ある



ことから、単純には6ビット時に比べ、約3倍の大きさとなる。コストの面において大きなインパクトがある。

### 発明の開示

[0027] そこで、上記の課題を考慮し、本発明は、電流ドライバの出力ビット数を増加させても、回路規模の増大をより低く抑えることができる、電流出力型半導体回路、表示用駆動装置、表示装置、電流出力方法を提供することを目的とする。

[0028] 第1の本発明は、マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有する自己発光型表示装置の駆動方法であって、

前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加する工程と、

前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる工程と、

所定の第1条件に基づき、前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する工程とを備えた、自己発光型表示装置の駆動方法である。

[0029] また、第2の本発明は、前記第3期間は、前記自己発光素子に印加される表示電流を与える表示階調に対応して可変されるものである、第1の本発明の自己発光型表示装置の駆動方法である。

[0030] また、第3の本発明は、前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、

前記所定の第1条件として、それら電流値の差分が所定の値以上の場合、前記次の行の表示の際、前記第3期間に、前記次の行の前記自己発光素子にプリチャージ電流を印加する、第1の本発明の自己発光型表示装置の駆動方法である。

[0031] また、第4の本発明は、前記第3期間は、前記差分の大きさに応じて可変されるものである、第3の本発明の自己発光型表示装置の駆動方法である。

[0032] また、第5の本発明は、前記マトリクスの同一列上における、所定行の前記自己発

光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値より小さい場合、前記次の行の前記自己発光素子の表示の際、前記プリチャージ電流の印加を行わない、第1または第3の本発明の自己発光型表示装置の駆動方法である。

[0033] また、第6の本発明は、前記所定の第1条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記プリチャージ電流の印加を行わない、第1の本発明の自己発光型表示装置の駆動方法である。

[0034] また、第7の本発明は、前記プリチャージ電流の値は、白表示するのに相当する電流値である、第1の本発明の自己発光型表示装置の駆動方法である。

[0035] また、第8の本発明は、前記第3期間は、予め駆動回路で準備される複数のパルス長にそれぞれ対応した第3期間群より選択される、第1の本発明の自己発光型表示装置の駆動方法である。

[0036] また、第9の本発明は、所定の第2条件に基づき、前記第3期間より前の第4期間に、前記自己発光素子に所定の電圧を印加する工程をさらに備えた、第1の本発明の自己発光型表示装置の駆動方法である。

[0037] また、第10の本発明は、前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第2条件として、それら電流値の差分が所定の値以上の場合、前記次の行の前記自己発光素子の表示の際、前記第4期間に前記次の行の前記自己発光素子に前記所定の電圧を印加する、第9の本発明の自己発光型表示装置の駆動方法である。

[0038] また、第11の本発明は、前記所定の第2条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記第4期間に前記自己発光素子に前記所定の電圧を印加する、第9の本発明の自己発光型表示装置の駆動方法である。

[0039] また、第12の本発明は、前記所定の電圧は、前記自己発光素子が最後に行った

表示の際に印加した電流値に相当した電圧と等しいか、低階調色表示するのに相当する電圧である、第9の本発明の自己発光型表示装置の駆動方法である。

[0040] また、第13の本発明は、前記第1電圧は黒表示を行うのに相当する電圧である、第12の本発明の有機発光素子を用いた自己発光型表示装置の駆動方法である。

[0041] また、第14の本発明は、マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有し、前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加し、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる自己発光型表示装置の表示制御装置であって、

所定の第1条件に基づき前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加するプリチャージ電流印加手段を備えた、自己発光型表示装置の表示制御装置である。

[0042] また、第15の本発明は、前記第3期間は、前記自己発光素子に印加される表示電流を与える表示階調に対応して可変されるものである、第14の本発明の自己発光型表示装置の表示制御装置である。

[0043] また、第16の本発明は、前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値以上の場合、前記次に行う表示の際、前記第3期間に、前記次の行の前記自己発光素子にプリチャージ電流を印加する、第14の本発明の自己発光型表示装置の表示制御装置である。

[0044] また、第17の本発明は、前記第3期間は、前記差分の大きさに応じて可変されるものである、第16の本発明の自己発光型表示装置の表示制御装置である。

[0045] また、第18の本発明は、前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値より小さい場合、前記次の行の前記自己発光素子の表示の際、前記プリチャージ電流の印加を行わない、第14または第16

の本発明の自己発光型表示装置の表示制御装置である。

[0046] また、第19の本発明は、前記所定の第1条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記プリチャージ電流の印加を行わない、第14の本発明の自己発光型表示装置の表示制御装置である。

[0047] また、第20の本発明は、前記プリチャージ電流の値は、白表示するのに相当する電流値である、第14の本発明の自己発光型表示装置の表示制御装置である。

[0048] また、第21の本発明は、マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有し、前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加し、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる自己発光型表示装置であって、所定の第1条件に基づき前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する自己発光型表示装置の電流出力型駆動回路であって、

時間長の異なる複数の前記第3期間を同時に発生させる第3期間発生手段を備えた、自己発光型表示装置の電流出力型駆動回路である。

[0049] また、第22の本発明は、前記複数の第3期間は、前記プリチャージ電流を印加する時のパルス長により生成される、第21の本発明の自己発光型表示装置の電流出力型駆動回路である。

[0050] また、第23の本発明は、電流出力型ソースドライバ回路として用いられる、第21の本発明の自己発光型表示装置の電流出力型駆動回路である。

[0051] また、第24の本発明は、マトリクス状に配列された自己発光素子と、  
各前記自己発光素子に対応して設けられた各画素回路と、  
前記自己発光素子および前記画素回路を駆動する駆動回路とを備え、  
前記駆動回路として、第21の本発明の電流出力型駆動回路を、少なくとも1以上有する、自己発光型表示装置である。

[0052] また、第25の本発明は、マトリクス状に配列された自己発光素子と、  
各前記自己発光素子に対応して設けられた各画素回路と、

第14の本発明の自己発光型表示装置の表示制御装置と、第21の本発明の自己発光型表示装置の電流出力型駆動回路とを備え、

前記表示制御装置が、前記プリチャージ電流の印加に関する動作を実行する、自己発光型表示装置である。

[0053] また、第26の本発明は、前記自己発光素子は、有機EL素子である、第24または第25の本発明の自己発光型表示装置である。

[0054] また、第27の本発明は、第26の本発明の自己発光型表示装置を表示手段として備えた、電子機器である。

[0055] また、第28の本発明は、テレビとして用いられる、第21の本発明の電子機器である。

[0056] また、第29の本発明は、第1の本発明の、自己発光型表示装置の駆動方法の、前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加する工程と、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる工程と、所定の第1条件に基づき、前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する工程とをコンピュータに実行させるためのプログラムである。

[0057] また、第30の本発明は、第29の本発明のプログラムを記録した記録媒体であって、コンピュータにより処理可能な記録媒体である。

[0058] 本発明の電流出力型半導体回路、表示用駆動装置、表示装置、電流出力方法によれば、電流ドライバの出力ビット数を増加させても、回路規模の増大をより低く抑えることができる。

#### 図面の簡単な説明

[0059] [図1]本発明における電流出力型半導体回路の入力信号波形を示した図

[図2]1ドット分の映像信号ごとにプリチャージを行うかどうか外部から選択できるようにしたときのドライバICのブロック図

[図3]複数のソースドライバICを用いた表示パネルを示した図

[図4]有機発光素子の構造を示した図

[図5](a)有機発光素子の電流－電圧－輝度特性を示した図(b)有機発光素子の電

流—電圧—輝度特性を示した図

[図6]カレントコピャ構成の画素回路を用いたアクティブマトリクス型表示装置の回路を示した図

[図7] (a) カレントコピャ回路の動作を示した図 (b) カレントコピャ回路の動作を示した図

[図8]定電流源回路の例を示した図

[図9]プリチャージパルス、プリチャージ判定信号と印加判定部出力の関係を示した図

[図10]従来の電流出力型ドライバの各出力へ電流を出力するための回路を示した図

[図11]図10の階調表示用電流源103のトランジスタサイズと出力電流ばらつきの関係を示した図

[図12] (a) カレントコピャ構成の画素回路において、画素にソース信号線電流が流れるときの等価回路を示した図 (b) カレントコピャ構成の画素回路において、画素にソース信号線電流が流れるときの等価回路を示した図

[図13]1出力端子における電流出力とプリチャージ電圧印加部及び切り替えスイッチの関係を示した図

[図14] (a) 各トランジスタ群を構成するトランジスタのチャネルサイズとばらつきの関係を示した図 (b) 各トランジスタ群を構成するトランジスタのチャネルサイズとばらつきの関係を示した図

[図15]1水平走査期間内でのプリチャージ電圧を行う期間と階調データに基づく電流を出力する期間の関係を示した図

[図16]差動入力が可能となるソースドライバの入力部の回路構成を示した図

[図17] (a) 階調データとプリチャージ判定信号の関係を示した図 (b) 階調データとプリチャージ判定信号の関係を示した図 (c) 階調データとプリチャージ判定信号の関係を示した図

[図18]入力シリアル電流を各信号に分配する回路を示した図

[図19]図25及び図14(a)に示す出力段を用いたソースドライバにおける出力電流の隣接端子間のばらつきと階調の関係を示した図

[図20]n型トランジスタを用いた場合のカレントコピアを用いた画素回路を示した図

[図21]本発明の実施の形態を用いた表示装置として、テレビに適用した場合を示した図

[図22]本発明の実施の形態を用いた表示装置として、デジタルカメラに適用した場合を示した図

[図23]本発明の実施の形態を用いた表示装置として、携帯情報端末に適用した場合を示した図

[図24]本発明の実施の形態を用いた半導体回路の電流出力部の概念を示した図

[図25]図24の構成において、電流源をトランジスタで構成した場合を示した図

[図26]図24もしくは図25に示した電流出力部による入力信号の階調対出力電流の関係を示した図

[図27]8ビットデータのうち下位1ビットをあるサイズのトランジスタ構成で出力し、残りの上位7ビット分を下位1ビットのトランジスタに比べてドレイン電流量の多くなるトランジスタを用意し、トランジスタの個数により階調表示を行う電流出力段を示した図

[図28]色ごとにシリアルで高速にデータを入力することでソースドライバの入力信号線数を減らした場合のデータ転送時のタイムチャートを示した図

[図29]色ごとにシリアルで高速にデータを入力することでソースドライバの入力信号線数を減らした場合のコマンド転送時のタイムチャートを示した図

[図30]1水平走査期間における図28及び図29の転送順序を示した図

[図31]図6もしくは図44におけるEL電源線の配線を示した図

[図32]8ビット映像入力に対し、下位2ビットと上位6ビット間の電流の大小関係をトランジスタチャネル幅により調整し、各ビット内ではトランジスタの個数により電流を変化させた出力段の構成において、最上位ビットに対応する電流源にさらに電流源を追加できる構成を示した図

[図33]階調127と階調128の電流差を示した図

[図34]図25の256階調表示のドライバにおけるトランジスタ241出力電流値の理論値からのずれの許容限と表示階調の関係を示した図

[図35]図39の出力段を持つソースドライバにおいて、階調反転を検出し補正を行う

際の回路構成を示した図

[図36]階調3と階調4の階調差を示した図

[図37]階調131と階調132の階調差を示した図

[図38]階調に応じた電流、階調に応じた電圧を1水平期間内でいずれか1つを選択し出力するか、時間的に順に出力するようにできるようにした場合の出力段の構成を示した図

[図39]嵩上げ信号線を用いたときの最上位ビット電流源電流嵩上げ機能付きの電流出力段を示した図

[図40]プリチャージ電源24の電圧が複数あり、複数の電圧のどれを選択し出力し電流出力を行うか、電流出力のみを行うことが可能なソースドライバにおけるプリチャージパルス、プリチャージ判定信号とソース信号線の関係を示した図

[図41]本発明におけるプリチャージ電圧を出力するかどうかを判定するフローチャートを示した図

[図42]本発明のプリチャージ印加方式を実現するためのプリチャージ判定信号生成部を示した図

[図43]階調反転が起こった場合に嵩上げ信号のレベルを変更することで階調反転をなくす機能を有するソースドライバの構成の一例を示した図

[図44]カレントミラー形式の画素構成を用いた表示装置を示した図

[図45]領域452で所定輝度が得られない表示パターンの例を示した図

[図46]領域462の上側1〜5行程度の輝度が高くなる表示パターンの例を示した図

[図47]階調0から階調4、階調0から階調255へのソース信号線電流と電圧の変化を示した図

[図48]階調255から階調4、階調255から階調0へのソース信号線電流と電圧の変化を示した図

[図49]階調0から階調4への変化の際に最大電流を流す期間を設けた場合のソース信号線電流と電圧の関係を示した図

[図50]電圧及び電流プリチャージをするかどうかの判定を行う流れを示した図

[図51]映像信号の階調と、メモリ522に書き込むデータの関係を示した図



[図52]1行前データとの比較を行う回路ブロックを示した図

[図53]1行前データとの比較により、電流プリチャージの処理方法を変える回路ブロックを示した図

[図54]コマンドAの値と、電流プリチャージしない条件の関係を示した図

[図55]1行目データの場合における電流プリチャージ及び電圧プリチャージをするかどうかの判定を行うための回路ブロックを示した図

[図56]1行前のデータによって電流プリチャージを行うかどうかの判定を行うブロックを示した図

[図57]映像信号の階調に応じてどの期間電流プリチャージを行うのかもしくは電流プリチャージを行わないのか判定を行うブロックを示した図

[図58]尾引き対策により電流プリチャージを行うかどうか、電流プリチャージを行う期間を設定するブロックを示した図

[図59]電流プリチャージ期間選択手段により決められた電流プリチャージ期間に対し、コマンド入力により、プリチャージを行わないように変更できるようにした回路におけるコマンドと電流プリチャージの判定基準の関係を示した図

[図60]電圧プリチャージの判定を行うブロックを示した図

[図61]図60におけるコマンドLの値と電圧プリチャージをするかどうかの判定基準の関係を示した図

[図62]入力映像信号に対する電流プリチャージ及び電圧プリチャージを行うかどうか、電流プリチャージの期間を決めるプリチャージ判定信号生成部を示した図

[図63]プリチャージ動作と、プリチャージ判定信号の関係を示した図

[図64]本発明を用いたソースドライバ及び制御ICを組み込んだ表示装置の回路構成を示した図

[図65]電流プリチャージ機能及びゲートドライバ制御信号を出力する機能を備えたソースドライバのブロック図

[図66]ゲート線651とゲートドライバ制御線652の関係を示した図

[図67]映像信号からプリチャージ判定信号を生成し、データをシリアル出力するブロックを示した図

[図68]メモリ522、データ変換部521のタイミングチャートを示した図

[図69]電流プリチャージパルス及び電圧プリチャージパルスを生成するための回路ブロックを示した図

[図70]カレントコピア回路を出力段に用いる場合におけるドライバICのブロック図を示した図

[図71]デジタルーアナログ変換部を実現する回路例を示した図

[図72]複数のドライバICを接続したときの階調基準電流信号の配線を示した図

[図73]電流保持手段の回路を示した図

[図74]節点742及び駆動トランジスタ731のドレイン電流がゲート信号線741により変化することを示した図

[図75]駆動トランジスタのドレイン電流ーゲート電圧特性を示した図

[図76]移動度が異なるトランジスタが各出力の駆動トランジスタに用いられる場合において「突き抜け」によるドレイン電流の違いを示した図

[図77]カレントコピア回路において「突き抜け」を減らすためにトランジスタを1つ挿入した場合の電流保持手段を示した図

[図78]階調基準電流生成部の回路を示した図

[図79]図77において2つのゲート信号線の波形を示した図

[図80]階調基準電流生成部の回路を示した図

[図81]基準電流生成部を示した図

[図82]イネーブル信号を含んだデジタルアナログ変換部の回路を示した図

[図83]1水平走査期間におけるタイミングパルス、チップイネーブル信号、セレクト信号と階調電流信号の関係を示した図

[図84]W/Lの異なるトランジスタの電流ー電圧特性を示した図

[図85]映像信号とプリチャージフラグを低振幅高速転送し、電子ボリューム設定及びプリチャージ期間設定用の1ビットコマンド線付きとなるソースドライバを用いた場合の表示パネルの構成例を示した図

[図86]プリチャージフラグと映像信号線を同一信号線により高速伝送を行う場合の伝送パターン例を示した図

[図87]コマンド線のタイミングチャートを示した図

[図88]階調に応じたプリチャージ電圧を生成するプリチャージ電圧変換部の回路構成を示した図

[図89]図85に用いられるソースドライバの内部ブロック図

[図90]階調データに対応した電流電圧出力の関係及び、階調データに同期して送られるプリチャージ判定信号の転送例を示した図

[図91]映像信号線と同一信号線に基準電流設定及びプリチャージ印加期間設定信号を入力する場合におけるそれぞれの転送パターン例を示した図

[図92]1水平走査期間内でデータを転送する期間とブランキング期間の関係を示した図

[図93]映像信号線と基準電流及びプリチャージ期間設定信号線を共用した場合におけるソースドライバの内部構成を示した図

[図94]ゲートドライバ制御線出力を持ったソースドライバを用いたときのドライバIC間の配線を示した図

[図95]本発明の実施の形態におけるデータ転送方法を示した図

[図96]1水平走査期間内におけるデータの転送例を示した図

[図97]ソースドライバ内部で映像信号線から、階調データ、プリチャージ反転信号、ゲートドライバ制御線を分離したのちの各信号線波形を示した図

[図98]ゲートドライバ制御線出力機能を有したソースドライバの内部構成を示した図

[図99]図98のプリチャージ電圧発生部を示した図

[図100]図98のプリチャージ電圧選択及び印加判定部を示した図

[図101]図100におけるデコード部1001の入出力関係を示した図

[図102]図6の画素回路を用いたときのソース信号線電流とソース信号線電圧の関係を示した図

[図103]階調に応じた電流源の他に電流プリチャージ線により電流を供給するための電流源を電流出力段に設けた図

[図104]ソース信号線電流が10nAから0nAに変化するときの変化の様子を示した図

[図105]ソース信号線電流が0nAから10nAに変化するときの変化の様子を示した図

[図106]図104及び図105での変化をソース信号線の電流電圧特性上で示した図

[図107]電流プリチャージを行ったときのソース信号線電流の変化の様子を示した図

[図108]水平走査期間のはじめに所定電流の10倍の電流を出力するときのソースドライバ出力の時間変化を示した図

[図109]図108のような電流出力を実現するためのソースドライバの構成を示した図

[図110]マルチカラー出力に対応したソースドライバの基準電流生成部と電流出力段の構成を示した図

[図111]マルチカラー出力に対応したソースドライバのプリチャージ電流出力構成(プリチャージ基準電流発生部、プリチャージ電流出力段)を示した図

[図112]プリチャージ電流及びプリチャージ電圧をソース信号線に出力可能としたソースドライバの構成を示した図

[図113]図112のプリチャージ電流電圧出力段の内部構成を示した図

[図114]図113の判定信号デコード部1131の入力とスイッチ1132から1135の状態の関係を示した図

[図115]ソースドライバに入力されるプリチャージフラグ862を出力するフローチャートを示した図

[図116]プリチャージフラグ生成部及びソースドライバへの送信部を示した図

[図117]電圧プリチャージと複数の異なる期間のうちの1つの期間を選択して電流プリチャージを行うことができるソースドライバの構成を示した図

[図118]電流プリチャージを行う機能を有する電流出力部1171の回路を示した図

[図119]パルス選択部1175の入出力信号の関係を示した図

[図120]図119に基づいてパルス選択部を動作させたときの、プリチャージパルス1174、451とプリチャージ判定線984と出力の時間変化を示した図

[図121]図117の構成をしたドライバICの入力信号形式を示した図

[図122]電流プリチャージを行う機能を有する電流出力部1171の回路を示した図

[図123]表示階調と必要なプリチャージ電流出力期間の関係を示した図

[図124]電流プリチャージを用いたときの電流変化を示した図

[図125]各水平走査期間において、プリチャージ電圧及びプリチャージ電流が出力さ

れる場合におけるソース信号線電流の変化の様子を示した図

[図126]複数の水平走査期間にわたってソース信号線電流が変化しない場合には、プリチャージ電圧印加期間1251及びプリチャージ電流出力期間1252を設けないようにしたときのソース信号線電流の変化の様子を示した図

[図127]ソース信号線が連続して同じ電流を出力する場合と、変化する場合がある表示パターンの例を示した図

[図128]図127における本発明を用いた場合のソース信号線電流の変化を示した図

[図129]ソース信号線の電流に変化がある場合にのみプリチャージ電圧もしくはプリチャージ電流が出力される期間が発生するようにするための、判定方法を示した図

[図130]温度により駆動トランジスタ62のドレイン電流とゲート電圧の関係が変化することを示した図

[図131]ソースドライバ外部で抵抗素子と温度補償素子を用いて、温度により異なる電圧をプリチャージ電圧発生部に入力する構成を示した図

[図132]温度によりプリチャージ電圧を変化させるときのプリチャージ電圧の変化例を示した図

[図133]図132のようにプリチャージ電圧を出力したときの温度に対するトランジスタ62のドレイン電流の変化を示した図

[図134]温度補償素子を外部に設けた場合での、プリチャージ電圧を画素回路に印加する回路ブロックを示した図

[図135]温度検知手段のデータを利用し、コントローラからのコマンド制御によりプリチャージ電圧発生用電子ボリュームの値を温度によって変更する回路ブロックを示した図。

[図136]図135の回路構成における温度に対する電子ボリューム出力電圧の関係を示した図

[図137]図136の温度対電子ボリュームの関係でプリチャージ電圧を制御した場合でのトランジスタ62の温度による変化を示した図

[図138]画素回路を形成したアレーと同一アレー内に、プリチャージ電圧発生用トランジスタを形成した場合の回路構成を示した図

[図139]トランジスタ1381及び62のゲート電圧とドレイン電流の関係を示した図

[図140]本発明のプリチャージ電圧発生用トランジスタの配置案を示した図

[図141]アレー内に形成されたプリチャージ電圧発生用回路のうちの1つをソースドライバ入力端子に選択して入れられるようにした回路を示した図

[図142]アレー内に形成されるプリチャージ電圧発生部を複数個に分配して配置した場合の回路構成を示した図

[図143]トランジスタ62及び1381の高温時におけるゲート電圧とドレイン電流特性を示した図

[図144]駆動トランジスタ62のアーリー効果によるEL素子に流れる電流が増加することを示した図

[図145]有機発光素子を用いた表示装置においてEL素子を流れる電流の合計を測定し、その電流値をパネルによらず一定とするための調整回路を示した図

[図146]図145による調整回路において、調整方法を示した図

[図147]プリチャージ電圧の調整を、トリマを用いて行った場合の例を示した図

[図148]温度検知手段の結果をコントローラに入力し、その結果に基づいてソースドライバ及びゲートドライバの信号制御を変化させる場合の回路構成を示した図

[図149]図148の構成におけるゲートドライバ61bの1フレーム間の波形を示した図。

[図150]ゲート信号線2の非点灯期間を出カイネーブル信号により制御したときの波形を示した図

[図151]階調と輝度の関係を示した図

[図152]ガンマ補正をかけたときの映像信号階調と、ソースドライバ出力階調の関係を示した図

[図153]入力映像信号にガンマ補正をかけたのち、プリチャージを行うかどうかの判定を行うための回路構成を示した図

[図154]本発明の実施の形態におけるプリチャージ判定信号発生部を示した図

[図155]階調1を全画面に表示する場合における、あるフレームでの各画素の表示階調を示した図

[図156]ガンマ補正を行った信号をソースドライバの出力階調数に合わせて階調変換

を行うブロックを示した図

[図157]ソースドライバの表示階調を基準として、第1の行を階調0.25、第2から第4の行を階調3表示した場合のあるフレームでの各画素表示階調を示した図

[図158]図157の表示パターンにおけるプリチャージの有り無しの判定を画素ごとに示した図

[図159]ソースドライバの表示階調を基準として、第1の行を階調0.25、第2から第4の行を階調3表示した場合のあるフレームでの各画素表示階調を示した図

[図160]ソースドライバの表示階調を基準として、第1の行を階調0.25、第2から第4の行を階調3表示した場合のあるフレームでの各画素表示階調とキャリー信号の値、ならびにプリチャージの判定結果を示した図

[図161]映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図

[図162]映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図

[図163]図162においてプリチャージ判定信号発生部に入力されるデータの各画素に対応したデータを示した図

[図164]ソースドライバの表示階調を基準として、第1の行を階調0、第2から第4の行を階調2.75表示した場合のあるフレームでの各画素表示階調を示した図

[図165]図162においてプリチャージ判定信号発生部に入力されるデータの各画素に対応したデータを示した図

[図166]1行前のデータとN階調差以上の差があるときにプリチャージを行う場合において、1行前データとN-1階調の差があるときにおける、1行前と当該行のキャリー信号の値によるプリチャージの判定結果を示した図

[図167]1行前のデータとN階調差以上の差があるときにプリチャージを行う場合において、1行前データとN階調の差があるときにおける、1行前と当該行のキャリー信号の値によるプリチャージの判定結果を示した図

[図168]映像信号に対し、ガンマ補正、プリチャージ処理を加える回路ブロックの例を示した図

[図169]発光色ごとに電流プリチャージ期間を異ならせることができるようにするためのパルス発生部の回路構成を示した図

[図170]パルス合成部の内部回路の例を示した図

[図171]ある水平走査期間での電圧プリチャージパルス、電流差補正用パルス、電流プリチャージパルスの変化の様子を示した図

[図172]発光色ごとに電流プリチャージ期間を異ならせることができるようにするためのパルス発生部の回路構成を示した図

[図173]電流プリチャージ期間とプリチャージ電流値の双方を変化させることができるソースドライバの出力段を示した図

[図174]プリチャージ判定線とプリチャージの動作の関係を示した図

[図175]本発明における出力電流値の時間変化を示した図

[図176]プリチャージ電圧を電子ボリュームにより調整し、かつ画素のトランジスタの温度特性による電圧変化を補償することが可能なプリチャージ電圧発生部の回路構成を示した図

[図177]電流プリチャージ期間とプリチャージ電流値の双方を変化させることができるソースドライバの出力段を示した図

[図178]データイネーブル信号を用いて、垂直ブランキング期間では映像信号に階調0を挿入しプリチャージ判定信号発生部では特定の信号を出力するようにするための回路構成を示した図

[図179]図178における黒データ挿入部の動作を示した図

[図180]図178におけるプリチャージ判定信号変更部の動作を示した図

[図181]垂直ブランキング期間でのソースドライバ出力の違いによるソース信号線電位の変化の様子を示した図

[図182]垂直ブランキング期間の最後の水平走査期間に電圧プリチャージおよび階調0出力制御を行ったときのソース信号線電位の変化の様子を示した図

[図183]1行目に電流プリチャージを行った場合のソース信号線変化の様子を示した図

[図184]1行目に電流プリチャージを行った場合のソース信号線変化の様子を示した図



図

[図185]本発明における出力イネーブル信号の動作を示した図

[図186]出力イネーブル機能、電圧プリチャージ機能、電流プリチャージ機能を有する出力段の回路例を示した図

[図187]画素選択期間と垂直ブランキング期間で電圧プリチャージパルスが異なることを示した図

[図188]垂直ブランキング期間での電圧プリチャージパルス、プリチャージフラグとソース信号線電圧のようすを示した図

[図189]コマンド転送期間とタイミングパルス、コマンドレジスタ更新タイミングの関係を示した図

[図190]本発明のソースドライバの内部構成を示した図

#### 符号の説明

- [0060]    11 映像データ  
          12 データ線  
          13 アドレス  
          14 振り分け後データ  
          15 クロック  
          16 スタートパルス  
          241トランジスタ

#### 発明を実施するための最良の形態

- [0061]    本発明の電流出力型半導体回路では、追加する2ビット分に関しては、従来の6ビット分の下位側に追加する。そのためこれまでの6ビット出力に用いた階調表示用電流源103の電流値の4分の1を出力する電流源を用意し、これを3つ追加することで256階調出力を行う。図24に8ビット出力を行う電流出力段の概念図を示す。
- [0062]    8ビット化により増加するトランジスタ数は3個であるため、上位側に追加するのに比べ回路規模の増加が小さい構成が実現可能である。
- [0063]    白表示(最高階調表示)での電流値の調整は“I”の値を調整すれば良く、この“I”の値は図8の構成の基準電流89を制御すれば変化できるため、アプリケーションに応

じて制御データ88を入力することで実現する。

- [0064] 図24の構成をトランジスタで実現したときの例を図25に示す。上位6ビット分のトランジスタ252は、本発明の第1の単位トランジスタに一例として対応し、下位2ビット分のトランジスタ251は、本発明の第2の単位トランジスタに一例として対応する。トランジスタ群241a、241bは、本発明の第1の電流源群に一例として対応し、トランジスタ群242a、242b、242c、242d、242e、242fは、本発明の第2の電流源群に一例として対応する。入力映像信号データD[7:0]に対して、D[0]とD[1]間、D[2]からD[7]間では、ビット毎の重みを出力に接続されるトランジスタの個数を変化することで表現し、下位2ビットと上位4ビット間の重み付けはトランジスタのチャネル幅によりきめられた。トランジスタ251と252では、252の方がチャネル幅がおおよそ4倍となるように設計する。ただし、チャネル幅の比と出力電流の比がぴったり一致するわけではないため、3.3倍から4倍の間でシミュレーションやTEGトランジスタ実測データを元に、トランジスタのチャネル幅の割合を決定することでより階調性の高い出力段を構成できる。

- [0065] 出力電流は各ビットに接続された電流源トランジスタの数により決まり、1つのトランジスタに流れる電流量を個数分積み重ねるような形で、出力電流を変化させる。図24及び図25の8ビット出力の場合、階調と出力電流特性は図26のようになる。(なお紙面の関係上、下位64階調のみを図示) 上位6ビットのトランジスタ252により262の領域で示される電流が出力され、下位2ビットのトランジスタ251により261の領域で示される電流が出力される。262の電流はトランジスタの個数の違いにより電流値を変えているため、刻み幅のばらつきは1%以下にできる。出力電流の大部分は262の部分であるため、261の部分の電流に多少ばらつきが生じても階調のリニアリティに影響を与えない。また261の刻み幅が所定の値に比べ増減しても、4階調に1回のみ刻み幅が異なる部分がでるだけで、262と261の出力電流に対する割合を考慮すると実用上は問題ない。262の電流割合が小さくなる低階調領域では、人間の目の特性上輝度差を認識しにくく、刻み幅のばらつきは更に目立たなくなるため、問題ない。

- [0066] 上位6ビット分のトランジスタ252による隣接端子間の出力ばらつきは6ビットドライ

バのものと同一のものをを用いていることから、ばらつきは2.5%以内となり、出力電流ばらつきによる縦筋は発生しないことを確認済みである。

[0067] 一方新たに足した2ビット分のトランジスタについては、チャンネル幅を単純に4分の1にただけでは、トランジスタのチャンネル面積が小さくなることから、ばらつきが増加し、2.5%を超える(隣接端子間の出力電流ばらつきはトランジスタ面積の平方根に反比例する)。

[0068] 図19に図25の出力段の構成における階調と隣接間電流ばらつきの関係を示す。単純に下位2ビット分のトランジスタ251のサイズを小さくした場合には、実線191及び破線192で示す階調とばらつきの関係となり、階調3以下でばらつきが2.5%を超える問題がある。単純にチャンネル幅を4分の1にした場合でのばらつきと階調の関係を図14(b)に示す。階調1から3ではばらつきが2.5%を超えるため、許容できない。

[0069] そこで、本発明では階調1から3の出力に寄与する3つのトランジスタ251のみ(トランジスタチャンネル幅)/(トランジスタチャンネル長)の値を維持し、出力電流は変化させずに、チャンネル幅とチャンネル長を大きくしてチャンネル面積を大きくすることでばらつきを低減させる。図14(a)に例を示す。この場合ではチャンネル長、チャンネル幅共に2倍とし、チャンネル面積を4倍とすることで全ての階調でばらつきを2.5%以内とした。

[0070] なお本例では、理論上の数値を述べており、実際にはトランジスタ群241a及びトランジスタ群241bのチャンネル幅はこの値よりも大きくなる。大きくなる方向に作成するため、出力電流のばらつきに対しマージンを持つ方向に進むため、理論値でまず計算設計し、最後に実測データに基づいて変更すればよい。

[0071] この方法によるチップ面積の増加は全体の7割に対し1.05倍であることから、全体としては1.04倍程度の増加となるため、増加率が少なくかつ、ばらつきが見えない表示が可能となる。また階調とばらつきの関係も図19に示す191と193の実線で示した関係となり全階調でばらつき2.5%を実現した。

[0072] 更に、トランジスタ群241とトランジスタ群242のトランジスタ群はそれぞれ異なるサイズで形成されているため、シミュレーションと実測値とのずれからトランジスタ群242の電流出力に対し、トランジスタ群241の電流出力が大きくなったり、小さくなったりする。

- [0073] トランジスタ群241の電流出力がトランジスタ群242の出力電流に対して小さくできたととしても出力が0であったり、負の電流が流れるわけでもないため階調反転は起こらないため、問題はない。
- [0074] 一方で、トランジスタ群241の電流出力がトランジスタ群242の出力電流に対して大きくなった場合にはトランジスタ群241のトランジスタが出力に寄与する階調と寄与しない階調が隣接する階調間で階調反転が起こる可能性がある。例えば階調3と4の間や、127と128の間である。
- [0075] 階調3と4の間では、図36に示すように33%の輝度差がある。出力ばらつきは図14に示すように2.5%程度であるから、仮に階調差が小さくなる方向にばらつきが発生したとしても30%の差はある。従って、シミュレーション値に比べ、実際のトランジスタ群241の電流出力が30%大きくなっても問題はない。
- [0076] 階調127と128の間では、図33に示すように0.79%の階調差となる。階調127のうち124階調分と、階調128は同一サイズのトランジスタ242により出力されるため、ばらつきは隣接間ばらつきと同様に0.5%程度である。そのため階調差は最小で0.29%になる可能性がある。トランジスタ群241のトランジスタによる電流が大きくなっても、全体として0.29%までに抑えられればよい。トランジスタ群241のトランジスタの電流は最大でも12.3%までであれば階調反転することはない。
- [0077] 階調128を超える場合、例えば階調131と132間では、図37に示すように、階調差は0.75%であるが、いずれもトランジスタ群242fの電流出力を持ち、異なるのはトランジスタ群242a、トランジスタ群241a、トランジスタ群241bの3つである。トランジスタ群242fに比べ、トランジスタ群242aの電流は32分の1であり、トランジスタのばらつきによる電流値の変化は128階調以下の場合に比べ小さくなる。この場合0.08%小さくなる可能性があり、その結果トランジスタにばらつきがあったとしても0.67%の輝度差となる。127と128間に比べ輝度差が大きくなること、トランジスタ群241の電流出力の占める割合が小さくなることから少なくとも127と128間に比べてトランジスタ群241のトランジスタの電流が大きくなっても問題はない。
- [0078] トランジスタ群241のトランジスタの電流量がシミュレーション値(理論値)よりも大きくなっても階調反転が起きない範囲と、表示階調との関係を図34に示す。

- [0079] 図34によると、最も理論値からのずれを許さないのが、127と128階調間で、この場合に12.3%である。少なくとも理論値と実際の値が12%ずれなければ、階調反転がおきずに電流出力が実現できる。
- [0080] 図24及び図25の構成における8ビットドライバにおいて、下位2ビット(トランジスタ群241で出力)と上位6ビット(トランジスタ群242で出力)のトランジスタサイズを変えたとしても、階調反転なく表示することが可能となる。
- [0081] 最も階調反転が起きやすいのは階調127と階調128の間であるため、この2階調間で階調反転が発生した場合でもリペアにより階調反転をなくす回路を組み込んだ電流出力段23の1出力の回路構成を図32に示す。
- [0082] 図25の構成に比べ、128階調以上での電流増加用トランジスタ322と切り替え部321が加えられたことが特徴である。
- [0083] 切り替え部321の端子323は3つありそれぞれ、電流増加用トランジスタ322、グラウンド電位、電流源242fに接続されている。
- [0084] 切り替え部321では通常は、323aと323bが接続され、323cは未接続状態となっている。そのため、電流増加用トランジスタ322は電流出力には影響しない。階調反転がない場合にはこの状態で出荷する。
- [0085] 一方で、トランジスタ群241の電流が多くなった場合に階調反転が起こった場合には、128階調以上の電流を増加させて、階調反転を防止するため、レーザーなどによって切り替え部321の接続を変更し、端子323aと323cを接続させる。
- [0086] これにより、128階調以上の電流が増加し、階調反転を防止できる。
- [0087] 電流増加用トランジスタ322の電流はトランジスタ群241aの電流の10%程度の電流を出力するようなものとする。トランジスタ群241の電流が12.3%を超えると127と128階調間で反転が起こるためそれを救済するには10%程度としておく。トランジスタ群241の電流が22%ずれると、127と128階調間での階調反転を防止できないが、この場合には、すでに63と64階調間でも階調反転がおこる。63と64階調間での補正はこの回路では不可能であるため、22%のずれを考慮する必要がない。
- [0088] そのため本発明では最も階調反転が起きやすい階調間のみの階調反転のみを救済できるようにする構成としたため、電流増加用トランジスタ322の電流はトランジスタ

群241aの電流の10%程度のものでよい。

[0089] この電流増加用トランジスタ322による隣接間ばらつきへの影響は、128階調の電流に対し、322の出力電流は1280分の1であることから、全体の0.08%であるため無視できる。トランジスタ群241aやトランジスタ群241aの4分の1程度の大きさで作っても問題ない。

[0090] 各出力に切り替え部321を設けたことで階調反転の可能性が小さいドライバICが実現した。これにより、レーザー加工などにより不良品を良品にすることができ歩留まりがあがることが期待できる。

[0091] しかし、1出力毎にレーザー加工を行うとなると、加工に時間がかかることによる作業工数の増大、コストの増加を招くこととなり、歩留まりの上昇の効果ほど値段が下がらない可能性がある。

[0092] そこで、図39に示すように電流増加用トランジスタ322と電流源242fの接続を切り替え手段391を介して行い、嵩上げ信号392により切り替え手段391を制御することで外部コマンド入力により嵩上げ信号392を用いて128階調目の電流を容易に嵩上げできる構成を考えた。

[0093] 嵩上げ信号612は出力ごとに設定できればよいが、この場合信号線ごとの嵩上げ信号612の値を保持するラッチが必要である。各ラッチへの信号の分配は映像信号を分配するために用いるシフトレジスタを共用すれば1ビットの信号入力392により可能である。しかしラッチを信号線分設けるため回路規模が大きくなる問題がある。ラッチ部22が保持すべきデータのビット数が各ソース線で1ビット増加する。回路規模が大きくなっても良い場合もしくは微細プロセスを用いて、全体に占めるラッチ部の面積が小さい場合には出力毎に嵩上げ信号を制御して嵩上げするしないを決めてもよいが、階調反転が起きる場合には、シミュレーション値と実測値がかけ離れた場合に発生することから、基本的には全ての端子共通で、電流増加用トランジスタ322の要不要の判定がなされるはずである。

[0094] そこで嵩上げ信号線392は1つのソースドライバ内において全て共通の1本の信号線とし、この信号線の制御によって、全ての出力で128階調以上の電流を増加させるかどうかを決める。

- [0095] この信号線は例えば、通常はローレベルとし、切り替え部391が非導通状態として置くが、レーザー加工で、嵩上げ信号線392をハイレベルに切り替えることで、全出力一括で制御するようにすれば、短期間でリペアを実施できる。図43の431に示すような回路を形成すれば実現可能である。
- [0096] 更に、ソースドライバIC36内部にROM351を構成できる場合には、外部制御信号により、ROM351の値を書き込み、階調反転が起きたICではROM351には嵩上げ信号線392をハイレベルにするように、階調反転が起きないICではROM351には嵩上げ信号線392をローレベルにするように書き込みを行うようにすればよい。
- [0097] 例えば図35のように、ROM351にはPCなど352からの信号を検査時に入力できるようにして、出力電流測定手段353の電流値により階調反転が起きているかどうかをPCなど352で検出し、階調反転が起きたときにROM351にはハイレベルの信号を書き込むようにする。階調反転が起きない場合にはROM351にはローレベルの信号を書き込む。これにより、自動的に階調反転を補正するかどうかを判定でき、人手を介さずに、不良品をレスキューできるようになり、高速にかつ、安価にICを提供できるようになった。
- [0098] 以上の説明においては、ソースドライバは8ビットとして説明を行ったが、8ビットでなくても本発明を実現できる。また、下位2ビットと上位6ビットの組み合わせ以外でも図27に示すように、下位1ビットと上位7ビットの組み合わせでも実現可能である。下位Nビットをあるトランジスタサイズで形成し、上位Mビットを別のトランジスタサイズで形成することで、 $(N+M)$  ( $\geq 3$ )ビット出力の電流ドライバを実現できる。この場合、下位Nビットのトランジスタは上位Mビットのトランジスタの電流出力の $1/2^N$ の電流を出力すれば最もよい。しかし、階調を表現することができれば、下位Nビットのトランジスタよりも上位Mビットのトランジスタの電流出力が大きければよいという場合も考えられる。
- [0099] NとMの関係は、 $N \leq M$ であることが好ましい。Nが大きくなるにつれてNビットに対応するトランジスタの電流出力割合が大きくなるため、Nビットに対応するトランジスタの電流値の理論値からのずれの影響が大きくなる。例えば8ビットドライバの時には、 $N=2$ 、 $M=6$ のときでは、12.3%までずれを許容できるが、 $N=3$ 、 $M=5$ のときで

は5.26%、 $N=4$ 、 $M=4$ では2.46%までしかずれを許容できない。2.46%となると、隣接間ばらつきと同一レベルであり、この程度が理論値と実測値のずれを制御できる最小値である。

- [0100] それゆえ、8ビットドライバでは $N=4$ が最大値となる。
- [0101] 一般的に $(N+M)$ ビットドライバにおいても、下位トランジスタ( $N$ ビット分)の理論値からのずれの影響を少なくするため、 $N \leq M$ である必要がある。また $N \leq M$ であっても、隣接階調間の階調性を良くするためには、 $N \leq 4$ であることが好ましい。
- [0102] ガンマ補正をかけた8ビットの信号を入力し、ソースドライバIC36を利用して表示を行うと、FRCを用いずともガンマ補正のかかった表示を実現することが可能となる。そのためより低階調側の表示がしやすくなり(FRCによるフリッカの影響がなくなる)表示品位の高い表示装置が実現できる。
- [0103] 図21から図23に示すような表示装置に必要不可欠なドライバIC36である。
- [0104] ここまでは画素67の用いられるトランジスタがp型のトランジスタの時の例を示したが、n型トランジスタを用いても同様に実現可能である。
- [0105] 図20はカレントミラー型の画素構成をn型トランジスタで形成したときの1画素分の回路である。電流が流れる向きが逆になり、それに伴って電源電圧が変わる。従ってソース信号線205を流れる電流はソースドライバIC36から画素67に向かって流れる必要がある。出力段の構成はドライバIC外部に電流を吐き出すようp型トランジスタのカレントミラー構成となる。基準電流の向きも同様に反転する必要がある。
- [0106] このように画素に用いるトランジスタがp、n両方において適用することが可能である。
- [0107] 近年携帯情報端末においても多色化が進み、6万5千色もしくは22万色表示が主流となってきた。ドライバICの入力信号がRGBデジタルインターフェースの場合16ビットもしくは18ビット必要となる。従って入力信号線数が16から18本データの転送のみで必要となる。他にもシフトレジスタの動作信号や、各種レジスタの設定などのために信号線が必要となる。
- [0108] そのため配線数が多くなり、例えば図3のように、表示パネル33に対し、コントロールIC31からソースドライバIC36間の配線が多くなる。そのため、フレキシブル基板3



2が大きくなったり、多層基板を用いるなどコストが高くなる問題がある。

- [0109] 本発明における電流出力型ソースドライバIC36の構成を図2に示す。出力数は単に1出力あたりに必要なシフトレジスタ21及びラッチ部22、電流出力段23、プリチャージ電圧印加判定部56、電流出力／プリチャージ電圧選択部25の数を出力数の増減におうじて、増減させることで実現可能であるため、任意の出力数に対応可能である(ただし、出力数が増加するとチップサイズが大きくなりすぎることと、汎用性がなくなるため600程度くらいが実用上最大である)。
- [0110] 本発明のドライバIC36の映像信号は制御IC28から信号線12及び13により入力される。これを分配部27により映像信号及び各種設定信号を振り分け、映像信号のみをシフトレジスタ部21に入力する。シフトレジスタ部21及び2つのラッチ部22により各出力端子に分配する。分配された映像信号は電流出力段23に入力される。電流出力段23では、映像信号と基準電流生成部26により生成された基準電流から、階調に応じた電流値を出力する。ラッチ部のうちプリチャージ判定信号データは、プリチャージ電圧印加判定部56に入力される。一方プリチャージ電圧印加判定部56では、ラッチ部22によりラッチされたプリチャージ判定信号と、プリチャージパルスにより、プリチャージ電源24から供給される電圧を出力53に出力するかどうかのスイッチを制御する信号を生成する。これによりプリチャージ電圧印加判定部56の出力信号に応じてドライバIC36の外部に階調に応じた電流を出すか、プリチャージ電源24から供給される電圧を供給するか選択する電流出力／プリチャージ電圧選択部25を介してドライバIC36外部に電流もしくは電圧が出力される。
- [0111] プリチャージ電源24から出力される電圧は、表示パネルに黒を表示するために必要な電圧値となる。このプリチャージ電圧を印加する方法はアクティブマトリクス型表示装置に電流出力に応じて階調表示を行うためのドライバIC36特有の構成である。
- [0112] 例えば図6に示す画素構成のアクティブマトリクス型表示装置において、ソース信号線からある画素に所定電流値を書き込む場合について考える。プリチャージを行わない場合、つまりプリチャージ回路がない場合、ソースドライバIC36の出力段から画素までの電流経路に関係する回路を抜き出した回路は図12(a)のようになる。
- [0113] 階調に応じた電流IがドライバIC36内から、電流源122という形で引き込み電流とし

て流れる。この電流はソース信号線60を通じて、画素67内部に取り込まれる。取り込まれた電流は駆動トランジスタ62を流れる。つまり、選択された画素67においてEL電源線64から駆動トランジスタ62、ソース信号線60を介して、ソースドライバIC36に電流Iが流れる。

- [0114] 映像信号が変化して電流源122の電流値が変化すると、駆動トランジスタ62及びソース信号線60に流れる電流も変化する。そのときソース信号線の電圧は駆動トランジスタ62の電流－電圧特性に応じて変化する。駆動トランジスタ62の電流電圧特性が図12(b)である場合、例えば電流源122が流す電流値がI2からI1に変化したとすると、ソース信号線の電圧はV2からV1に変化することになる。この電圧の変化は電流源122の電流によっておこる。
- [0115] ソース信号線60には浮遊容量121が存在する。V2からV1までソース信号線電圧を変化させるにはこの浮遊容量の電荷を引き抜く必要がある。この引き抜きにかかる時間 $\Delta T$ は、 $\Delta Q$  (浮遊容量の電荷) =  $I$  (ソース信号線に流れる電流)  $\times \Delta T = C$  (浮遊容量値)  $\times \Delta V$ となる。ここで $\Delta V$  (白表示時から黒表示時間の信号線振幅)は5[V]、 $C = 10\text{pF}$ 、 $I = 10\text{nA}$ とすると、 $\Delta T = 50\text{ミリ秒}$ 必要となる。これはQCIF+サイズ (画素数 $176 \times 220$ )を60Hzのフレーム周波数で駆動させるときの、1水平走査期間 ( $75\mu\text{秒}$ )よりもながくなるため、仮に、白表示画素の下画素に黒表示を行おうとすると、ソース信号線電流が変化途中に画素に電流を書き込むためのスイッチトランジスタ66a、66bが閉じてしまうため、中間調が画素にメモリーされることにより白と黒の中間の輝度で画素が光ってしまうことを意味する。
- [0116] 階調が低くなるほどIの値が小さくなるため、浮遊容量121の電荷を引き抜きにくなるため、所定輝度に変化する前の信号が画素内部に書き込まれてしまうという問題は、低階調表示ほど顕著に現れる。極端にいうと黒表示時は電流源122の電流は0であり、電流を流さずに浮遊容量121の電荷を引き抜くことは不可能である。
- [0117] そこで、電流源122にくらべてインピーダンスの低い電圧源を用意し、必要に応じてソース信号線60に印加する構成をとることにした。この電圧源が図2のプリチャージ電源24に相当し、印加できるための機構が25である。
- [0118] 1つのソース信号線60に対する概略回路を図13に示す。プリチャージ電源24から

供給される電圧をソース信号線60に印加することで、浮遊容量121の電荷を充放電できるようにした。プリチャージ電源24から供給される電圧は、図12(b)の特性に応じて各階調電流に対応した電圧を供給できるようにしてもよいが、電圧発生回路にもデータ54に応じたデジタルアナログ変換部が必要となるため回路規模が大きくなる。小型のパネル(9インチ以下)では、浮遊容量121の容量値が10〜15pFであることや、画素数が少ないため、垂直走査期間が比較的長く取れることから、実用上はプリチャージ電源24で発生する電圧は最も電流値の書き込みが難しい黒階調に対応した電圧のみ発生することが費用(チップ面積)対効果の面で十分であるといえる(なお大型、高精細パネルにおいては、あとで説明する図38に示すように、デジタルアナログ変換部を用いたドライバICも考えられる。)

- [0119] 小型パネルにおいてはプリチャージ電源24から発生する電圧は1つでよく、データによって、電圧を出力するかどうかの判定を行い、スイッチ131の制御さえすればよくなる。つまり、ある映像信号に対応する電流出力を行う前に、電圧源24を印加するかどうかを判別する1ビットの信号線(プリチャージ判定信号)を用意する。
- [0120] 図13の回路構成における電圧印加判定動作を図9に示す。プリチャージ判定信号55により、電圧を印加するかどうかを判定する。この例では、“H”レベルでは電圧印加あり、“L”レベルを電圧印加なしとしている。
- [0121] 画素回路67内部の駆動トランジスタ62のゲート電圧がプリチャージ電源24の出力電圧と同じになる時間は、ソース信号線60の配線容量及び配線抵抗の積で表される時定数で決まる。プリチャージ電源24出力のバッファサイズ及びパネルサイズにもよるが、1〜5 $\mu$ 秒程度で変化可能である。
- [0122] 電圧により階調表示を行うと、駆動トランジスタ62の電流-電圧特性のばらつきにより、同一電圧を各画素に供給できたとしても、EL素子63に流れる電流が異なり、輝度むらが発生するので、駆動トランジスタ62のばらつきを補正するために、1〜5 $\mu$ 秒で所定電圧にした後、電流出力を行うようにする。
- [0123] そのための電圧出力と電流出力の切り替えをプリチャージパルスを用いて行う。プリチャージパルス及びプリチャージ判定信号55が同時に“H”の時のみプリチャージ電源24の電圧を出力し、それ以外の場合では電流出力を行うことで、電圧印加が不要

な場合には電流出力を、電圧印加が必要な場合でも電圧印加後電流によりばらつき補正を行うことができるようになる。

- [0124] プリチャージ電源24を制御するスイッチ131については以上の動作を行うが、電流出力制御部133によるスイッチ132の動作は図15のように、電流出力期間152ではオンである必要があるが、電圧出力期間においてはオンであってもオフであっても良い。
- [0125] オフであればプリチャージ電源24の出力がそのままソースドライバから出力されるので問題ない。一方でオンであってもデジタルアナログ変換部106による電流出力先104の電圧は負荷によって決まるため、プリチャージ電源24が出力されていれば、ソース信号線60の電圧はプリチャージ電源24と同一電圧となる。そのためスイッチ132はどの状態にあっても良い。
- [0126] そのため、スイッチ132及び電流出力制御部133はなくても構わない。ただし実際には、プリチャージ電源24の出力にオペアンプが用いられるとすると、オペアンプから階調表示用電流源103に電流が引き込まれるようになり、オペアンプの電流出力能力を高める必要がある。そのため、オペアンプの能力を高めることができない場合には、スイッチ132を設け、スイッチ131と逆の動作をさせるようにして、オペアンプの電流出力能力不足を補う構成とすることが多い。
- [0127] スwitch132の有無は、ドライバ設計時のオペアンプの設計次第で決まるものである。オペアンプを小さくする場合にはスイッチ132を設け、オペアンプもしくはプリチャージ電源24がソースドライバ36外部から供給され、十分に電流出力能力のある電源を用いている場合には、ソースドライバの回路規模を小さくするためにスイッチ132と電流出力制御部133をなくす構成とすることがある。
- [0128] プリチャージ電源24から出力される電圧値が、黒階調時の電流に対応した電圧（以降黒電圧という）のみとしたことから、例えば、階調データ54が連続した複数の水平走査期間にわたって白の階調を表示するとした場合、ソース信号線は黒、白、黒、白状態を繰り返すことになる。もし、プリチャージを行わない場合、白状態が連続して発生することになる。つまりプリチャージを行うことによりかえって、信号線の変化を激しくすることになる上、白表示時の電流によっては、白になりきらず書き込み電流不足

を生じるおそれがある。

- [0129] そこで、プリチャージ判定信号を用いて、電流が比較的たくさん流れる階調ではプリチャージを行わず、黒階調付近の所定電流に変化しにくい階調のみプリチャージ電源24のアシストを受けるようにすればよい。例えば階調0(黒)の時のみプリチャージ電圧を入れる期間があり、その他の階調表示時にはプリチャージ電圧を入れないようにすることが最も効果がある。最低階調時の輝度を低くすることでコントラストも上昇し、より美しい絵が表示可能となる。
- [0130] 例えば、図17(a)に示すように、階調データ54が0の時にのみプリチャージ判定信号55をたてることで、階調0時のみプリチャージを行うことができる。
- [0131] また、階調データ54が0、1の時にプリチャージ判定信号55をたてれば、階調0、1の時にプリチャージを行うことができる(図17(b))。
- [0132] ところで、全画面が黒表示といったソース信号線の変化がないパターンにおいては、1フレームのはじめのみプリチャージ電圧を印加すれば、あとは黒電流のみでも十分所定の階調が流れる。
- [0133] つまり同じ黒表示時においても、前の水平走査期間でソース信号線に流した電流値によって、電流のみで所定電流値まで変化する時間が異なり、変化量が大きくなるほど、変化に時間がかかる。例えば白表示後の黒表示をするには時間がかかるが、黒表示後に黒表示を行う場合では信号線は駆動トランジスタ62のばらつき分のみの変化となるため変化に要する時間は短い。
- [0134] そこで、階調データ54に同期して、プリチャージ電圧を印加するかどうかを判定する信号(プリチャージ判定信号55)を色ごとに導入することで、任意の階調で、もしくは同一階調でもプリチャージありなしを選択できるような構成を導入することも可能である。
- [0135] 階調データ54に対し、プリチャージ判定信号55を付加する。これに伴い、ラッチ部22もプリチャージ判定信号をラッチする必要があるため、映像信号ビット数+1ビットのラッチ部を持つようにする。
- [0136] 図17(c)では階調0のときでかつ、前期間での階調が0でないときにプリチャージを入れた場合(階調0の時にプリチャージするが、連続する場合には階調0でもプリチャ

ージを行わない)を示している。

[0137] この方法では、前の方法と異なり同一階調でも、1水平走査期間前のソース信号線の状態に応じてプリチャージをしたりしなかったりを選択できる利点がある。

[0138] なお、このプリチャージ判定信号は制御IC28から供給される。制御IC28のコマンド操作により図17(a)から(c)に示したようにプリチャージ判定信号55のパターンを変更させて出力することができる。

[0139] ソース信号線の容量や、1水平走査期間の長さに応じて、ソースドライバIC36外部から柔軟にプリチャージの設定を変更させることが可能であり、汎用性がまずという利点がある。

[0140] プリチャージ判定信号55を制御IC22で発生させる方法について説明する。入力映像信号に対し、プリチャージをするかどうかの判定を行い、その結果をプリチャージ判定信号55として制御IC22からソースドライバへ出力する。

[0141] プリチャージをするかどうかの判定に対し、ソース信号線の電流変化量と、ソース信号線に流れる電流値が所定電流値にまで変化するかどうかに影響するという観点から、1行前の状態による判別、当該行の表示階調による判別、を行う。

[0142] 例えばソース信号線の状態が、白、黒、黒となる場合には白から黒になるときには変化量が大きく時間がかかるが、黒から黒へのように複数の行にわたり同一階調を表示する場合、同一階調を表示する行に対応する期間でソース信号線電流の変化は、ばらつきを補償する分のみであるため変化量が小さい。

[0143] このことを利用して、1行前のデータを参照し1行前のデータと当該データの階調差が大きい場合にのみプリチャージ電圧から電圧出力を行うようにする。前の例では、白から黒に変化する場合にプリチャージを行い、黒から黒への変化時にはプリチャージを行わないようにする。黒から黒へのばらつき補正に必要な変化の時間がプリチャージを行わない分長くすることが可能であり、より補正の精度を高めることが可能となった。これにより1行前の階調と当該行の階調データが同一であるときにはプリチャージをしないということが好ましいことがわかる。

[0144] 更に、プリチャージをするための電圧は黒状態に対応する電圧のみであることから、1行前の状態に比べ、当該行の輝度が高い場合には、黒状態にせず、所定の電流

のみで階調表示を行えばよい。従って、1行前の階調に比べ当該行階調が高い場合には、プリチャージをしないことが好ましいことがわかる。

- [0145] さらに当該画素が中間調以上の場合は電流量が多いため、所定電流まで変化することが容易となるため、1行前の画素によらずプリチャージは不要となる。ただし、解像度が高い場合や、中間調でも電流量が少ない場合、パネルサイズが大きいなど変化しにくい場合は、1行前の画素が中間調以下の場合にプリチャージを行っても良い。
- [0146] 一般に電流値の変化は、黒から白状態の変化に比べ、白から黒状態に変化する方が難しい。これは、前にも説明したとおり、これから表示する表示階調に応じた電流により1行前のソース信号線の状態から所望のソース信号線の状態まで変化させなければならず、電流値が小さい低階調部ほど変化が難しくなる。更に変化量が多い場合には変化しきる前に、水平走査期間が終わってしまう。そこで変化に時間がかかる、変化量が大きくかつ当該階調が低階調の場合、つまり1行前の画素の階調が中間調以上であるときに、当該画素の輝度が中間調以下となる場合にプリチャージを行うようにすることが効果的である。
- [0147] 1行前が中間調以下であれば、当該画素の輝度が中間調以下の場合でも変化量が少ない分、所定階調を表示できる。
- [0148] これにより、当該画素の輝度がある階調より大きい場合では、プリチャージを行わず、ある階調以下の場合では、1行前の階調により、1行前のデータに応じて、1行前のデータよりも大きい場合にはプリチャージを行わず、1行前のデータよりも小さい場合にはプリチャージを行うようにする。1行前のデータと同一の場合には当該行の階調によらずプリチャージを行わないとする。
- [0149] なお1行前データが存在しない1行目のデータに関しては、1行目でのデータを画素に書き込む直前の状態、つまり垂直ブランキング期間でのソース信号線の状態が重要となる。
- [0150] 1フレーム間の中にどの行も選択されない垂直ブランキング期間が一般的に存在する。このときソース信号線はスイッチングトランジスタによりどの画素からも切り離され、電流の流れる経路がなくなる。ソースドライバICの電流出力段が図13のように構

成された場合、垂直ブランキング期間では電流出力104の先にはソース信号線しか接続されておらず、階調表示用電流源103が電流をソース信号線から引き込もうとしても、電流経路がないため引き込めない。

- [0151] 階調表示用電流源103はそのため無理にでも電流を引き込もうとして電流源103を構成するトランジスタのドレイン電圧を低下させる。ソース信号線の電位も同時に低下する。
- [0152] 垂直ブランキング期間が終了し、1行目の画素に電流を供給しようとするときにはソース信号線電位の低下が大きくなり、通常の白表示時に比べてもソース信号線電位が低下する。(ここでソース信号線の電位は白表示時が最低で、黒表示時が最高電位となる。図6の画素構成としたとき)そのため、階調に対応した電流値になるまでソース信号線の電位を変化させることが他の行に比べて難しくなる(必要な変化幅が大きい)。
- [0153] ソース信号線電位の低下が大きい場合、白表示時に比べて更に電位が低下し、1行目に白表示を行う場合でも変化に時間がかかる場合、所定輝度に比べて高い輝度で表示が行われてしまう。垂直ブランキング期間終了後すぐに走査を行う行に関しては表示階調によらず、プリチャージ電圧を出力することが望ましい。
- [0154] そこで本発明では垂直同期信号を利用して、垂直ブランキング期間の次の行に相当するデータに対応したプリチャージ判定信号では強制的にプリチャージを行うような信号として、1行目の輝度が他行の輝度と異なる問題を解決した。
- [0155] なお、ソース信号線の電位低下を少しでも和らげる方法として、垂直ブランキング期間においては階調データ54に黒表示データを入力し、スイッチ108を非導通状態とすることでソース信号線電位の低下を抑えてもよい。また、電流出力104とソース信号線の間にスイッチを設け、垂直ブランキング期間ではそのスイッチを非導通状態とするようにしてもよい。このスイッチは電流電圧選択部385と兼用にしてもよく、スイッチの状態が3値とれるようにして、電流出力、電圧出力、ソース信号線と切り離すというようにすれば、スイッチの構成数を減らすことが可能である。
- [0156] 所定の階調が書き込みにくい現象、特に黒が中間調表示となる現象については、表示画像の平均輝度、点灯率に影響する。点灯率が高い場合には全体的に輝度が



高くなっており、少数の黒表示画素が、中間調表示となっても、視認できない。一方で、点灯率が低い場合にはほとんどの画素の輝度が低く設定されておりこの輝度が正常に表示できない場合には、ほぼ全面の輝度が変化することから、本来の映像からかけ離れた表示となり、表示品位に大きな影響を及ぼす。

[0157] そこで、表示品位への影響が少ない点灯率が高い表示では、電流駆動による均一な表示を優先するためにプリチャージをせずに、黒表示輝度の上昇が目立つ点灯率が低い表示においてプリチャージをするような設定ができるようにする。

[0158] パネルの点灯率は1フレーム間全ての輝度データを加算することにより算出可能である。この方法で得た点灯率の値により、点灯率が高い場合プリチャージを行わない、点灯率が低い場合にはこれまでの判定結果に基づいてプリチャージを行うようにすることで、低階調表示の画素の輝度を忠実に表示できるようにできる。

[0159] 以上に示したプリチャージの方法を行うためのフローチャートを図41に示す。

[0160] 映像信号と強制プリチャージ信号から強制プリチャージ信号が有効の場合、映像信号によらずプリチャージ電圧を出力する。出力される電圧値は電圧数が複数ある場合には映像信号に応じて変化させてもよい。ここで1行目に対応する映像信号が入力されているときのみ強制プリチャージ信号を有効にすると、1行目のデータは映像信号によらずプリチャージを行い、垂直ブランキング期間にソース信号線電圧が低下することによる電流が所定値まで変化しにくくなる現象を回避することが可能となる。

[0161] 強制プリチャージ信号が無効の場合、次に入力映像信号の階調を判定する(412)。

小型パネルや解像度の低いパネルでは電流量が低階調部に比べて多い高階調領域では、所定期間(1水平走査期間)内で電流のみで所定電流値まで変化させることが可能である。そこで412において所定電流を書き込むことが可能な階調においてはプリチャージを行わず、電流だけでは所定電流とならない階調ではプリチャージを行うような判定を行う。

[0162] 次にプリチャージが必要な特定階調以下の場合は413に進む。(ここで特定階調については表示パネルにより異なるため外部コマンドにより特定階調を設定できるこ

とが好ましい) 1行前の映像信号の状態によりプリチャージするしないを判定する。1行前のデータよりも今の映像信号データの方が高階調の場合にはプリチャージにより黒にすると、かえって信号線の変化が大きくなるため、プリチャージをしないようにする。また同様に1行前と同じ階調である場合にでも同様にプリチャージをしないようにする。

[0163] これまでの判定ですべてプリチャージを行うと判定した場合について、次に点灯率を参照し、点灯率が高い場合には判定結果によらずプリチャージしないようにする。点灯率が低い場合には判定通りにプリチャージを行う。

[0164] なお本説明では411から414のすべての過程を順に通してプリチャージをするかどうかを判定したが、必ずしも全ての過程がなくてもよい。

[0165] なおプリチャージ電源24の出力が複数ある場合には、スイッチ131は複数存在し、印加判定部の出力もプリチャージ電源24の(電圧出力数+1)通り考えられる。出力が(電圧出力数+1)通りあることから、プリチャージ判定信号55も1ビットではなく、Nビット( $2^N \geq (\text{電圧出力数} + 1)$ 、Nは自然数)にする必要がある。ラッチ部22のビット数もそれに応じて変更することで対応可能である。図40に2ビットのプリチャージ判定信号55での例を示す。プリチャージ電源24の電圧値が3つある場合であり、プリチャージ判定信号が両方とも0のときには電流のみを出力し、全て1の時には、第1の電圧を出力する期間を持ち、55aのみ1の時には、第2の電圧を出力する期間を持ち、55bのみ1の時には第3の電圧を出力する期間を持つようにすると、階調に応じてプリチャージ判定信号55を制御することで、適切なプリチャージ電圧を印加することが可能となる。

[0166] 本発明によるプリチャージの方法を実現する回路ブロックを図42に示す。映像信号410に対し各ブロックによる判定の結果としてプリチャージするかどうかの判定信号が417に出力される。映像信号410とほぼ同一タイミングで出力される判定信号417により、ソースドライバ側でプリチャージを行うかどうかが決まる。シリアルパラレル変換部427は必ず必要というわけではなく、図2の36で構成されたソースドライバICと組み合わせて実現する際に、ソースドライバ36の入力インターフェースにあわせるために必要なものである。

- [0167] 映像信号410はプリチャージ判定部(421)及び記憶手段(422)に入力される。
- [0168] 強制プリチャージは図41の411に示すように、映像信号410によらず、強制プリチャージ信号416が入力されたときにプリチャージを行う、となるため全てのプリチャージ判定ブロックの最終段に、判定結果をマスクする形で挿入すればよい。そのため図42ではプリチャージフラグ生成部408は最終段に構成されている。プリチャージ判定信号417は“H”レベルにてプリチャージをとするのであれば、このブロックは論理和のみで構成すると所望の動作を実現できる。
- [0169] 1行前のデータが、今のデータよりも小さい場合にはプリチャージを行わないことから、まず1行前と当該行のデータを比較する。そのための回路として、記憶手段422と1行前データ比較部400がある。記憶手段422は、ソースドライバ36の出力数分のデータを保持できる容量を持ち、映像信号を1水平走査期間の間保持することで、1行前のデータを持っておく。この記憶手段422の出力と、映像信号410を比較することにより、1行前と当該行のデータを比較し、比較結果を次のプリチャージ判定部に入力する。比較結果は、プリチャージするもしくはしないを表す1ビットで出力される。
- [0170] また電流のみで書き込みが可能な高階調データである場合にはプリチャージを行わないことから、映像信号410を参照し、プリチャージ印加階調判定信号429で設定された階調より大きいのか、以下かを判別しプリチャージを行うかどうかの信号を出力する。
- [0171] さらに点灯率により判定を行う。点灯率で判定部409により、計算された点灯率データ420及び点灯率設定信号418から、点灯率設定信号418により決められた点灯率を超えた場合にはプリチャージを行うという信号を出力する。
- [0172] 1行前データ比較部及びプリチャージ判定部及び点灯率で判定部の出力と強制プリチャージ信号416が入力されるプリチャージフラグ生成部408では、強制プリチャージ信号416によりプリチャージを行うときには他の信号によらず、プリチャージする信号を417に出力する。それ以外の場合では、1行前データ比較部及びプリチャージ判定部及び点灯率で判定部の出力が全てプリチャージするとなったときのみプリチャージするように出力を行う。
- [0173] これにより映像信号410に対応したプリチャージフラグ417は図41のフローに従っ

て判定された結果に対応した出力を行うことになる。

- [0174] シリアルパラレル変換部427は図3のソースドライバ36の入力インターフェースにあわせるために必要なのであり、各色の映像信号及びプリチャージ出力417(色ごとにある)がパラレル転送される場合には不要である(そのままソースドライバへ出力する)。
- [0175] なお図2の構成では制御IC28とソースドライバ36が別のチップで構成された例を示しているが、同一チップで構成した一体型のチップでも構わない。この場合、図41や図42の構成はソースドライバ36に内蔵される。
- [0176] プリチャージ電源24の出力電圧値は電子ボリュームなどで制御できることが好ましい。所定電流を流すためのプリチャージの電圧はEL電源線64の電圧を基準に決められるためである。図12においてソース信号線60に電流I2を流そうとするとトランジスタ62のドレイン電流－ドレインゲート間電圧の関係(図12(b))からソース信号線60の電位は(EL電源線64の電圧)－V2となる。
- [0177] 一方でEL電源線64は図31に示す表示パネルにおいて313、314の配線で各画素に供給されている。全ての画素が白表示の時には最大電流が313に流れ、黒表示の時には最小電流が313に流れる。このとき313の配線抵抗により白表示時には315と316の点で電位が異なる。一方で黒表示時には315と316ではほぼ等しい電位となる。つまり白表示時と黒表示時でEL電源線64の電位がEL電源線313の電圧降下により異なる。つまり同じI2の電流を流すにしても、EL電源線313の電圧降下量の違いによってソース信号線60の電圧が異なる。そのため313の電圧降下量によってプリチャージ電源24の電圧値を変化させなければ、ソース信号線の電流が変化しその結果輝度が変化するという問題が発生する。
- EL電源線64の電圧が異なればソース信号線60に印加する電圧も異ならせる必要がある。1フレーム内での点灯率データを用いて電圧を変更するようにすればよい。点灯率が高いときはEL電源線313に流れる電流が多くなるため、電圧降下が大きくプリチャージ電源24の電圧値を低くするように電子ボリュームを制御する。一方で点灯率が低いときはEL電源線313の電圧降下が小さいため電子ボリュームによりプリチャージ電源24の電圧値を高くするようにすることでEL電源線313の配線抵抗が原

因となる輝度ムラをなくすることが可能となる。

- [0178] 一方大型パネルにおいては、所定値まで電流を書き込みすることが困難になるため、特に低階調ではほぼ階調ごとに電圧値を用意して、書き込みを改善する必要がある。更に電圧値を多くするにはプリチャージ用電源24を多くする方法もあるが、電圧数だけスイッチ131も必要となる。特にスイッチは各ソースラインに電源数だけ必要となるため、大きな面積をしめることになる。
- [0179] 電源数( $2^N-1$ 個)に対し、Nビットのプリチャージ判定信号55が必要となり、Nビットの信号から( $2^N-1$ )個のスイッチを制御するためのデコード部が各ソース信号線の印加判定部39に必要となるため、このデコード部の回路規模がNの上昇に伴い増大し、チップ面積が大きくなってしまうことも問題である。
- [0180] これは、各ソースラインにおいてデジタルデータ(階調データ)をアナログ値(プリチャージ電圧)に変換するため、ソースライン毎にデジタルアナログ変換部が必要になるために、出力電圧数が増えるほど回路規模が大きくなる。
- [0181] そこで図38に示すようにデジタルアナログ変換部381は、半導体回路で1つのみ用意し、シリアル転送されてきたデータをアナログ電圧に変換し、その後、各ソース信号線に分配するようにする。そのためにデジタルアナログ変換部の出力382を分配部及びホールド部383に入力し各ソース信号線に、階調データに基づいたアナログ電圧を分配し供給する。
- [0182] 一方階調に応じた電流を出力する方法は図2と同様に、階調データ386をシフトレジスタ及びラッチ部384で各ソース線に分配し、各ソース線にある電流出力段23により階調に応じた電流を出力するようにしている。
- [0183] 電流もしくは電圧のいずれかを出力するかを決める部分として電流電圧選択部385をソース信号線への出力の直前に配置した。プリチャージ判定信号380、プリチャージ電圧印加判定部56とプリチャージパルス52により、電流電圧選択部385を切り替え、電流を出力するか、電圧出力後電流を出力するかのいずれかを定める。プリチャージ電圧印加判定部56は、電圧出力を行う期間を設けるかどうか決めるもので、プリチャージパルス52は電圧出力を行う場合に電圧出力を行う期間を決めるものである。

- [0184] これにより、デジタルアナログ変換部381が階調数に応じたアナログ出力段階数を持てば、階調に応じた電圧を出力することが可能となり、ある行が選択されている期間(水平走査期間に相当する)において、まず電圧によりほぼ所定の値までソース信号線電流を変化させ、その後、各画素のトランジスタのばらつきによる電流値のずれを電流出力により補正することが可能となる。
- [0185] 電流により所定電流値にまで変化させるには、特に低階調部において水平走査期間以上の時間がかかることが多いが、電圧により変化させる方法はほぼ1 $\mu$ 秒で変化を完了させることが可能な上、電流による補正はわずかであるため、電圧印加後電流を流す方法では水平走査期間内に所定電流まで電流を変化させることが容易となる利点がある。
- [0186] 例えば256階調表示が可能な駆動用半導体回路において、上位128階調では電流のみで十分所定の電流値に変化できるなら、電圧を出力するのは下位128階調分でよい。従ってデジタルアナログ変換部381は7ビットの分解能であればよく、128種の電圧が出力できればよい。階調データ386が上位128階調のうちの1つであるときには、電圧出力を行わないように、プリチャージ判定信号380を入力する。これにより電流電圧選択部385は必ず電流のみを出力するようになる。デジタルアナログ変換部381の出力信号は駆動用半導体回路の外部に出力されないため、どのような値であっても良い。最も簡単な方法としては入力階調データ386の上位1ビットを無視して、下位7ビットの値に対応した電圧を出力しておいてよい。
- [0187] 階調データ386が0から127階調の間である場合には、プリチャージ判定信号380により、電流電圧選択部385を制御して、デジタルアナログ変換部381からのアナログ電圧を駆動用半導体回路外部に出力する期間を設ける。
- [0188] これによりデジタルアナログ変換部の分解能を小さくした回路が形成できる。またソース信号線の電圧は一般に図6のようなp型トランジスタを用いたカレントコピアや図4のようなカレントミラーの画素構成の場合、黒表示時が最も電圧が高く、白表示になるに従って電圧が低下していく。黒から白の範囲での電圧変化幅に比べ、黒から中間調の範囲での電圧変化幅の方が小さくなる。従って、0から127階調の時のみ電圧を出力するような構成とした場合は、出力電圧のダイナミックレンジを小さくすること

が可能となる。

- [0189] また本発明のソースドライバIC36では電圧印加後、電流出力し、駆動トランジスタのばらつきを補正する動作を行うため、出力される電圧値は、ほぼ目標の電流値となる値を印加すれば良く、精度は要求されない。これによりデジタルアナログ変換部381の電圧出力の出力偏差の値は液晶パネルに比べ大きくて良いため、その分回路規模を小さくすることも可能である。
- [0190] 一般にソースドライバICを使うパネルのサイズの違い(ソース線の浮遊容量が異なる)や、走査方向の画素数の違い(水平走査期間が異なる)により、電流変化のしやすさが異なる。
- [0191] 本構成のドライバICを用いるとプリチャージパルス52をソースドライバIC外部から入力するようにすれば、プリチャージ判定信号380及び階調データ386は図2に示すように、外部信号入力となることからパネルにあわせて、電流のみもしくは、電圧と電流の両方を利用して階調表示を行う階調範囲を任意に設定できるという利点がある。階調範囲の設定は図2のように外部に形成されたコントロールICで制御することができる。またコントロールICの動作をコマンド入力により変化させられる場合は、コマンド入力により調整可能となる。なお、コントロールICは図2のようにソースドライバICの外部に構成される場合の他、液晶用ソースドライバの一部に見られるように、ソースドライバICとコントロールICを同一チップに一体化して形成しても構わない。このときは一体化されたICのコマンド入力により階調範囲を調整できるようにしておけばよい。
- [0192] 以上の発明により、低階調部において、ソース信号線に流れる電流が小さいことから所定時間(水平走査期間)内に電流が所定値に変化できないために、白表示を行った次の行の画素の輝度が所定値よりも高くなるという問題をプリチャージ電圧入力により解決した。
- [0193] 図8は基準電流発生回路を示した図である。基準電流は図10で示した出力段の構成において、1階調あたりの電流値(基準電流89)を規定するものである。
- [0194] 図8において基準電流89は節点80の電位と、抵抗素子81の抵抗値により決まる。
- [0195] さらに節点80の電位は電圧調節部85により、制御データ88により変化させることが

可能である。

- [0196] 電流出力を行うための階調表示用電流源103のトランジスタサイズによっては端子ごとの出力電流ばらつきが発生する。トランジスタサイズ(チャネル面積)と出力電流ばらつきの関係を図11に示す。基準電流のばらつきを考慮に入れ、チップ内、チップ間の隣接端子間のばらつきを2.5%以内にする必要があることから図11における出力電流のばらつき(出力段での電流ばらつき)は2.5%以下にすることが望ましく、103のトランジスタサイズは160平方ミクロン以上あることがよい。
- [0197] さて、有機発光素子を用いた表示パネルでは、点灯画素にのみ電流がながれ、非点灯画素には電流が流れない。従って全画面白表示時に最大、全画面黒表示時に最小電流が流れる。
- [0198] 表示パネルに電流を供給する電源回路は、最大電流が流せるような容量を持たせる必要がでてくる。しかし、最大電流を流すような画面表示となることはきわめて少ない。このきわめて少ない機会しか発生しない最大電流のために、大きな容量の電源回路を設けることは無駄が大きい。また消費電力を下げるためにも最大電流をなるべく小さくする必要がある。
- [0199] そこで、最大電流を下げる方法として、白表示画素が全体の6割以上ある場合、全画素の輝度を2〜3%程度低下させる。これによると、最大電流が2〜3%低下し、ピーク時の電力が下がる。
- [0200] この方法を実現させるには、1階調あたりの電流を決める基準電流生成部26から発生する基準電流89の値を2〜3%程度変化させれば実現できる。
- [0201] そのために、表示パターンに応じて制御データ88の値を変え節点80の電圧を変えることで、基準電流89を変える。
- [0202] このように、表示パターンに応じて制御データの値を変えるには表示パターンを判別し、判別結果により制御データを変えるという制御をする必要がある。そのためこの判別は通常制御IC28により行われる。
- [0203] このため、制御IC28からソースドライバIC36へ入力される信号線の数には映像信号線の他、電子ボリュームの制御データ線数だけある。そのため両ICの入出力端子が増加する。電子ボリュームの制御が6ビット、映像信号線が18ビット(各色6ビット)の



場合、24本端子が必要となる。

- [0204] さらにプリチャージ電源24が内蔵されているため、プリチャージ電源24の出力電圧を設定するレジスタが存在する。プリチャージ電圧は表示パネルのTFT特性及び、有機発光素子のしきい値電圧により決まるため、異なるパネル毎に異なる電圧値を設定する必要があり、少なくとも1回外部から設定する必要がある。1回の設定のために外部入力端子を設けるのは非効率である。
- [0205] 入出力信号線数を減らすことはチップ面積縮小、外部の配線引き回しの簡略化に有効である。
- [0206] そこで本発明では、データ線とアドレス線を制御ICとソースドライバIC間に接続し、映像信号と各種設定用信号を高速にシリアル転送させるようにして信号線数を減らすことにした。映像信号も、赤緑青の3源色をシリアル転送する。
- [0207] 図1にデータ線とアドレス線のタイミングチャートを示す。スタートパルス16が入力された後、1行分の画素データがデータ線12より転送される。その後制御用のデータが転送される。例えば電子ボリュームの設定値などである。データ線12に流れているデータが何であるか判別するために、アドレス13がデータ線12のデータに同期して転送される。この例では、アドレス線13のデータが0のとき赤色データ、1のとき緑色データ、2のとき青色データとなる。4以上の値はコマンドデータである。
- [0208] シリアル転送されてきたデータを分配するため分配部27のブロック図を図18に示す。分配部は映像信号では2段の、その他のコマンドデータでは1段のレジスタもしくはラッチ回路で構成される。
- [0209] 1段目のレジスタもしくはラッチ回路182により、必要なデータのみを取り込み、映像信号11に対しては、次のシフトレジスタ部21のキャリーパルスが長くできるよう3色の信号のタイミングを調整している。これにより図1に示すような映像データ11が取り出される。このデータがシフトレジスタ部21により各出力に分配される。
- [0210] また、信号線数を減らす第2の例を図28から図30に示す。
- [0211] この例では色ごとに信号線を用意し、各色のデータをシリアル転送する方法である。各ドットに対応した映像信号を順に転送し、ブランキング期間を利用してコマンド信号を送るようにしている。1水平走査期間での転送の関係を図30に示す。映像信号

転送期間301とコマンド転送期間302の識別は、データコマンドフラグ282により行っている。1画素分データ281の先頭の1つのデータをこのデータコマンドフラグ282にあて(この例では赤データのうちの1つを使用)、ハイレベルであればこのデータは映像信号、ローレベルであればコマンドと判定し、判別を行う。このデータコマンドフラグ282は、1画素分データ281のどの部分にあってもよいが、先頭にある方が、入力されるデータが、コマンドか否かをはじめに判別できるため処理がしやすい。

- [0212] この例では1画素分データ281が6回のデータ転送からなっており、プリチャージ判定信号55が3ビットと、映像信号が8ビットの11ビットの信号を2本の信号線により6倍速で転送するものである。図28に内訳を示す。はじめにプリチャージ判定信号55群283を送信し、映像信号群284を送信する。なおこの順番に制約はない。赤データ、緑データ、青データとも同一回路構成にするためには、はじめの1ビット分のデータはあけて、プリチャージ判定信号55、映像信号群284を転送することが好ましい。映像信号はシリアル転送されるため、シリアルパラレル変換部を介し、パラレル変換後シフトレジスタへ入力される。赤データのパラレル変換後の出力タイミングを286に示す。
- [0213] 285で表させる期間は、ブランクデータとしてもよい。この例ではシリアル伝送で送られてきたゲート信号線をソースドライバに入力し、ソースドライバ内部にてパラレル変換し、ゲートドライバへの信号供給を行う構成となっているため、285の期間にゲート信号線の信号を入れるようにしている(有機発光素子を用いた表示装置において、ゲートドライバは、所定の画素に所定電流を流すための画素選択用ゲートドライバと、画素に記憶された電流を流し続けるためのEL点灯用ゲートドライバの2つが必要で、それぞれにクロック、スタートパルス、スキャン方向制御、出力イネーブル端子が必要となると、全部で8信号線必要となり、1本のゲート信号線で6つと、285の2つの区間で信号線を送ると、1画素タイミングでゲートドライバの波形制御が可能となる。より細かい制御が可能。これを実現するにはゲート信号線シリアル転送用の他に285の区間が必要である)。
- [0214] 一方コマンド送信時のデータ転送の例を図29に示す。1コマンドあたりのビット数は6ビット程度あれば足ることが多いため、この例では赤緑青データ全てをまとめて6ビ

ットの信号ととらえ、データコマンド識別信号282の後の5回分のデータをコマンドとして取り込むようにしている。ブランキング期間であってもゲートドライバの動作は必要であるため、ゲート線及び285の区間では、フラグ282の値によらず、ゲートドライバ用の信号が入力される。

[0215] データコマンドフラグ282と同一タイミングである信号のうち、ゲートドライバ用の信号が入力される区間以外に3ビット分の空きデータがある。この部分はビット長が短いコマンドにあててもよいが、5つ以上のコマンドを設定する必要があるときに、コマンドアドレスとして用いる。図29では10個以下のコマンド受付を行うソースドライバを例として、292に示す1ビットのコマンドアドレスを用意している。282、292の値に応じ、更新するコマンドレジスタを変更する。データが1回で転送されることから、シリアルパラレル変換部は不要で、直接内部レジスタ入力(プリチャージ電源24を決める電子ボリューム入力など)を更新すればよい。

[0216] 図28から図30に示した入力インターフェースにより、映像信号とプリチャージ判定信号を多重に伝送しかつ、コマンド入力を映像信号非送信期間に行うことで、コマンド数が10、コマンドビット長が6ビットの場合で、従来の93本の入力線数から、6本の信号線数まで削減が可能となった。

[0217] 信号線数と、転送レートは任意に設定でき、信号線数は、最小は各色1ビットから、最大では、各色の1画素ごとに必要な信号ビット数/2まで設定できる。信号線数が減るとクロック周波数が増加し、外部の配線引き回しが難しくなることから、実用上は、データ転送レートが100MHz以下の信号線数とすることが好ましい。本発明ではEMIを低減するため、クロックのみ半分の周波数とし、両エッジでデータ取り込みを行うようにしている。

[0218] なお、入力信号としては、CMOSレベルの信号でなくても、差動伝送によって送信しても良い。差動伝送とすると、一般的に信号線振幅が下がるためEMIが低下するという効果がある。

[0219] 高速転送を行うクロック及びデータ線に関して、図16のような入力形式として、2本の入力信号線(161及び162)の差分からロジック信号164を取り出すようなRSDS形式で送信を行っても良い。165及び166は電流送信された信号を電圧値に換える

ための抵抗素子である。この抵抗素子の値は送信側の仕様に合わせて決定される。この入力端子を図1及び図28の信号線全てに組み込むことで、伝送形式を差動伝送とし、EMIの少ないドライバを実現した。

[0220] これにより入力信号線数の少ないソースドライバIC36が実現できた。

[0221] 図70は電流出力段を図73の736に示すようなカレントコピア構成により形成した場合のドライバICの概略構成を示したものである。

[0222] カレントコピア回路では、入力電流をスイッチ734及び735を介して駆動トランジスタ731に流し、流れた電流量に応じて節点742の電圧が決まる。この電圧を保持するために蓄積容量732を設け電荷を蓄積することにより電圧を保持する。入力電流を記憶した後スイッチ734及び735を非導通状態とする事で、入力電流をためておく。電流を出力する際には733のトランジスタを導通状態とすることにより、732の蓄積容量に蓄えられた電荷量に応じた電流が731に流れ出力される。同一駆動トランジスタ731のドレイン電流－ゲート電圧特性を用いて入力電流を記憶し、出力するためトランジスタの特性ばらつきのよらず入力電流と同じ電流を出力できる利点がある。

[0223] 更にカレントコピア回路では入力電流を一度蓄積容量732に記憶してから出力を行うため、メモリ機能を有する。そのため入力データをかく出力端子に分配した後、データの出力タイミングをそろえるラッチ部の機能をカレントコピア回路に持たせることが可能である。これにより図70の構成においてシリアルに転送されてくる映像信号はラッチ部を使わずに各出力に分配可能となる。

[0224] カレントコピア回路ではアナログ電流を保持することが可能であるため、映像信号をあらかじめデジタル－アナログ変換部706で階調に応じたアナログ電流である階調電流信号730に変換し、シフトレジスタ21の出力信号に応じて各出力に分配するようにしている。分配された電流を保持するための電流保持手段702に、カレントコピア回路を形成している。

[0225] カレントコピア回路では先に述べたように入力電流を一度保持した後に入力電流に応じた電流を出力するという動作を行うことから、入力電流を記憶している期間では電流出力ができず、また電流出力を行う際には階調電流信号730を取り込むことができない。

- [0226] 表示部への電流出力は画素回路において所定電流への変化に時間がかかるという問題があることから水平走査期間内においてはなるべく長い期間電流を出力し続けることが望ましい。そのためソースドライバICから電流は常に出力されることが好ましい。
- [0227] そこでカレントコピア回路構成の出力段でも常に電流を出力し続けるために、同一出力端子にカレントコピア回路を2つ設け、一方が階調電流信号730を記憶している際には、他方が電流をドライバIC外部に電流を出力する構成とした。
- [0228] 出力段の回路を図73に示す。736aと736bの2つの保持回路がカレントコピア構成となっている。2つの保持回路のうちどちらを出力にし、どちらが階調電流信号730を記憶するかを決めるための信号がセレクト信号738である。セレクト信号738は1水平走査期間毎に変化し、1水平走査期間ごとに保持回路736を変えることにより映像信号に応じた電流出力が可能となる。セレクト信号738に応じて保持回路736の電流出力用トランジスタ733の状態を変えるようにすることで、出力に用いる保持回路を決めることが可能となる。
- [0229] 両保持回路736とも出力を行わないようにする場合には、セレクト信号738及びセレクト信号の反転出力739ともローレベルとすることで実現する。738及び739は必ずしも逆相に入る必要はないが、両信号ともハイレベルにしてはならない。他の方法として738と739は常に逆相とし、別途イネーブル信号を設け、738及び739との論理積の結果をスイッチ733を制御する信号に入力することにより同様な動作を行うことが可能である。
- [0230] シフトレジスタ21及び電流保持手段702により階調電流信号730が各出力に分配できた。次に階調電流信号730を生成する回路について説明を行う。ロジック信号である映像信号をアナログ信号である階調電流信号730に変換するためにデジタルーアナログ変換部706を設け、映像信号に応じた電流を出力するようにした。デジタルーアナログ変換部706の回路例を図71に示す。
- [0231] 映像信号の各ビットに対応した電流を外部から入力し、対応した電流(階調基準電流1ー階調基準電流8)に対し、電流値に対応して階調信号711によりスイッチ712を制御することにより、階調信号711に応じた階調電流信号730を出力するような構

成とした。階調信号1(711a)から順に階調信号8(711h)まで最下位ビットから最上位ビットに対応させた場合、階調基準電流1(700c)の2倍が階調基準電流2(700d)、一般に階調基準電流 $n$ の2倍が階調基準電流 $(n+1)$ となるように、電流値を設定し入力する(ここで $n$ は1以上ビット数未満の整数)。

[0232] これによりスイッチ712が導通状態となっている階調基準電流700の和を階調電流信号730として出力する。

[0233] 次に階調基準電流700を作成し、デジタルーアナログ変換部706に入力する方法について説明する。

[0234] 図78に示すように階調基準電流700は階調基準電流生成部704により生成する。1階調あたりの電流をどのくらいにするかを設定する基準電流781を元にカレントミラー構成などにより、映像信号のビットに応じた階調基準電流700を出力する。ここでは8ビット出力の場合で、階調基準電流700は8出力存在する。(階調基準電流 $n$ の電流値) $\times 2 =$ (階調基準電流 $(n+1)$ の電流値)となるような電流を正確に出力する必要があることから、ミラーを行うトランジスタ782の数を変えることで出力電流を変化させることが好ましい。この方法の場合、階調性は高いが回路面積が大きくなる欠点がある。一方で各階調基準電流700を生成するトランジスタ782は、各期順電流に対し1つずつとし、チャンネル幅を変えることにより階調基準電流1から8を変化させることも可能であるが、電流がチャンネル幅に正確に一致するわけでないためシミュレーションによりチャンネル幅をプロセスに応じて変更する必要がある。このため、個数分だけ並べる方法に比べ階調性が低下するおそれがある。そこで、図78に示すように低階調部と高階調部に階調基準電流をグループ分けし、低階調部と高階調部の間ではチャンネル幅を変更することで電流値を変え、低階調部間及び高階調部間ではトランジスタの個数を変更することで電流を変えるようにする。

[0235] 図78では、低階調部を下位2ビット、高階調部を上位6ビットとし、783で示す点線に囲まれたトランジスタは784で示す点線に囲まれたトランジスタに比べておよそ1/4のチャンネル幅(プロセスにより上下する-10%以上+50%未満)で形成することにより、階調性を維持し回路規模の小さい階調基準電流生成部704を実現することができる。

- [0236] ドライバICに対し1回路であるため、階調性を高めたいときは図80に示すようにトランジスタ数により電流を変化させてもよい(全体に対する回路面積が10%以下であるため)。
- [0237] 基準電流781は図81に示すように抵抗、演算増幅器などにより定電流源を構成することで実現可能である。88の制御データにより基準電流781の電流値を変えることも可能である。この基準電流781の制御は、電力抑制、焼き付き防止、コントラストの向上に役立つ。
- [0238] 以上のようにして形成された階調基準電流700をデジタル-アナログ変換部706にすればよいが、直接接続すると複数のソースドライバIC36を接続したときに、全てのチップで1%以下の誤差で階調基準電流700を供給することが難しくなる。
- [0239] チップ毎に、基準電流生成部703と階調基準電流生成部704を設けると、図81の基準電流生成部703でのばらつきと、図78もしくは図80でのカレントミラーでのばらつきの2乗平均のばらつきが階調基準電流700で発生するため、チップによってある階調の電流値が異なるおそれがあり、チップ毎に輝度ムラが発生する。カレントミラーのミラー比ずれによるばらつきを小さくするには782、801のトランジスタサイズを大きくすることにより実現できるが、ばらつきを1%以下にしようとするには10,000平方ミクロン以上のチャンネルサイズが必要となる。
- [0240] 小さいサイズでばらつきなく各チップに階調基準電流700を供給するには1つの表示部に対し、1ヶ所の基準電流生成部703から1ヶ所の階調基準電流生成704を用いて階調基準電流700を発生させ、各チップに分配する方法である。この概念を図72に示す。
- [0241] ソースドライバ36aにより発生した階調基準電流704を、36aを含めた全てのチップに供給することにより、各チップでばらつきのない電流が供給される。ここで、階調基準電流700は2つ以上のソースドライバIC36に同時に供給されないようにする必要がある。電圧と異なり電流の場合複数のドライバに接続すると分流され、1つのドライバICに流れる階調基準電流値が異なってしまう。そこで、複数のドライバIC36が同時に階調基準電流700を取り込まないようにデジタルアナログ変換部706が持つスイッチ712を利用して、ある1つのICが映像信号に応じた階調電流信号730を生成し

ているときには他のICではスイッチ712全てが非導通状態となるような構成にすることを考えた。

[0242] 階調電流信号730が必要なのは、電流保持手段702に電流を供給するときでシフトレジスタ21の出力のうちの1つに対し取り込むように信号を出している時である。つまりスタートパルス16が入力され、カスケード接続された次段IC36に対しキャリア出力701からパルスを出力するまでの期間が、階調電流信号730を必要とする期間である。

[0243] そこで、シフトレジスタ21が出力を行っている期間以外ではデジタルーアナログ変換部706のスイッチ712は階調信号711によらず常に非導通状態とする。これを実現するためにチップイネーブル信号生成部707を設け、シフトレジスタ動作時以外ではスイッチ712は常に非導通状態とするようにする。チップイネーブル信号生成部707は、スタートパルス16が入力されて、キャリア出力701が行われるまでの間のみパルスを出力し映像信号をアナログ電流に変換することを許可するようにする。正確にはシフトレジスタ出力719が同一チップ内で出力されている期間である。スタートパルス16とシフトレジスタ出力719、キャリア出力701とシフトレジスタ出力719の関係は入力データとスタートパルス16の関係やシフトレジスタの構成21によって変わる可能性があるため、スタートパルス16とキャリア出力701から期間を調整してイネーブル信号821を出力するようにする。イネーブル信号に対応したデジタルーアナログ変換部706の回路図を図82に示す。チップイネーブル信号821はスタートパルス16が入力されてからキャリア出力710を行うまでの間、ハイレベル状態となり、階調信号711に応じて階調基準電流700が階調電流信号730に出力される。それ以外の期間ではチップイネーブル信号821がローレベル信号となるため、常にスイッチ712が非導通状態となり電流は供給されない。

[0244] 1水平走査期間でのあるドライバIC(チップ1)のチップイネーブル信号821、セレクト信号738、階調電流信号738、階調信号711のタイミングチャートを図83に示す。

[0245] セレクト信号738はタイミングパルス29により1水平走査期間毎に変化し、1出力に対し2つある保持回路736のどちらに階調電流信号738を記憶させ、他方が記憶された電流を出力するかを決める。期間831aでは保持回路A(736a)から電流を出力



し、保持回路B(736b)に階調電流信号730を記憶させている。

- [0246] 階調電流信号730への記憶は1出力ずつ順に行い、シフトレジスタ出力719によりどの出力へ記憶させるかを決めている。更に複数のドライバICに基準電流を分配できる配線としていることから、分流されることを防ぐためシフトレジスタが動作している期間のみチップイネーブル信号821により、デジタルアナログ変換部706が動作し、階調電流信号738が流れる。チップ1のチップイネーブル信号821はシフトレジスタがチップ1で動作している期間である832aの期間でのみハイレベルの信号となり、階調電流信号738が流れている。832bの期間(チップ1以外のシフトレジスタが動作中)のときは、チップイネーブル信号821がローレベルとなり階調電流信号738は流れない。そのため階調基準電流信号700は常に1つのドライバICにしか入力されないため、図72のように複数のドライバICに分岐して配線することが可能となる。カレントミラーなどによる分配に比べ、時間で区切って分配するため正確に同一電流を供給できる。
- [0247] カレントコピアを各出力に設け階調電流を各出力に分配する方法では、駆動トランジスタ731の特性ばらつきによらず、記憶した電流と同じ電流を出力することが可能であるため、出力ばらつきが起りにくい。しかし、「突き抜け」と呼ばれる現象により出力電流がばらつくおそれがある。
- [0248] 図73の保持回路においてゲート信号線741の信号をハイレベルにすると、階調電流を記憶する。例えば白階調の電流を記憶するとすると、図74に示すように、駆動トランジスタ731にドレイン電流は白階調電流(ここで $I_w$ とする)となる。そのとき駆動トランジスタ731の電流-電圧特性(図75)から節点742の電圧は $V_w$ となる(期間747)。
- [0249] 期間747が終了し、保持回路736に電流を記憶するのを終えるためゲート信号線741はローレベルに変化する。この時ゲート信号線741電圧の低下がトランジスタ735aのゲート容量を介して容量結合により節点742の電圧も $V_G$ だけ低下する。これにより駆動トランジスタ731のドレイン電流も $I_w$ から $I_G$ 分だけ低下する。
- [0250] この「突き抜け」により、出力電流が端子により変化するおそれがある。例えば図76の765、766に示すような電流-電圧特性を持つ駆動トランジスタ731があるとする。

節点742の電圧つまり駆動トランジスタ731のゲート電圧が突抜によりVG変化すると、765の駆動トランジスタではドレイン電流がIw1となり、766の駆動トランジスタではドレイン電流がIw2となり、この電流が出力信号線737を介して外部に流れ、出力電流にばらつきが発生する。Iw2とIw1の差が2つの平均電流に対し1%以上になると輝度ムラとして表示品位に影響を与える。

- [0251] 節点742の電圧変化量VGはトランジスタ735のゲート容量をCgs、蓄積容量732の容量をCs、ゲート信号線741の振幅をVgaとすると、 $VG = Vga \times Cgs / (Cgs + Cs)$ で表される。
- [0252] VGを小さくするには、CgsもしくはVgaを小さくするか、Csを大きくする。Csを大きくする方法はチップサイズが大きくなることから現実的には難しい。またVgaは基本的にアナログ電源電圧分の振幅を持つ。この電圧を下げると、出力端子の電圧振幅が低下するため、出力可能な電流のダイナミックレンジが低下する。またゲート信号線741のみハイレベル電圧を低下させると、このゲート信号線741のための電源が必要となるため電源数が増加する。電源数の増加は電源回路の増加につながるためこの方法も実現することが難しい。
- [0253] そこで本発明ではトランジスタ735のゲート容量Cgsを小さくすることを考えた。単にトランジスタ735のサイズを小さくした場合では、オフ時のリーク電流が増大し蓄積容量732に保持された電荷がトランジスタ735を介して移動することにより、節点742の電位が変化し所定電流を流せなくなる問題が発生する。
- [0254] トランジスタ735を少なくとも2つ以上に分割し、そのうちの蓄積容量732に最も近いトランジスタを小さくすることを考えた。図77に2つに分割したときの電流保持手段702の回路を示す。
- [0255] トランジスタ735を2つに分割し、775と772の2つの構成とした。トランジスタ775に比べ772はチャネルサイズが小さくなっている。またそれぞれのゲート電極につながる信号線は別になっており、ゲートイネーブル信号771の制御により、トランジスタ772の方が775に比べて早く非導通状態となるようにしている。タイミングチャートを図79に示す。
- [0256] 複数個のトランジスタにすることの利点は、2つのトランジスタのゲート信号線の波形

を異ならせ、蓄積容量732に近いトランジスタ772をまず非導通状態とし、その後775を非導通状態とすることで、「突き抜け」はトランジスタ772のゲート容量 $C_{g1}$ と蓄積容量 $C_s$ 、ゲート振幅 $V_{gate}$ によることとなり、 $C_{gs} > C_{g1}$ となることからVG自体を小さくすることができる。さらに、蓄積容量732の電荷を保持するために772が完全に非導通状態となった後、775が非導通状態となるとなるようにゲート信号線741をローレベルに変化させる。775はリーク電流を小さくするためトランジスタのチャネル幅／チャネル長の値が大きくなるように設計される。2つのトランジスタを直列に接続することでリーク電流が少なくなる利点がある。更にトランジスタ775と蓄積容量732に間にトランジスタ772が非導通状態となって挿入されているため、775aのゲート信号による、節点742への「突き抜け」が発生しないという利点がある。

[0257] このように、駆動トランジスタ731のゲート及びドレイン電極間に接続されるトランジスタを複数個に分割し、最も蓄積容量732に近いトランジスタはチャネルサイズを小さく作成した上に他のトランジスタに比べ早く非導通状態とすることで、電荷のリークなどの問題がなく突き抜け量を減らすことを実現できる。

[0258] 更に駆動トランジスタ731の(チャネル幅)／(チャネル長)(以降 $W/L$ とする)に関しても $W/L$ の値が小さくなることが好ましい。

[0259] 図84に電流－電圧特性を示す。 $W/L$ の値が小さくなればなるほど傾きが小さくなり、階調電流信号730を記憶させた後「突き抜け」によりVGだけ駆動トランジスタ731のゲート電圧が低下したときの電流量の低下は841の曲線の方が842の曲線に比べて大きい。そのため「突き抜け」によるドレイン電流の低下を抑えるため、駆動トランジスタの $W/L$ を0.5以下とすることが好ましい。この場合、低下量は設定電流( $I_w$ )に対し1%以下となる。下限値はチャネル幅の最小作成寸法、チャネル長を延ばすことによるチップ面積の増大の影響から0.002以上である必要がある。

[0260] 以上のようにカレントコピア回路を用いた出力段を形成することにより出力ばらつきの小さいドライバICを実現させた。

[0261] 大画面パネル向けのソースドライバにおいては、映像信号が高速に転送される必要があるため信号線周波数が高くなり、その結果電磁波ノイズが放出される問題がある。また、テレビ向けなどでは入力される信号線ビット数も増加するため、信号線が多

数になるという問題もある。

- [0262] そこで映像信号を小振幅信号伝送することとした。図85にその時のソースドライバ852、ゲートドライバ851、コントローラ854と電源モジュール853の接続を示す。このうち小振幅信号伝送を行うのは信号線周波数の高いクロック858、同期信号857、映像信号線856である。
- [0263] 映像信号線856の伝送形式を図86に示す。1水平走査期間864内に画素に出力されるデータが転送される期間(データ転送期間865)とブランキング期間(866)を形成する。なおブランキング期間は必ずしも存在する必要はない。
- [0264] データ転送期間865は、パネルのソース信号線数(カラーパネルの場合は信号線数/色数(一般には3色))に分割される。分割された期間を期間862とする。この期間862内で赤緑青の各色データ(861)及び階調に応じた電圧印加を水平期間のはじめに挿入するかどうかを決める1ビットのプリチャージフラグ(862)が映像信号線856を介して転送される。映像信号データ861及びプリチャージフラグ862は、転送信号レートや、信号線数の制約により全ビットを一斉にパラレル転送する場合から1ビットずつシリアルに転送する場合まで任意の方法で転送することが可能である。
- [0265] また大型用電流ドライバにおいては、パネルサイズが大きいことによるソース信号線浮遊容量の増加や、画素数の増加による水平走査期間の短縮ということにより1水平走査期間内で電流が所定の値まで変化できない問題が顕著となる。そのため電流により所定階調を表示する前に一度電圧により所定階調付近までソース信号線の状態を変化させてから、電流により所定電流にまで変化させることが必須となる。
- [0266] ソースドライバの構成例を図89に示す。ここでのソースドライバは図85のソースドライバ852を示している。映像信号はクロック及び同期信号と共に小振幅信号伝送されるため、ソースドライバ側でレベル変換するための差動入力レシーバ893に入力される。映像信号をCMOSもしくはTTLレベルの階調データ386に変換する。階調データ386はシフトレジスタ及びラッチ部384とプリチャージ電圧変換部884に入力される。階調データ386はシフトレジスタ及びラッチ部384により各出力に分配され、分配された階調データは電流出力段23により階調に応じた電流量に変換される。これにより階調に応じた電流出力を行うことが可能となる。一方、階調データは同時にプリチャ

ージ電圧変換部884に入力される。プリチャージ電圧変換部884では図88に示すような回路構成により、階調データに応じた電圧が信号885により出力される。プリチャージ値変換部882の変換マトリクスと抵抗素子883の値により出力される電圧を変化させることが可能となる。

[0267] 電流書き込みを行う期間における画素とソースドライバ間の等価回路は図12(a)に示す回路であった。このとき白表示時の電流を $I_3$ 、黒表示時の電流を $I_1$ とすると、プリチャージ電圧出力の変動範囲は図12(b)から $V_3$ から $V_1$ までの範囲となる。 $V_3$ 及び $V_1$ の値は画素の駆動トランジスタ62のチャネルサイズにより変化し、例えばチャネル幅が狭くなるほど $V_3$ と $V_1$ の差が大きくなる。パネル(画素トランジスタの構成)によって異なる電圧値が出力できるように本発明では図88の883に示す抵抗素子を2つ外付けで配置し、抵抗値を任意に設定できるようにすることで、様々なパネルに対する電圧出力を可能とした。一般に赤、緑、青で有機発光素子の電流-輝度特性が異なることから、 $I_1$ 、 $I_3$ の値が色ごとに異なり、その結果として $V_1$ 、 $V_3$ も色ごとに異なる。従って図88に示すプリチャージ電圧変換部884は3回路分ソースドライバに必要である。外付けの抵抗値が色ごとに異なる。図85及び図89では1回路の記載であるが、実際には赤緑青の3回路分が存在する。

[0268] 以上のように階調に応じて出力される電圧はつぎに分配部及びホールド部383により各出力に分配される。これにより各出力には階調に応じた電流と階調に応じた電流が分配された。電流と電圧のいずれを出力するかを電流電圧選択部385により選択する。

[0269] 電流電圧のいずれを選択するかはプリチャージ電圧印加判定部56により決められる。プリチャージ電圧印加判定部56はプリチャージパルス451とプリチャージイネーブル895により判定を行い、プリチャージパルス451が入力され、プリチャージイネーブル895がプリチャージを行う信号を出力した場合にのみ電圧を印加するようにする。

[0270] これにより、図90の出力901に示すように、階調データ $D_n$ ( $n$ は自然数)に対応する電圧を $V_{Dn}$ 、対応する電流を $I_{Dn}$ とすると、プリチャージ判定信号383がハイレベルとなりプリチャージをするというときには、1水平走査期間内で $V_{Dn}$ が出力された後

、IDnが出力される。(VDn印加期間はプリチャージパルス451のパルス幅による)一方でローレベルの時には、VDnは出力されず、IDnのみが1水平走査期間の間出力される。(電流出力が電圧出力かの大まかなタイムチャートを図47に示す)プリチャージ判定信号383を利用することで、所定階調値に対応する電流まで変化しにくい低階調部では、電圧によりまず大まかにソース信号線の状態を変化させた後に、電流により所定電流値までソース信号線を変化させる。一方で、高階調部や、複数行同じ階調が連続して表示される場合の2行目以降の行においては、高階調部ではソース信号線が所定電流値にまで容易に変化できること、複数行連続の場合にはソース信号線の状態が変化する必要がないため、電圧により所定階調値まで変化させる必要がないため、プリチャージ判定信号383によりプリチャージを行わないようにするという制御が可能となる。(この状態で電圧により変化させると、画素回路の駆動トランジスタ62の特性ばらつきによる輝度ムラが発生するおそれがあるため電圧を印加しない方がよい)プリチャージ判定信号383はこのようにソース信号線の状況に応じてプリチャージを行うかどうかを決められる利点がある。そのため映像信号線856で送るデータ量が各色で1ビットずつ多くなっても転送する必要がある。

- [0271] プリチャージパルス451はプリチャージ期間をコマンド線847によりソースドライバに入力し、プリチャージ期間設定値に応じてプリチャージパルス451のパルス幅を変更できるようにしている。これにより、画面サイズに応じてプリチャージに必要最低限の時間で電圧出力を行い、所定輝度にする電流出力期間をなるべく長くすることで、電圧による設定で発生する駆動トランジスタ62による特性ばらつきの輝度ムラ補正をしやすくする。コマンド線847の信号線数を少なくするため図87に示すように、1ビットのデータをシリアル転送によりソースドライバに送る構成とした。ソースドライバに必要なコマンドは、プリチャージ期間設定872の他、基準電流値を変更するための基準電流設定871とドライバ出力イネーブル信号のみである。これらの信号は頻繁に書き換えられることはなく、頻繁に行っても1水平走査期間内で1回の書き換えでよい。図87の例では全部で15ビットであり、ソースドライバのシフトレジスタ用のクロック871が1水平走査期間内に变化する時間に比べてもゆっくりでよいため、電磁波ノイズの影響もなく信号伝送が可能である。そのため信号線数は1本でよい。また、コマンド線

847に流れるデータの判別も、例えばタイミングパルス849の次のクロックから8ビット分上位から下位ビットの順で基準電流設定871、次にプリチャージ期間設定872、最後に出力イネーブル信号とすることでコマンドの判別線(アドレス設定)も不要である。これにより少ない信号線数で、ソースドライバの設定が可能である。なお基準電流設定信号が入力される基準電流生成部891は電子ボリュームにより基準電流が変更できるような構成となっており、設定信号により、電子ボリューム値が変化することで基準電流が変化する(図8に構成例を示す)。

[0272] 映像信号が各色偶数ビットで構成される場合(例えば各色10ビットの計30ビット)には、各色にプリチャージフラグ862が1ビットずつ足されるため全ビット数の合計は必ず奇数ビットとなる。(例の場合33ビット)低振幅信号伝送を行う場合にはたいがい配線はツイストペア線で送られる。33ビットの信号線を送る場合、転送速度がドライバと同じであるときには66本の線が必要となる。これでは配線数が多いため、通常転送速度を、ドライバのクロックに対し一定倍で転送し、その分配線数を削減している。例えば2倍速で送る場合、1回の転送で17ビットずつ転送すると34ビットを転送できる。このうち33ビットにデータを入れることでデータを2倍速転送している。しかしながら実際の転送能力34ビットに比べ1ビット分ブランクのデータを送っていることになる。同様に偶数倍速で転送する場合には奇数ビットのデータでは必ず1ビット分ブランクのデータが送られることとなり、信号線の利用効率が低いことがわかる。つまり1ビット分データが増加しても、転送レート(クロックの倍速)、信号線数に影響を及ぼすことはない。

[0273] そこで、本発明では、赤緑青の各映像信号とプリチャージフラグにデータ/コマンドフラグ911を足すことにし、このデータ/コマンドフラグ911の値が、例えば1のときには映像信号とプリチャージフラグが転送され、0のときにはソースドライバの各種レジスタ設定を行うというようなことをすることが可能である。図91(a)にデータ転送、図91(b)各種レジスタ設定時の各ビットの構成を、図92に、データ転送及び各種レジスタ設定の転送タイミングを示す。1水平走査期間ないで、各色の映像信号及びプリチャージフラグを全て転送した後のブランキング期間を利用して、データ/コマンドフラグ911によりソースドライバの各種レジスタ設定を行うようにした。ここでは、図91(b)に

示すように、基準電流の設定とプリチャージ電圧を印加する期間を設定することとしている。

[0274] このようにすることで、図85のコマンド線847は不要となり信号線数を削減することが可能となる。

[0275] ソースドライバのブロック図を図93に示す。映像信号線856からコマンドデータと映像信号を分離するため、低振幅信号をCMOSレベルに変換するための回路である映像信号・コマンド分離部931が入ることが図89の構成と異なる点である。

以上のようにすることで映像信号線と同期してプリチャージフラグを転送し、かつ各種レジスタ設定を行う必要があるソースドライバICにおいて、映像信号線とプリチャージフラグもしくは映像信号線、プリチャージフラグと各種レジスタ設定を同一信号線を用いて低振幅信号により高速転送を可能とした。これにより、プリチャージフラグに必要な配線、各種レジスタ設定用の配線数を削減することが可能となるうえ、高速転送時の電磁波ノイズ低減することが可能となった。

[0276] 小型用途の表示パネルにおいては、モジュール配置の空間的な制約が発生し、パネル外部へ引き出す信号線数を極力少なくする必要がある。大型パネルにくらべ表示ドット数が少ないことから映像信号線の転送レートは低い。そこで図94及び図95に示すように映像信号線856に階調表示用のデータ(赤緑青の各色データ、ここではRデータ、Gデータ、Bデータとする)とその階調表示データに対し、プリチャージを行うかどうかを判定するプリチャージフラグ862を多重するのに加えて、さらにゲートドライバ制御用データ951を送信する。ゲートドライバA(851a)とゲートドライバB(851b)両方の制御に必要な信号線を送信する。送信する信号は、シフトレジスタ動作のクロック、スタートパルス、出力イネーブル信号、及びシフト方向を決める信号である。出力イネーブル信号は数 $\mu$ 秒単位で信号線状態を変化させることがあるため、図96においてデータ転送期間962ばかりでなく、ブランキング期間963でもゲートドライバ制御用データ951を送信する。そのため図95(b)に示すようにソースドライバの設定信号に加えて、ゲートドライバ制御データ951を転送するようにした。これによりパネルから引き出される信号線は、電源線その他、最小で2ペアのツイスト線と、3本の信号線にて構成することが可能となる。



[0277] 信号線数を減らすと、転送レートが上がるため、送信側コントローラ854につけられるクロック発生部の消費電力が増大する。一般に小振幅伝送を行う場合の電力はほとんどが、クロック発生部で消費される電力である。そこで、低電力化が要求される機器では、映像信号線856に用いられるツイスト線の本数を多くして、転送レートを下げることによって消費電力を低下させる。(信号線で消費される電力はクロック発生部で消費される電力の10分の1から20分の1程度である)図96の964で示される期間に送る図95(a)のデータ列を、シリアルで順に送るか、映像信号線856の本数に応じて一部もしくは全てをパラレルで転送するようにすればよい。

[0278] このようにして、小振幅伝送された映像信号線856のデータをソースドライバ852にて分離する。ソースドライバ852の内部ブロックを図98に示す。クロック858と映像信号線856、スタートパルス848からクロック858から作成したソースドライバクロック871に同期した階調データ386、プリチャージ判定信号383及びゲートドライバ制御線941を出力するための映像信号・コマンド分離部931を持つことが特徴となる。ゲートドライバ制御信号は図95に示すように映像信号及びコマンドに対応して必ず送信されているため図97の用にソースドライバクロック871に同期した信号に復調することが可能である。このようにすることで、ゲート信号線をパネル外部に引き出す必要がなくなり、信号線数が少ない表示パネルが実現可能である。またソースドライバクロック871に同期して出力することで、ソースドライバとゲートドライバのタイミングがあわせやすくなる利点がある。またコントローラ854からゲートドライバ851への制御線が不要となることからコントローラ854の出力端子数が少なくなり、より小さなパッケージでコントローラ851を作成できるようになる。

[0279] 図98の構成は図93の構成に比べ、プリチャージ電圧を発生出力するブロックが異なる。図93では映像信号に応じた電圧を生成しアナログラッチを用いて各出力に分配したが、図98では、電圧設定線986により決められるプリチャージ電圧発生部981の複数の電圧出力を各出力段に分配し、プリチャージ電圧選択及び印加判定部982により複数の電圧のうちどれを出力するか、もしくは電流のみの出力を行うかを判定するようにする。これにより分配部及びホールド部383は不要となる。大型パネルにくらべ、小型パネルにおいては1水平走査期間が長いこと、ソース信号線の浮遊容量

が小さいことから、所定電流値が書き込みやすい。そこで、本ソースドライバでは電流のみでも書き込みが可能な高階調部では電圧を印加しないことを前提に発生電圧値の数を少なくし回路規模の低減をはかった。この例では3値の電圧出力とした。必要に応じて電圧値の数は1から7程度まで変えてもよい。

[0280] 映像信号のデータに応じたプリチャージ電圧出力の方法を説明する。映像信号線856から図95(a)の方法により映像信号とプリチャージフラグが対になって送信される。カラーパネルの場合には赤緑青それぞれ1対ずつ送信される。それぞれ同一の方法によりプリチャージを行うためここでは赤の信号で説明を行う。対になって送信されるRプリチャージフラグ862aとRデータ861aは映像信号・コマンド分離部931に入力される。ここでCMOSレベルに変換され、それぞれプリチャージ判定信号383及び階調データ386となる。1画素ずつ順に送られてきた信号を各出力に分配するためシフトレジスタ及びラッチ部384に入力される。分配後、階調データ386は階調データ線985を介し電流出力段23に入力され、階調に応じた電流を104から出力する。一方、プリチャージ判定信号383はプリチャージ判定線984に出力される。プリチャージ電圧選択及び印加判定部982では図100に示すようにプリチャージ判定線984及びプリチャージパルス451によりデコード部1001及び選択部1004を制御し、階調電流104を出力するか、プリチャージ電圧983のいずれか1つを出力するか判定する。ここでは4つの入力のうちから1つの信号を選ぶことから、プリチャージ判定線984は2ビット幅が必要である。一般にプリチャージ判定線984のビット数を $N$  ( $N$ : 自然数)とすると、 $2^N$ の値が(プリチャージ電圧数+1)以上となるようなビット数が必要となる。

[0281] プリチャージパルス451は図47の473に示すように、1水平走査期間内で電圧出力期間を決めるための信号である。従って、プリチャージ判定線984によりいずれかのプリチャージ電圧983を出力する際でもプリチャージパルス451入力期間のみ電圧が出力される。

[0282] 図101にプリチャージパルス451及びプリチャージ判定線984と出力1005の関係を示す。これによりプリチャージ判定線984に入力する信号をコントローラから制御することにより、映像信号に対応したプリチャージ電圧を出力する期間を設けることが可

能となる。

[0283] プリチャージ電圧は、プリチャージ電圧発生部981により生成される。内部回路の構成例を図99に示す。各電圧は抵抗分割により生成される。(983出力には一般的にはオペアンプが接続される)  $V_{p1}$ は抵抗素子992a及び992bにより決められる。一方  $V_{p3}$ は発光色により必要な電流値が異なることから色ごとに電圧が変化できる構成とした。抵抗素子997及び電圧選択部994を用いて、 $V_{s1}$ から $V_{s4}$ のいずれかの電圧が選択できるようにしている。これは図6のような画素回路を持つ表示装置において、ソース信号線電流(=EL素子63に流れる電流)とソース信号線60の電圧の関係は、図102の駆動トランジスタ62の電流-電圧特性上に一致するため、緑と青でEL素子の発光効率が異なることによる1階調あたりの電流ずれは、ソース信号線電圧のずれとしてあらわれる。プリチャージ電圧を必要とする0から2階調で考えると、青は緑に比べ発光効率が低いことからたくさんの電流が必要となり、同じ2階調目でも青は1021の点、緑は1022の点となる。これにより電圧値も異なる。電圧設定線986により電圧選択部994を制御し、例えば994cは $V_{s4}$ (995c)を選択し、994bは $V_{s1}$ (995a)を選択することで、図102のような色によってプリチャージ電圧値を変更させることが可能である。駆動トランジスタ62の特性に合うような997、998の抵抗値を決めることで所定の電圧を発生させることが可能である。電圧設定線986は外部から値を設定でき、図95(b)に示すようにコマンド期間でプリチャージ電圧設定953を入力し、映像信号・コマンド分離部931により映像信号と分離して電圧設定線986を取り出せるようにした。これにより色ごとに異なる電圧設定を行うのに際し、新たに外部信号線の数を増やさなくても実現できるようにした。図98ではプリチャージ電圧983は3本のみ記載されているが、これは単色での例を示したものでマルチカラーの場合にはプリチャージ電圧983は色ごとに3本、計9本必要となる。プリチャージ電圧選択及び印加判定部982の電圧入力は3本である。出力毎に表示色はきまっているため、出力する色に対応した電圧3本を入力すればよいのである。

[0284] なお8つ以上の電圧値が必要な場合では、図100のデコード部1001と選択部1004の回路規模が大きくなることから、図89の回路構成の方がよい。

[0285] 図95、図98もしくは図91、図93の構成にするかはパネルサイズ及び画素数からど

ちらを選択するか決めればよい。

- [0286] これにより、電流及び電圧出力が可能なソースドライバICを少ない信号線数で実現可能である。
- [0287] 電流ドライバICでは特に低階調部で出力電流値が少ないことによるソース信号線浮遊容量の充放電不足から画素に書き込まれる電流の変化が遅いことが問題である。電流が変化するのに必要な時間 $\Delta t$ は $\Delta t = C \times \Delta V / I$  (ここで $C$ はソース線容量、 $\Delta V$ はソース線電圧変化量、 $I$ はソース信号線に流れる電流である)で表されるため特に低階調ほど変化に時間がかかることがわかる。また白から黒、黒から白への変化では黒から白への変化の方が時間がかかることがわかった。
- [0288] 例えば白表示時10nAのソース信号線電流を流し、黒表示時には0nAのソース信号線電流とすると、白から黒へのソース信号線電流の変化の様子は図104に示される波形となり、黒から白へのソース信号線電流の変化は図105に示される波形となった。
- [0289] QCIF + (176 × 220画素)のパネルで1フレームを60Hzで走査する場合には、1水平走査期間はおおよそ70 $\mu$ 秒である。初期状態から70 $\mu$ 秒での変化は、白から黒では図104に示すように目標に対し94%まで変化しているのに対し、黒から白では図105に示すように目標に対し5%しか変化できていない。
- [0290] 10nAと0nA間での変化にこれほどまでの差がでるのは、ソース信号線電流に対するソース信号線電圧の値の変化が非線形変化となるためである。ソース信号線電流と電圧の関係を図106に示す。電流電圧の関係は駆動トランジスタ62の電流電圧特性(1063)により決まり、ソース信号線の電流に応じて、1063の曲線に対応する電圧がソース信号線電圧値となる。電流変化に要する時間の式 $\Delta t = C \times \Delta V / I$ において、黒から白への変化時には $I = 10\text{nA}$ 、白から黒への変化時にはソースドライバの電流は0であるが、駆動トランジスタが10nAの電流を供給しようとするため初期状態では同様に $I = 10\text{nA}$ となる。すると $\Delta t$ が70 $\mu$ 秒と同じであるときには必然的に $\Delta V$ がほぼ等しくなることがわかる。10nAの状態から $\Delta V$ だけソース電位が上昇する場合と、0nAの状態から $\Delta V$ だけソース電位がさがる場合では、曲線1063の特性から電流変化量が全く異なる。電位が上昇する方向では1061に示すように10nAから0

. 6nAまで低下するのに対し、電位がさがる方向では0nAから0.5nAまでしか変化しない。その結果として、図104及び図105に示すような電流変化となる。

[0291] ここでは10nAと0nAの間の変化を例として説明を行ったが、任意の階調の組み合わせにおいても、同様に高階調から低階調への変化の方が、低階調から高階調への変化よりも早い。

[0292] そこで本発明では、変化速度が遅い低階調から高階調への変化を早くするための方法を考案した。

[0293] 変化を早くするためには、ソース信号線容量を小さくするか、電圧変化量を小さくするか、電流を大きくする必要がある。ソース信号線容量はパネルサイズにより決まるため変化できない。また電圧変化量を小さくするには駆動トランジスタの電流電圧特性を変更するしかなく、具体的にはトランジスタのチャネル幅を長くするかチャネル長を短くするしかない。チャネル幅を長くすると、トランジスタサイズが増大し、1画素分の面積が小さい小型高精細パネルでは対策できない。一方、チャネル長を短くするとアーリー効果がより大きく発生し、書き込み時とEL発光時(図7(a)と図7(b)の期間)で駆動トランジスタ62のドレイン電圧が異なると、アーリー効果によりそれぞれの場合においてドレイン電流値が変化するという問題が発生するため、チャネル長を短くすることができない。そこで、ソース信号線電流を大きくすることを考えた。

[0294] 図108に、ある1画素に電流Iを書き込むときの本発明によるソースドライバ電流出力波形を示した。水平走査期間のはじめ10 $\mu$ 秒にわたって所定電流の10倍の電流を流す期間を設けたことが特徴である。10倍の電流を流すことで例えば図107に示すように電流の変化は従来の1072から1071の用に変化するようになり、70 $\mu$ 秒での所定電流書き込みが可能となった。このようにソース信号線に流す電流を増加させる期間を1水平走査期間のはじめに設けることで電流値の変化が早くなり所定電流を書けるようになった。

[0295] 電流を所定値の10倍して出力するとなると、所定電流の10倍の値を計算する必要がある上、ソースドライバ側でも10倍の電流が流せるような機能を設ける必要がある。これには演算回路が必要になったり、ソースドライバの電流出力段の電流源を10倍分増加させなければならず回路規模が大きくなるという問題が発生する。また、表示

色によって1階調あたりの電流値が異なる場合には階調毎に倍率を変化させるということも必要となってくる。そのため処理が複雑となる。

[0296] そこで本発明では、低階調から高階調への変化時が変化しにくく、さらに低階調でも階調0が最も変化がゆっくりとなることから、階調0から次の階調へ変化させるのにどれだけの電流があれば1水平走査期間内に変化可能であるかを調査し、その電流値(ここで $I_{p1}$ とする)を、本発明の第3期間の例である、1水平走査期間のはじめの期間に印加した後所定電流を印加することにより1水平走査期間内で所定電流値に変化できるような構成とした。所定階調値が $I_{p1}$ よりも大きい場合には、 $I_{p1}$ の電流を流す期間でも所定階調電流を流すようにすることで、全階調領域にわたって、階調0から所定階調までの電流を1水平走査期間内に書き込むことが可能となった。この場合には、映像信号がある階調未満の場合にのみ $I_{p1}$ を挿入する期間を設けるとすればよい。また出力段においても $I_{p1}$ を出力する電流源を1つ各出力に設けるだけでよい。概念を図103に示す。階調表示用電流源に加え電流出力104にプリチャージ用の電流源 $I_{p1}$  (1033)を設ければ実現できる。この電流 $I_{p1}$ は所定階調まで変化する速度を速めるだけの目的で使われるため隣接端子間でばらつきがあってもよく、そのため階調表示に用いられる電流源を構成するトランジスタに比べて同じ電流を出力するにもトランジスタ総面積を小さく実現することが可能である。

[0297] また、この電流 $I_{p1}$ はソース線容量、画素トランジスタの電流電圧特性により最適値が決まり、EL素子63の発光効率には依存しない。そのため各色とも共通の電流値が入ればよく、色ごとに個別調整する必要がなく、小さな回路で構成可能となる。

[0298] 図109に水平走査期間のはじめに $I_{p1}$ を出力する機能を設ける場合における、本発明の自己発光型表示装置の電流出力型駆動回路に相当するソースドライバICの構成を示す。ここで水平走査期間のはじめに出力する $I_{p1}$ の電流をプリチャージ電流と呼ぶこととする。プリチャージ電流を発生するためのプリチャージ基準電流発生部1092及び、本発明の所定の第1条件に基づき、ソース信号線に出力するかどうかを判定するプリチャージ電流出力段1094、プリチャージ電流の期間を設定するパルス発生部1097を設けたことが特徴である。プリチャージ基準電流発生部1092および

プリチャージ電流出力段1094は本発明のプリチャージ電流印加手段を構成し、これらは、ソースドライバICを制御する(図109には示さない)コントローラとともに、本発明の自己発光型表示装置の表示制御装置を構成する。またパルス発生部1097は本発明の第3期間発生手段に相当する。なお、図109には図示していないコントローラ部については、ソースドライバに同梱されても良いし、別途コントローラとして別デバイスとしても良い。同梱して1チップ化することはソースドライバを1〜2個程度使用する比較的小型の表示装置に特に有効である。

- [0299] プリチャージ電流を出力するかどうかはプリチャージ判定信号383により決められる。プリチャージ判定信号383は階調データ386に同期して送信されるため、1画素毎にプリチャージ電流を出力する期間を設けるかどうか、複数のプリチャージ電流を設けた場合には、そのうちのどれを選択するかを設定することが可能である。各出力に分配されるように、階調データ386と共にシフトレジスタ及びラッチ部384により各出力に分配される。階調データは階調データ線985として、各出力に設けられた電流出力段23に入力される。電流出力段23では階調データ線985、基準電流生成部891で作成された基準電流値に応じた電流量を1093に出力する。図110にはマルチカラー対応のドライバの時の基準電流生成部891及び電流出力段23の構成を階調データ線985が3ビットの例で示している。基準電流設定線934により1101の信号線電位が変化し、オペアンプ1103、抵抗1102とトランジスタからなる定電流回路の電流値が変化する。これにより基準電流設定線934の値に応じて電流が変わることがわかる。階調データ線985により出力1093の電流が変わるのは、階調データ線985の値により、出力に接続される電流源トランジスタ103の個数が変わることにより変化させている。一般に有機EL素子は発光色ごとに発光効率が異なるため、発光色ごとに1階調あたりの電流を異ならせる必要がある。本発明では抵抗1102をIC外部の素子として構成することで、抵抗1102の調整を容易とし、抵抗値で1階調あたりの電流値を変化させ、ホワイトバランスを取れるようにしている。一方各出力に分配されたプリチャージ判定線984はプリチャージ電流出力段に入力される。更にプリチャージ電流出力段1094はプリチャージ基準電流発生部1092及びプリチャージパルス1098からも信号入力がある。

- [0300] プリチャージパルス1098のパルス幅はパルス発生部1097により決められる。パルス発生部1097では電流プリチャージ期間設定線1096の値及びタイミングパルス、クロックによりカウンタ回路などを用いて、タイミングパルス出力からプリチャージ期間設定線1096の値に基づいてプリチャージパルス1098を出力するようにしている。
- [0301] プリチャージ電流の値を決めるプリチャージ基準電流発生部1092はプリチャージ電流設定線1091入力によりプリチャージ電流を変化させる。
- [0302] これら2つの外部設定値(電流プリチャージ期間設定線1096及びプリチャージ電流設定線1091)は、ソースドライバの入力信号線削減のため映像信号線856に、映像信号のブランキング期間を利用してブランキング期間中に設定信号を送るようにした。そのため、映像信号線856から映像信号・コマンド分離部931を介して、電流プリチャージ期間設定線1096及びプリチャージ電流設定線1091を取り出すようにしている。
- [0303] 図111にプリチャージ電流出力段1094及びプリチャージ基準電流発生部1092の回路構成を示す。(マルチカラー3色の組が2つの例)  
プリチャージ電流出力段1094では、プリチャージ判定線984及びプリチャージパルス1098が入力される判定信号デコード部1111によりプリチャージ電流源トランジスタ1112から1114もしくは階調電流1093のうちの1つを出力104に接続するようにすることで、プリチャージ電流を出力するかどうかを選択する。
- [0304] これによりプリチャージパルス1098がハイレベルのときに、プリチャージ判定線984の値によって、プリチャージ電流源のうちのどれを出力するか、もしくは、プリチャージ電流なしで、階調電流を出力するかを決めることができる。
- [0305] なおプリチャージ電流は1値でもよいが、パネルサイズつまり容量値の違いによって必要な電流値が異なることから、ICドライバを任意サイズで汎用的に使う際に、大型向け、小型向けに電流を調整して複数個出せるようにすることで汎用性を高めることが可能である。
- [0306] プリチャージパルス1098のパルス幅は、パネルサイズ及び水平走査期間の長さにもよるが、5 $\mu$ 秒以上水平走査期間の50%以下が好ましい。この範囲で所定階調を書き込めない場合にはプリチャージ電流を増加させることで対応する。プリチャージ



電流を挿入する期間を設ける階調データ386の値は階調データ386により電流出力段23から出力される電流がプリチャージ電流未満の場合に印加するようにプリチャージ判定信号383を制御すればよい。プリチャージ判定信号383は入力信号線数の削減及び電磁波対策のため図95に示すような形式で小振幅差動入力しても良い。

- [0307] このようにすることで、1行前のデータに比べて、次の行のデータが高階調となる場合にでもプリチャージ電流を入力することで所望の電流が書き込めるようになった。
- [0308] 高階調から低階調に変化するときには図104に示すようにほぼ目標の電流値を書き込めるため、このままでも構わないが、階調0(黒)に関してはきっちりと黒を表示できるようにした方が、コントラストの向上、自発光素子の特徴である黒が表示できるという利点を強調することが可能である。
- [0309] そのため、0以外の階調から0階調に変化する際には、本発明の第4期間に相当する水平走査期間のはじめの期間に電圧により黒を表示する電圧を印加するようにすることで、きちっとした黒を実現するようにした。ソース信号線に黒電流に対応する電圧を印加した場合、印加電圧によっては、駆動トランジスタ62の電流電圧特性のばらつきにより画素によって、黒が浮く(微発光する)現象が観測される。これを防ぐために、印加電圧は、電流電圧特性のばらつきを考慮し、最もよく電流が流れる駆動トランジスタ62でも電流が流れない電圧(プリチャージ電圧)を印加するようにすることで、駆動トランジスタのばらつきによる輝度ばらつきを防止できる。ここで、第4の期間は、前記第3の期間が0に設定される場合は、前記第1期間のはじめの期間に設定され、前記第3の期間が0以外に設定される場合は、前記第3期間のはじめの期間に設定される。
- [0310] プリチャージ電流もしくはプリチャージ電圧を水平走査期間内に印加できるようにしたソースドライバの構成を図112に示す。プリチャージ電圧が供給できるように、プリチャージ電圧発生部981、電圧プリチャージを行う期間を指定する電圧プリチャージパルス451が入ることが特徴である。
- [0311] 電圧でプリチャージを行う場合には、電圧印加期間が0.8  $\mu$  秒以上3  $\mu$  秒以下で十分にソース信号線をプリチャージすることが可能である。そのため電流プリチャー

ジに比べ短い期間のみの印加となるため、電流プリチャージパルス1098とは別の信号線電圧プリチャージパルス451を入力している。電流プリチャージと期間を共有してもよいが、この場合、階調に応じた電流を流す期間が短くなるため、電流による駆動トランジスタのばらつき補正が十分行われず黒表示の電圧値が変化した場合に輝度ムラが発生する可能性がある。そのため、電圧印加期間は極力短くし、階調電流出力の期間を長くするようにしている(個々のパネルではプリチャージ電圧を駆動トランジスタ62のばらつきに応じて調整することが可能であるが、実際にはパネル間、ロット間で駆動トランジスタ62の特性が大きくずれる可能性がある。これに対し、プリチャージ電圧を調整すれば、共用することも可能であるが、調整工程が必要となるため実用的ではない。この調整機能を電流により行わせるため、階調電流出力期間が長い方がよい。なお小型パネルにおいてはソース線容量が比較的小さいこと、水平走査期間が長いことから共用としても十分に補正可能であるため、チップサイズ優先で2つのプリチャージパルスを用いる。)

[0312] 1098及び451の2つのプリチャージパルスは開始位置が同じ(水平走査期間のはじめ)でパルス幅が異なるのみであるため、ソースドライバクロック871及びタイミングパルス849から作成されるカウンタにより作成することが可能である。パルス幅はそれぞれ電流プリチャージ期間設定線1096、電圧プリチャージ期間設定線933により定められる。図109の構成と同様にソースドライバの入出力信号線数の削減のため、映像信号線856のブランキング期間を利用して送信される。2つのパルスは1水平走査期間で1回の出力であることから、設定の書き換えは最もよく書き換えても1水平走査期間で1回であるためこのようにブランキング期間に設定する信号を挿入すればよい。

[0313] 印加するプリチャージ電圧値であるが、プリチャージ電圧発生部981により発生する。プリチャージ電流電圧出力段112へ出力する電圧が各色複数個ある場合には図99と同様な構成を用いればよいが、階調0に対応する電圧各色1値のみである場合には、3つの電圧をそれぞれ電子ボリュームとオペアンプで構成し、電子ボリュームにより電圧値を調整するような構成でもよい。どちらの構成でも、電圧値の調整はプリチャージ電圧設定線986により行う。プリチャージパルスと同様、設定線は映像信号85

6のブランキング期間により行う。

- [0314] 本発明の所定の第1条件、第2条件に基づき、プリチャージ電圧、プリチャージ電流、階調電流のいずれを出力するかをプリチャージ電流電圧出力段1121で選択する。図113にプリチャージ電流電圧出力段1121の回路構成を示す。この例では電流プリチャージ電流源が1112及び1113の2つ、プリチャージ電圧線983が1つの合計3つと、階調電流1093との選択を行うことから、プリチャージ判定線984は2ビットとなっている。判定線984及びプリチャージパルス1098及び451から判定信号デコード部1131により、4つのうちのどれを出力するかをデコードする。切り替え部1132、1133、1134、1135の状態と入力信号の関係を図114に示す。プリチャージ判定線984によりプリチャージを行うか、行う場合には電流か電圧かを決める。さらにプリチャージを行う場合には電流もしくは電圧プリチャージパルスの期間のみプリチャージを行い、そのほかの期間では階調電流を出力するように設計する。これにより、電流もしくは電圧プリチャージ機能を有するソースドライバICを実現した。なお図112から図114では、本発明の所定の第1条件、第2条件を与えるものであり、電圧プリチャージの電圧数が各色1種類、電流プリチャージの電流数が各色2種類で説明を行ったが、任意の種類でも実現可能である。
- [0315] プリチャージ判定線の元となるプリチャージフラグ生成のフローチャートを図115に示す。
- [0316] ここでプリチャージを行う条件を考える。本発明の所定の第2条件として、電圧プリチャージは階調0となるときにのみ行う。更に1行前も階調0であるときには、信号線がこの2水平走査期間では変化しないため、電圧プリチャージを行う必要がないため、プリチャージをしないようにする。次に電流プリチャージであるが、ある一定階調以上である場合には、1行前のデータがどういうデータであろうと階調電流により十分に書き込むことが可能となるため、電流プリチャージは不要である。一般的には電流プリチャージ用電流源の電流値 $I_p$ よりも大きな階調電流を出力する階調では電流プリチャージは不要である。図115の例では、3.5型QVGAパネルにおけるフローチャートを記載している。この場合には32階調以上では、所定階調に変化できるため電流プリチャージは不要である。電流プリチャージが必要となるのは1から31階調表示行で

、かつ1行前のデータが表示階調よりも大きい場合に電流プリチャージを行う。1行前データよりも当該行データのほうが小さい場合もしくは同一階調の場合には電流プリチャージは不要である。なお1行前データが階調0の場合、プリチャージ電圧が印加されていることが多く、電圧による輝度ばらつきを防ぐため、所定階調より高い電圧が印加される。そのためソース信号線の電位変化量がおおくなり、所定階調が書き込みにくくなる。そこで1行前データが0のときには、電流プリチャージの電流値が $I_p$ よりも大きな $I_{p0}$ を用意し、階調0の後にはこの電流を出力するようにするということが可能である。

- [0317] このようなプリチャージを実現するため図115に示すように、まず1151に示すフローで映像信号データを調べ、プリチャージが不要な階調32以上と、電圧プリチャージとなる階調0、その他の階調に分岐させる。階調32以上ではプリチャージ不要となるため1157の判定により、プリチャージフラグ値を0とする(図114の判定信号デコード部1131真理値表を用いた場合)。

階調0の場合には、1152のフローにより1行前のデータを参照する。階調0のときには不要であるため階調0とそれ以外に分け、階調0では1157のプリチャージなしとなり、フラグは0とし、階調0以外では電圧プリチャージするという1154の判定となり、プリチャージフラグは1とする。

- [0318] 残る階調1以上31以下では、1行前の映像信号データの方が大きい場合には、プリチャージ不要のため1157のプリチャージなしとなりフラグは0となる。階調0のときは $I_{p0}$ の電流をプリチャージ電流として必要とするため1155の電流プリチャージ(電流源1113)となる。よってフラグ値は3となる。それ以外の場合には通常の電流プリチャージ(電流値 $I_p$ )を用いるため1156の電流プリチャージ(電流源1112)となりプリチャージフラグは2を出力する(ここで電流源1112は $I_p$ の電流源、電流源1113は $I_{p0}$ の電流源と仮定する)。

- [0319] なおパネルによっては $I_p$ の値が大きくなり、それに伴いプリチャージが必要な階調数が増加することがある。この時に備え、1151の分岐命令は条件分岐の条件を外部コマンドなどにより変更できるようにしてもよい。また、プリチャージ電流源及び電圧源数が増えたときなどは同様に適宜フローチャートを作成し、回路実現することが可能

である。

- [0320] このフローチャートを実現するプリチャージフラグ生成部1162は、通常コントローラ854内部にて、図116に示すように、映像信号1161及び1行前のデータを蓄積するラインメモリ1164の出力を入力とし、映像信号1161と同期して小振幅差動信号変換部1163に入力される。ここで、信号線数の削減及び電磁波ノイズ対策のため小振幅差動信号に変換され、更にブランキング期間にソースドライバの制御信号を挿入し、映像信号線856及びクロック858をソースドライバに対し出力する。なお、コントローラとソースドライバが1つのICで構成される場合には小振幅差動信号変換部1163は不要でそのまま、この信号をシフトレジスタ及びラッチ部384に入力すればよい。
- [0321] また図109及び図112において、ゲートドライバ制御線941が出力されているがこの信号は、コントローラ出力信号線数削減のため用いられたものであり、コントローラの出力信号線数に制約がない場合には不要である。
- [0322] 必要な電流プリチャージの電流量は、同一階調表示を行う場合でも、1行前の表示階調により異なることがわかった。例えば、階調16を表示する場合には、1行前の階調が0のときには64階調相当のプリチャージ電流が必要で、1行前階調が1のときには26階調相当のプリチャージ電流、1行前階調が2のときには16階調相当のプリチャージ電流(=なくてもよい)となった。このため、プリチャージ電流を決める際には1行前のデータも参照し、1行前のデータと当該行データの値から最適なプリチャージ電流を設定する必要がある。
- [0323] 1行前データと当該行データとプリチャージ電流値の関係をマトリクステーブルなど用意してプリチャージ電流を制御する方法もあるが、階調数が多くなるとテーブルが大きくなり、IC設計時回路規模が大きくなってしまうという問題がある。
- [0324] マトリクステーブルを用意してプリチャージ電流を決めなくてはならないのは、ソース信号線がはじめにどの状態となっているかで、変化時間に大きな差がでるためである。電流変化に要する時間は(ソース信号線の容量) × (1行前と当該行でのソース信号線電位差) / (ソース信号線電流) で表される。ソース信号線の電流と電圧の関係は図106に示すように、駆動トランジスタ62の特性に従うため、非線形な曲線で表される。低階調表示ほど1階調あたりの電位差が大きくなっている。このため階調差が

同じであっても所定電流にまで変化するのに大きく時間が異なる。例えば0階調から2階調に比べ2階調から4階調では電位差は $1/2$ となっているため、ソース信号線電流が2倍になっていることとあわせると、書き込み時間が $1/4$ となる。(階調差が2で同じの場合)単に階調差を検出するばかりでなく、階調差および表示階調からプリチャージを決める必要があり、少なくとも1行前のデータと、当該行のデータを参照する必要がでてくる。

[0325] 階調差がソース電位差と比例関係にあれば、階調差1に対するソース電位差が一義にきまり、階調差1あたりの必要電流分が決まる。これを元に任意の階調差に対し必要な電流量を計算により求めることができるため、階調差の計算結果から必要電流値がきまるため、1行前データと、階調差1あたりの必要電流さえ記憶できる手段があれば、プリチャージ電流が決められる。

[0326] しかしながら、本発明の自己発光型表示装置においては、階調差とソース電位差は比例関係とならず、階調差が同じであってもソース電位差が異なる場合が発生するため、プリチャージ電流値は、1行前のデータと当該行データを参照し、そこからまずソース信号線電位差を計算する。ソース信号線電位差を元にプリチャージ電流を決めるという必要がでる。1行前のデータと当該行データとソース信号線電位差の関係を計算で求めることは不可能もしくは回路規模が非常に大きくなる計算が必要となるため実際には不可能であり、あらかじめテーブルを用意し、1行前データと当該行データから必要な電流値がわかるように、全ての階調の組み合わせにおいて、プリチャージ電流値を記録しておく必要がある。

[0327] 256階調の場合には6万5千通りあまりの全ての組み合わせについて記憶させる必要があり、この場合でも実際に回路を作成するのはかなり難しい(実際に作成する場合には、電流プリチャージが不要となる階調の組み合わせは記憶させないようにして回路規模を削減する。これにより1万通り程度の記憶量で実現できる)。

[0328] そこで、本発明ではさらにプリチャージ電流値を判断する回路の回路規模を小さくするために、水平走査期間のはじめに電圧により階調0に相当する電圧を印加することとした。電圧によりソース信号線の状態を階調0に変化することは $1\sim 3\mu$ 秒程度で実現可能である。水平走査期間の10%以内の期間で変化させるため書き込みに

必要な時間を大きく犠牲にする必要がなく、階調0の状態にソース信号線を変化させることができる。

[0329] この階調0に相当する電圧を印加する期間(電圧リセット期間とする)を設けることで常にソース信号線の状態は階調0の状態から変化させることとなり、1行前の状態を記憶する必要がなくなる。(常に0であるため)表示階調に対応したプリチャージ電流を記憶するのみであるため、記憶量は激減し、多くても70通り程度でよくなる。

[0330] 電圧リセット期間の後、所定電流に素早く変化させるためにプリチャージ電流出力期間を設け、所定階調付近にまで電流を変化させた後、所定階調に対応する電流を出力することで電流変化速度が遅い低階調領域でも素早く変化させることができる。

[0331] 表示階調に応じてプリチャージ電流を最適な値にして出力する方法では、最適プリチャージ電流値に応じた電流源を必要な電流値の種類だけ各出力に必要となる。階調表示用電流源241に加え、電流プリチャージ用電流源を配置するとソースドライバの回路が大きくなり、チップサイズが増大してしまう。また電流変化に要する時間はソース信号線の容量により変化することから、異なるサイズのパネルでは電流プリチャージの電流値が異なる可能性がある。回路形成されたドライバICでプリチャージ電流を変化させることはできないため、例えば必要な電流源数よりも少ない電流値及び多い電流値を余分に作ることで、階調に対応する電流値の選択パターンを変化して対応させることも可能であるが、更に回路規模が大きくなる問題がある。

そこで本発明では、外部からのコマンド操作などにて複数のパネルサイズに応じた最適な電流プリチャージが行えるように、電流値を階調に応じて変化させるのではなく、プリチャージ電流を印加する期間を階調に応じて変化させるようにした。

[0332] 具体的にはプリチャージ電流は、最大階調表示時の電流に対応する電流とし、このプリチャージ電流を印加する時間が変化すると、時間が短い場合にはプリチャージ電流による変化量が小さいため低階調程度の電流となるし、時間が長い場合にはプリチャージ電流による変化量が多くなるため高階調電流にできる。

[0333] これを実現するソースドライバ構成を図117に示す。またプリチャージ電流及び階調に応じた電流を出力する電流出力部1171の回路構成例を図118に示す。

[0334] 図118において、階調表示用電流源241は階調データ線985により制御される切

り替え手段1183に応じて出力104に接続されるかどうか決まる。なおこの電流源は階調データ線985のビットの重みに応じて電流量が異なるように設計されている。具体的には図25のようにトランジスタで電流源を形成し、電流の重み付けは個数により決めると正確に電流を出力できる。

[0335] プリチャージ電流を同一電流源から出力できるようにすることで電流源部の回路規模を小さくした。そのために、電流源241を出力104に接続するかどうかの切り替え手段1184を1183と並列に接続し、切り替え手段1184を電流プリチャージ制御線1181により制御するようにしたことで、電流源を共通とし回路規模を小さくした。このように1つの電流源241に対し、切り替え手段1183と1184を並列に配置するだけで実現できたのは、プリチャージ電流が最大電流（白表示電流）であることから実現できた。並列に切り替え手段が接続されているが、いずれか一方が導通状態となれば、接続された電流源の電流は出力される。従って、この2つのスイッチは論理和回路を実現していることとなり、電流プリチャージ出力期間は電流プリチャージ制御線1181はハイレベル、出力しないときはローレベルとすると、出力しないときには階調データ985により電流が出力され、出力する際には全ての241が電流プリチャージ制御線241により出力されることから階調データ985によらず、プリチャージ電流が出力できる。なお最大電流値を用いることで電流変化が早くなりプリチャージ電流出力期間1203をなるべく小さくすることができ、階調表示を正確に行うための階調電流出力期間1204を長く取れるという利点もある。

[0336] 2つの並列接続された切り替え部1183、1184を設けることで、論理演算用の素子が不要となるため、回路規模が小さくすることができる。

[0337] プリチャージ電流出力期間を階調により制御するためには、この電流プリチャージ制御線1181のハイレベルの期間を階調により変化させれば良い。そこで本発明では、パルス選択部1175、複数の電流プリチャージパルスを設け、プリチャージ判定線984の値に応じて電流プリチャージパルス群1174のうちの1つを選択すること、各電流プリチャージパルス1174はあらかじめコマンド設定によりハイレベルの期間を異ならせた信号とすることで、プリチャージ期間を変化させることができる。

[0338] このパルス選択部1175の入出力関係を図119に示す。プリチャージ判定線984の



値により、電流プリチャージ制御線1181及び電圧プリチャージ制御線1182の状態が変化する。同じ階調が連続した行表示される場合などソース信号線の状態が変化しない場合には電圧及び電流プリチャージが不要であるため、この例ではプリチャージ判定線984が0のときには階調に応じた電流出力のみを行うようにしている。また、階調0の時は電圧プリチャージにより階調0が表示されているため電流プリチャージのみが不要であるため、プリチャージ判定線984が7のときには電流プリチャージ制御線のみ常にローレベルとしたモードを設けている。他の判定値の場合には異なるパルス幅である複数の電流プリチャージパルスのうちの1つを選択できるようにしている。

[0339] これにより図120に示すように、プリチャージ判定線984、電圧プリチャージパルス451、電流プリチャージパルス1174から出力104に出力される信号が決められる。図119の関係に従った場合、出力ははじめの水平走査期間では電圧プリチャージをした後、1174dの電流プリチャージパルスに応じた期間のプリチャージ電流出力期間1203を持ち、最後に階調電流出力期間1204となる。次の1水平走査期間では階調電流出力期間1204のみが存在する。このようにすることで、プリチャージ判定線984により電流プリチャージを行う期間を変化させることが可能となるし、各電流プリチャージパルス1174のハイレベルの期間を外部入力により変化させるように設計すれば、パネルサイズ、水平走査期間に応じて最適な電流プリチャージが行え、任意のパネルサイズ、画素数に対応したソースドライバを実現することが可能である。

[0340] 本発明では、図117に示すようにパルス発生部1122により電流プリチャージパルス群1174及び電圧プリチャージパルス451を発生させている。パルス発生部1122には電流プリチャージ期間設定線1096、電圧プリチャージ期間設定933が映像信号・コマンド分離部931を介して外部から入力されることにより、外部のコマンドにて任意のパルス幅を持つプリチャージパルスが実現できるようになっている。

[0341] また、有機発光素子を用いた表示装置では、各表示色で発光効率が異なることから色ごとに1階調あたりの電流値が異なり、これによりプリチャージ電流値が変化してしまう問題がある。最も効率がよい表示色では白表示電流値が小さいため十分に所定階調まで電流が変化しきらない可能性がある。そこで本発明では電流プリチャージ

パルス群1174は1174g、1174h、1174iと色ごとに用意することで、電流を印加する期間を調整することにより上記問題点を解決した。具体的には最も効率が良い色では電流が少ない分、プリチャージパルスの幅を全体に長くしている。

- [0342] 階調に応じてプリチャージパルス1174の長さを変化させることで所定電流となるようにできることを図124の電流変化の様子を用いて説明する。(この場合ではドライバ出力は8ビット、256階調出力が行えるものとして説明を行う。階調数に関しては実際に使用するビット数に応じて置き換えて考えれば任意のビット数のドライバでも同様に説明が可能である)

電流プリチャージパルスの期間が例えば1174aであるとする、プリチャージ電流出力期間1242により電流が素早く変化した後、所定電流が出力されるためゆっくりと変化し、図124(b)に示すような曲線で示される電流変化となる。

- [0343] 一方、より長く電流プリチャージを出力した場合、例えば1174cの期間プリチャージ電流を出力した場合には1243の期間素早く変化し、その後階調30にまで所定電流によりゆっくりと変化する(曲線図124(c))。

- [0344] さらに電流プリチャージパルスを常に印加した場合では図124(d)に示すような変化となる。

- [0345] 図124(d)の電流変化曲線に対し、所定階調値となる付近に近くなるまで電流プリチャージを行い、その後所定階調電流を出力すれば最も早く電流が変化できることがわかる。高階調ほど、プリチャージ電流出力期間を長くし、低階調になるにつれ短くすることでプリチャージ電流値そのものを変化しなくても印加期間のみで所定階調まで変化させることができる。

- [0346] 図123に3.5型QVGAパネルにおける、必要なプリチャージ電流期間と階調の関係を示す。階調が高くなるにつれ、プリチャージ電流期間は長く必要となっている。また36階調以上ではプリチャージ電流期間は不要であることがわかっている。そこで、必要な電流期間と電流プリチャージパルスを図123のように対応づけて、それぞれの電流プリチャージパルスのハイレベルの期間を外部コマンドにより図123に示す期間に指定することで1つのプリチャージ電流源により、外部コマンド操作により、全ての階調変化に対して、次の行もきちんと所定階調が表示できるようになった。

- [0347] なお階調と電流プリチャージパルスの対応は、プリチャージ判定線984と電流プリチャージパルスの対応に置き換えられる。表示階調に対し、所望のプリチャージパルスが選択されるようコントロールICなどにより階調データに対応するプリチャージ判定信号を生成し、供給することで階調と、電流プリチャージパルスの対応がとれる。
- [0348] これは、階調と電流プリチャージパルスの対応が変化したときにコントロールICの制御により、階調に対する電流プリチャージパルスを変化させることができるという点で有利である。
- [0349] 1階調あたりの電流値が大きい場合には、より低階調でも電流プリチャージなしで所定階調が表示できる。例えば図123の場合に比べ1階調あたり2倍の電流となった場合には、理論上18階調以上は電流プリチャージなしで書き込みが可能である。この場合には、階調とプリチャージ判定線984の関係を制御しているコントロールICでの処理を変更し、関係を書き換えることで対応することが可能となる。
- [0350] そのため、このようにプリチャージ判定線を階調信号とは別途用意し、このプリチャージ判定線により電流プリチャージパルスを選択することで、有機発光素子の発光効率に変化したときでも同一ソースドライバを用いて表示することが可能となった。
- [0351] 複数のパルス幅を持つプリチャージパルス1174のうちの1つをプリチャージ判定線984の値に応じて選択する方法において、複数のプリチャージパルス1174のパルス幅を全て外部からコマンドで制御できるようにするには多数のパルス幅を規定する信号が必要となる。この信号をすべて直接ドライバIC36外部から入力するようにするとたくさんの入力ピンが必要となるため、実用的ではない。そこで本発明では映像信号のブランキング期間を利用して、ブランキング期間内に映像信号線856により、全ての設定値をシリアルに転送することで外部信号線数を増やさずにプリチャージパルス幅を設定できる。
- [0352] 図121に映像信号線856を利用してコマンド入力するための信号入力方法を示す。映像信号が送信される間は図121(a)のように各表示色データ861(ここでは赤緑青を想定している。なお、この3色に限らず表示装置に応じて任意の色のデータであってもよい。例えばシアン、イエロー、マゼンダの3色など)と、各データ861に対しプリチャージを行うかどうかを判定するための 信号であるプリチャージフラグ862が対

応して入力される。映像信号であることを判別するためのデータ／コマンドフラグ950が併せて送信される。例えばデータのときは1、コマンドの時は0とすれば、このビットを参照することで送られてくる信号が映像信号かコマンドかを識別できる。

[0353] 次に、ブランキング期間においてはコマンドを送信するようにする。データ／コマンドフラグ950を0として、コマンドであることを識別できるようにする。1回の転送で全てのコマンド設定が可能であれば不要であるが、本発明においてはコマンド数が多いことから、いくつかのビットをアドレスとして用いることとし、アドレスの値に応じてデータがどのコマンドに対応するかを判定するようにする。図121の例ではアドレスA1211において、電流プリチャージ設定信号か、それ以外の信号かを判定するようにしている。図121(b)は電流プリチャージ期間の設定以外に必要な信号の設定を行っており、プリチャージ電圧値や電圧プリチャージ期間、1階調あたりの電流を規定する基準電流設定信号912を送信している。図121(c)では、電流プリチャージ出力期間を色ごと、各色6つの設定を行う必要があることから、更にアドレスB1212を設け、アドレスB1212の値に応じて、どの電流プリチャージパルスのパルス幅を設定するかを決める。

[0354] 電流プリチャージパルスのパルス幅は図123からおよそ0.4  $\mu$  秒刻みであることから、刻み幅としては0.2  $\mu$  秒もしくは0.4  $\mu$  秒で行い、可変範囲は6.4  $\mu$  秒程度あれば任意のパネルに対し調整が可能である。32もしくは16段階の設定ができればよい。1174aから1174fが同じパルス幅を持つ必要はないためそれぞれ異なる値に設定できるようにするべきであり、更に1174aがパルス幅最小で、1174fがパルス幅最大となるように各パルスの役割を分担するようにすれば、例えば1174aの調整範囲は0.2  $\mu$  秒から6.6  $\mu$  秒(32段階調整)、1174fの範囲は2.0  $\mu$  秒から8.4  $\mu$  秒(32段階調整)といったように、最小0.2  $\mu$  秒から、最大8.4  $\mu$  秒までのパルス幅を設定できるような構成にできる。このように、各パルスのパルス幅の可変範囲をパルス毎に少しずつずらして設定することで可変範囲を小さくすることが可能で設定用の信号線幅を少なくし、回路規模の小さいものが実現することができる。

[0355] このように、外部入力コマンドにより様々な値を設定できるようにしたことで任意のパネルサイズ及び解像度における表示装置の階調に応じた電流出力が素早くできるソ

ースドライバIC36を実現した。

[0356] なお本発明による電流出力部1171は図118のように1つの電流源241に対し複数の切り替え部を並列に接続したものの他に、図122に示すように階調データ線985の各ビットと電流プリチャージ制御線1181の論理和を電流源241に接続された切り替え部1221の制御に用いる方法でも実現できる。切り替え部1183及び1184が小さく形成できるプロセスでは図118が回路規模が小さくなるが、小さくできない場合はロジック信号のルールで作成できる論理和回路を付加した方が小さくなる場合がある。

[0357] この2つの回路のいずれをとるかはプロセスルールを考慮して小さくなる方を採用すればよい。

[0358] 電圧プリチャージパルス451はこの例では表示色によらず同一のパルスを入力しているがこれは、電圧でソース信号線の状態を変化させるのには出力のオペアンプの駆動能力により状態変化の速度が決まるのであって、1階調あたりの電流など表示色ごとに異なる信号による影響はないため、回路規模を小さくするために電圧プリチャージパルス451を1つとしている。回路規模が問題にならない場合には、各色個別指定ができるように3つのパルスを持ってもよい。

[0359] 図118または図122の出力段の構成を持ったソースドライバIC36において、図123に示すような階調とプリチャージパルスの関係でプリチャージ電流出力期間1243を持った出力が行えるが、単に階調に対し、図123の関係によりプリチャージ電流出力期間1243を決めてしまうと、例えばソース信号線が変化しない同一階調が連続して出力される場合でも、プリチャージが行われてしまう。

[0360] 図125に示すように、水平走査期間のはじめにプリチャージ電圧印加期間1251において黒表示状態に信号線が変化した後にプリチャージ電流出力期間1252で所定電流値に近い値までソース信号線の状態が変化し、最後の階調電流出力期間1253において、所定電流値に変化することとなり、水平走査期間のはじめにソース信号線電流がいったん黒状態になるため、プリチャージ電流出力を行わない場合に比べ、かえって信号線の状態が変化し書き込み不足が生じる可能性を高めてしまっている。

- [0361] そこで本発明では、図126に示すように、同一階調電流出力が連続して出力される場合には、後の行ではプリチャージ電流出力期間1252を設けず、階調電流出力期間1253のみを設け、ソース信号線の状態変化を少なくすることで書き込み不足状態を発生させにくくした。
- [0362] 図127に示す表示パターンの場合(1272、1274の領域が同じ輝度で、1273の領域が1272、1274の領域よりも低い輝度となるパターン)1273の領域となる最初の行と、1274の領域となる最初の行で、電流プリチャージを行うようにする。列1271に対応したソース信号線の出力電流波形は図128のようになる。領域1272に対応した期間では、出力電流が変化しないため、水平走査期間1281内では階調電流出力期間のみとする。
- [0363] 領域1273に移った後ののはじめの水平走査期間1281dでは、ソース信号線電流が変化するため、すばやく電流を変化させる目的から、プリチャージ電圧印加期間1251dとプリチャージ電流出力期間1252dを設け、従来のプリチャージ電流を出力しない場合(1282)に比べ短期間で領域1273に対応した電流を出力することができるようになった。領域1273表示が連続している場合でも同様に、プリチャージ電流、プリチャージ電圧を出力する期間を設けず、階調電流出力のみを行うことで、ソース信号線電流の変化を最小限としている。
- [0364] さらにソース信号線が領域1274表示に対応する出力を行う場合には、はじめの水平走査期間1281gのみで電圧及び電流プリチャージを行うようにする。なおプリチャージ電流出力期間1252gは、1252dに比べて長くなっている。これは図123の階調と電流プリチャージ出力期間の関係から、階調が高いほどつまり電流が多いほど、プリチャージ電流出力期間が長いことに対応している。仮に領域1274が階調0の場合には、プリチャージ電圧印加期間1251gのあと階調電流出力期間1253gとなりプリチャージ電流出力期間1251gがなくなる。(階調に応じてプリチャージ電流出力期間1251は存在するため、必ずしも存在するとは限らない)このプリチャージを行うことで、従来のプリチャージがなく階調電流出力のみで出力電流値を変化させた場合(1283)に比べ、短い時間で所定電流値にまでソース信号線の電流を変化させることができた。

- [0365] このようにソース信号線の状態が変化するときのみ、電圧プリチャージ及び電流プリチャージもしくは電圧プリチャージを行うようにするには、図123の階調との関係に加え、1行前階調との比較により、映像信号に変化があったときのみ図123の関係でプリチャージを行うようにする必要がある。
- [0366] プリチャージを行うかどうかを判定するための流れを図129に示す。映像信号1291から、現在の階調値を検出する。(1292)ここで階調が0の場合には、図123と同様に電圧プリチャージのみを行いその後階調に応じた電流を出力するようにする(1293)。
- [0367] 階調36以上ではプリチャージを行わなくても所定階調まで電流が変化するため、階調に応じた電流出力のみを行う(1296)。
- [0368] 階調1以上35以下では1行前の階調により処理が変わり(1294)、現在の階調と同一階調では階調に応じた電流出力のみを行う(1296)。これは、同一階調が連続して表示されるときに図126のように波形変化を小さくするために行っている。
- [0369] 一方1294の処理で、1行前の階調と現在の階調が変わるときにはプリチャージ電圧出力後、階調に応じた期間電流プリチャージ、残りの期間で階調に応じた電流出力を行う(1295)ようにする。これは、図128で1281d及び1281gの水平走査期間内での動作に相当している。
- [0370] プリチャージ判定線984の信号は、図129の判定結果で1294、1295の状態となった場合に図123の階調とプリチャージ電流出力期間の関係となるように信号を発生させれば、ソースドライバICにおいて図126に示すような出力を行えるようになる。1296の状態となる場合には、図123の関係は用いず、常に階調電流が出力されるようにプリチャージ判定線984の値を決めればよい。
- [0371] これによりソース信号線の変化を最小限にしつつ、変化点では急速に電流を変化できるようにすることで図127のような表示でもきちんと領域の境界が表示できるようになった。
- [0372] 階調0表示において、プリチャージ電圧がソース信号線を通じて画素回路内の駆動トランジスタ62のゲート電極に印加され、黒表示に対応した電流(1.3nA以下の電流)を流すようにしている。しかしながらこの場合、駆動トランジスタ62において電

圧を電流に変換していることから、入力電圧に対するドレイン電流は温度の変化によって、変化する。例えば図130に示すように、低温ポリシリコンで駆動トランジスタ62の作成した場合には温度が高い場合(図130(a))の方が、温度が低い場合(図130(b))に比べ電流がよく流れる。そのため黒表示時の電流が増加し、黒浮きが発生するという問題がある(図6のような回路構成である場合には、駆動トランジスタ62のドレイン電流がEL素子に流れる電流である。そのためこのEL素子に流れる電流が大きくなることでEL素子が微点灯し、黒浮きが発生する)。

[0373] 例えば、温度が低い場合(a)でプリチャージ電圧をVBk2に調整した場合には、トランジスタ62のドレイン電流はIBk流れる。この電流は黒浮きがわからないレベル(1.3 nA)以下である。この状態で温度が上昇し、図130(b)で示す曲線にトランジスタ62の特性が変化した場合には、電流IDが流れ、黒浮きがわかるレベルにまで電流が増加する。高温状態でも黒浮きをなくするためには、ゲート電圧をVBk1まで上昇させる必要がある。

[0374] 画素トランジスタのチャネルサイズを幅25ミクロン、長さ15ミクロンで設計した場合には、(a)が $-20^{\circ}\text{C}$ 、(b)が $+50^{\circ}\text{C}$ とすると、VBk2の電圧は、(64の電圧値) $-1[\text{V}]$ 、VBk1の電圧は(64の電圧値) $-3[\text{V}]$ である。画素トランジスタ62のソースドレイン間の電圧がそれぞれ1V、3Vとなる値である。

[0375] 温度によって、必要なソースドレイン間電圧が異なるのであれば、トランジスタ62に印加されるプリチャージ電圧を温度によって変化させればよい。プリチャージ電圧を発生する際に、基準となる電圧を抵抗分割により生成するとき、図131に示すように、抵抗素子1312のうちの1つに並列にサーミスタなどの温度補償素子1311をつければ温度によって、分割点1314の電圧が変化する。サーミスタであれば、温度上昇に伴い抵抗値が小さくなることから、2つの抵抗素子1312のうち、64の電源側に接続された抵抗素子1312aに並列に温度補償素子1311を接続する。各抵抗素子の値と、サーミスタの抵抗値及び温度係数を調整すれば、図132に示すように、温度が上昇するにつれ、プリチャージ電圧が上昇していくような設定を行うことができる。

[0376] 具体的な回路構成を図134に示す。ソースドライバ36及び1画素分の画素回路で説明を行う。ソースドライバ36の回路は電圧プリチャージを行うアナログ出力部に関



してのみ記載している。全体の回路構成は例えば図117のようになっている。電圧プリチャージを行う際には、電圧プリチャージ制御線1182により電流出力線104にプリチャージ電圧発生部1313で発生した電圧が出力される。

- [0377] 出力された電圧は、ソース信号線60を伝い、ゲート信号線61により選択された画素回路67内部の、節点72に印加される。
- [0378] 画素選択期間が終了すると、スイッチ66a、66bが非導通状態、66cが導通状態となり、トランジスタ62のゲート電圧とドレイン電流の関係に基づいてEL素子63に電流が流れる。このときのゲート電圧とドレイン電流の関係が、図130となるため、プリチャージ電圧が温度によらず一定値を出力すると、節点72(=トランジスタ62のゲート電圧)も一定であり、温度変化により図130の関係から、EL素子63に流れる電流が変化する。
- [0379] そこで本発明では、プリチャージ電圧発生部1313において、オペアンプでバッファする前の電圧を、電子ボリューム1341で生成するのではなく、外部接続端子を経由し、抵抗素子1312と温度補償素子1311を用いて発生することにより、プリチャージ電圧つまりは節点74の電圧を温度に応じて変化させ、温度によらずEL素子63に流れる電流を一定にするようにした。
- [0380] 図133の波線1311にプリチャージ電圧が一定の場合でのトランジスタ62のドレイン電流(=EL素子63に流れる電流)と温度の関係を示す。
- [0381] 図133の実線1332にプリチャージ電圧を変化させたときの電流値の温度に対する変化を示す。1332の場合では、温度によらずトランジスタ62のドレイン電流が一定であることがわかる。この電流値を1.3nA以下となるように、抵抗素子1312と温度補償素子1311を選定することで、黒浮きがない表示が実現可能となった。
- [0382] なお図134の構成では温度補償素子を用いて、温度特性により電流変化を補償したが、電子ボリューム1341がある場合には、電子ボリューム1341の値を温度によって変化させても良い。
- [0383] 電子ボリューム1341を制御するのは一般的にはコントローラ1351にて行うため、コントローラ側で温度に応じて、電子ボリューム制御用コマンドを変化させるようにすればよい。そのためにコントローラ1351には、温度検知手段1350の信号が入力される

- 。
- [0384] 電子ボリュームの設定にはこの図では電子ボリューム制御信号1353を用いて、コントローラ1351からソースドライバ36の制御を行っているが、図117に示すようなソースドライバではプリチャージ電圧発生部981の電圧値を映像信号線856から映像信号・コマンド分離部931を介して、受け取っている。このように、他の信号線を利用して、コントローラからソースドライバにシリアル転送後、信号分離する方法もあるため、必ずしも電子ボリューム制御信号1353は必要ではない。制御することが可能な信号線が、電子ボリューム制御用の単独、もしくは他の信号と共用でソースドライバとコントローラ間に接続されていればよい。
- [0385] なお、電子ボリューム1341で電圧値を制御する場合には、入力がデジタル信号であるため、温度に対して比例関係で電圧値を増やすことができず、図136の実線で示すように、階段状に電子ボリュームの出力電圧(つまりプリチャージ電圧)が変化する。
- [0386] この場合でも全ての温度範囲で、EL素子63の流れる電流が1.3nA以下となるようにするため、温度補償素子で変化させた破線1362の電圧値を下回らないように、電子ボリュームの値を変化させた実線1361のように温度に対して電子ボリューム出力電圧を変化させるようにすればよい。
- [0387] このようにすると、トランジスタ62のドレイン電流は図137の1371に示すように温度に対して電流が流れる。これにより温度によらず、EL素子63に流れる電流を1.3nA以下にすることが可能となり、従来の温度によりプリチャージ電圧を変化させない1331に比べて、高温でも黒浮きがない表示を実現できた。
- [0388] サーミスタなどの温度補償素子1311を用いずにプリチャージ電圧値を温度によって変化させる方法を図138に示す。
- [0389] 本発明の特徴として、プリチャージ電圧発生用回路1382を、画素回路67が形成されているアレー1383と同一アレー面上に形成し、駆動トランジスタ62と同一特性のトランジスタ1381を用いて電圧を出力することを特徴としている。
- [0390] プリチャージ電圧発生用回路1382は、トランジスタ1381と容量1386からなっており、画素回路67と比較して、画素選択状態と同一回路となるような構成となっている。

節点1387の電圧をソースドライバ36のプリチャージ電圧発生部1313のオペアンプに入力することで、トランジスタ1381に電流が流れないときの電圧が、プリチャージ電圧発生部1313から出力されることにより、このプリチャージ電圧がこのアレーでの黒表示状態に対応した電圧を出力できることがわかる。(電子ボリューム1341の出力は用いないようにする)ここで、1381の電流が流れない状態にするには、オペアンプ1388の入力インピーダンスが十分高くなるようにオペアンプ1388を設計しておくことが必要である。

- [0391] トランジスタ1381と駆動トランジスタ62は同一アレー面内にあり、ドレイン電流とゲート電圧の関係は2つのトランジスタ間では非常に少なくできる。これはロット間、シート間ばらつきに比べ、シート面内ばらつきの方が小さくなることからである。
- [0392] より黒表示時の輝度を下げる(電流を小さくする)には、節点72の電位を上昇させるしかない。節点72の電圧を上げるには、プリチャージ電圧発生用回路1382の、節点1387の電圧を上げるしかない。このためには、トランジスタ1381のドレイン電流を下げる方法があるが、その場合には、オペアンプ1388の入力インピーダンスを高めるしかなく、オペアンプ1388の特性ばらつきによる影響を受けやすくなる。
- [0393] そこで、本発明では、トランジスタ1381のチャネル幅を大きくすることで、ドレイン電流が同一であっても(ソースドライバの構成を変えなくても)トランジスタ1381の特性に従って節点1387の電圧を上昇させることとした。
- [0394] この場合には、プリチャージ電圧と、駆動トランジスタ62が黒表示を行う際の電圧(節点72の電圧)は、同一アレー面1383に形成された2つのトランジスタによってのみ決められるため、アレー面内のばらつきが抑えられれば、どのような外部回路を持ってきても常に一定の黒表示を実現することが可能となる。
- [0395] トランジスタ1381のチャネル幅を大きくするか、チャネル長を短くするとドレイン電流とゲート電圧の関係が変化し、図139に示す1391と1392の曲線が実現できる。
- [0396] 図139のような関係となるように2つのトランジスタを形成すると、リーク電流などによりトランジスタ1381に $I_{d1}$ の電流が流れた場合に、節点1387の電位は $V_{g1}$ となり、プリチャージ電圧として $V_{g1}$ が出力される。この時、画素回路67の節点72にも同一の $V_{g1}$ 電圧が印加され、駆動トランジスタ62には $I_{d1}$ より小さな $I_{d2}$ の電流が流れる。これ

により、リーク電流となる $I_{d1}$ よりも小さな $I_{d2}$ の電流が画素内に流れることから、より黒表示の輝度が低い表示が可能となった。 $I_{d1}$ と $I_{d2}$ の関係はトランジスタ1381と62の特性の関係つまりトランジスタのチャネル幅及び長さの比により決まるため、より黒表示時の電流を下げるために、トランジスタ1381のチャネル幅を大きくするという手法がとれる。同一サイズでも良いが、好ましくは3倍程度のチャネル幅にすることが好ましい。

[0397] これは、トランジスタ62にソース信号線60を介して、0の電流を流した時にでも、EL素子63には3.5nA程度の電流が流れるという問題があり対処のために、大きくしている。図144に示すドレイン電流とソースドレイン間電圧の関係のような駆動トランジスタ62のアーリー効果により、ソース信号線60から0の電流を書き込んだ場合のソースドレイン間電圧と、EL素子63に電流を流すときの駆動トランジスタのソースドレイン間電圧が全く異なることで、 $I_{d1}$ で書き込んだ電流でも $I_{d3}$ の電流まで増加してしまうという問題がある。 $I_{d3}$ の電流が3.5nAであり、主観評価で黒表示が問題とならない1.3nA以下の電流に比べ3倍近くの電流が流れていることから、電流を $1/3$ に削減するためにトランジスタ1381のチャネル幅を3倍にすることで対応することとした。1.3nA以下であるので、3倍以上でも構わないが、アレー上でのトランジスタ形成面積が増大することから3倍程度とした。

[0398] 更に、同一アレー面内であるため、温度依存性のばらつきも小さく、図143に示すように、常温時の特性が1391、1392であるとする、高温時には1431、1432のように同じようにシフトされ、プリチャージ電圧として供給される電圧が $V_{g1}$ から $V_{g2}$ に変化するのみで、駆動トランジスタ62のドレイン電流は $I_{d2}$ で変化せずに表示が可能である。このことは温度特性を調整なしで補償できていることを示している。これにより、温度制御手段を用いずともアレー面内にプリチャージ発生用トランジスタを形成することで、温特補償が可能となった。

[0399] 図140にプリチャージ電圧発生用回路1382の配置場所の例を示す。表示エリア内には画素回路が形成されているため配置できない。そこで画素周辺に形成するようにする。ゲートドライバ35周辺にスペースがある場合などはそこに入れることも可能である。

- [0400] 更に図140の1382の回路を全て形成しておき、図141に示すように、接続変更部1411を介して、そのうちの1つをプリチャージ電圧発生部1313に入力するようにしても良い。この接続変更部の配線は外部から用意にレーザー加工などによって変更できるようにすることで、アレー製造工程時に仮に1381aのトランジスタが不良となったとしても、レーザーリペアにより正常なトランジスタを用いて出力できるように結線を変更するようにすれば、歩留まり向上が期待できる。1381cのトランジスタが正常動作であるときの配線例を図141に示している。
- [0401] 図142では更に、トランジスタ1381を全てソースドライバ入力端子1389に接続している。端子1389を流れる電流は一定であることからトランジスタ1381の1つあたりに流れる電流が約 $1/4$ となり、より黒表示が可能な回路を実現できる。また、図140のように四隅に配置したことでアレー面内の様々な特性のトランジスタを用いて黒表示用電圧を生成することで、トランジスタ1381の1つあたりのばらつきを吸収し、平均値に近い電圧を出力できるという利点がある。1つのトランジスタが異常に多く電流を流す場合には、そのトランジスタの特性に応じて電圧がきまる。端子1389を流れる電流値は同一であるため、もっともたくさん流すトランジスタの特性に応じて電圧がきまる。よって最も特性のよいトランジスタでも黒表示が可能な電圧を出力するため、最悪でも必ず黒浮きがないようにできる利点がある。
- [0402] トランジスタ1381に欠陥がある場合には、レーザーによりそのトランジスタと接続している配線をカットするだけでよいため、簡便にリペア可能である。
- [0403] なお接続変更部1421を含む節点1387の配線は高抵抗であるため、ノイズに弱い。ノイズによる変動を抑えるため、容量1386は画素回路での容量値に比べ大きくすることが好ましい。表示部と異なり開口率がなくてもよいため、十分に大きなコンデンサを形成することが可能である。これにより電圧変動が少ない電圧を供給できる。
- [0404] ソースドライバICを含めたアレー外部回路から、プリチャージ電圧を印加する場合、パネル毎に黒輝度が一定レベル以下(0.1カンデラ/平方メートル)となるようなプリチャージ電圧値が異なってくる。
- [0405] プリチャージ電圧を調整する方法として図145及び図147の例を挙げる。この2つの図の違いは、プリチャージ電圧を外部から供給する際に、電子ボリュームを用いて

プログラマ的に変更させるか、サーメットリマなどを用いてハード的に調整するかの違いである。

- [0406] 本発明の特徴は、ELパネルのEL素子の全カソード電極が接続されたELカソード電源1450の電流を電流計1453を用いて測定し、電流値に応じてプリチャージ電圧を変更させるようにしたことである。
- [0407] EL素子の場合、輝度と電流は比例関係にあるため、0.1カンデラ/平方メートル以下の輝度となる電流値さえわかっているならば、電流を測定するだけで、十分な黒レベルかどうかの判定が可能である。
- [0408] 輝度を測定するに比べ、電流で測定すると、暗室が不要である上、輝度計に比べ安価でかつ使いやすい電流計を用いて調整ができる利点がある。
- [0409] 図145の場合には電子ボリューム1456を用いてプリチャージ電圧線1455の電圧値を調整することから、電子ボリューム1456の入力ロジックをパソコンなどの制御装置1452により、電流計1453の値を取り込み、値に応じて、電子ボリューム制御線1459の値を自動的に変化させるようにすれば、自動的にカソード電流を調整することができる。人手を介さない点で、低コストで調整が可能となる。
- [0410] 図147の場合は、電子ボリューム1456と記憶手段1457の代わりに抵抗素子1472とトリマ1473でプリチャージ電圧を調整できるようにした例である。なおこの図では温度特性を補償するために、温度補償素子1471も同時に用いている。この場合は、電流計1453の値を観測しながら、所定の電流値となるようにトリマ1473を調整することで、黒表示を実現できる。
- [0411] 図146は、最適なプリチャージ電圧を調整するためのフローである。電圧プリチャージを行いながら黒表示を行う。(1461)その際にELカソード電源(1450)の電流値を測定する(1462)。0.1カンデラ/平方メートルとなる電流値がわかっているため、電流値がその値となるかどうか判定する(1463)。
- [0412] 所定値でなければ、電子ボリュームを制御し、プリチャージ電圧を変更する。(1464)変更後の値を測定し、所定値となるか再び判定する。所定値になるまでこの操作を繰り返す。
- [0413] 所定値になった後、つぎに電子ボリュームに供給する信号の値を記憶手段1457に

記憶させる。(1465)

電子ボリューム内部に記憶手段がないと、本発明での電圧調整後にモジュールとして出荷する際に、電子ボリュームの値を保持できない。そのため、別途記憶手段を設け、記憶手段に電子ボリュームの値を保持させ、検査終了後には、記憶手段1457の値に基づいてプリチャージ電圧を発生するようにする。(1467)まずは、検査終了前にパソコンなどの制御手段から記憶手段1457に値を書き込む。

- [0414] これにより電源が切断されても、パネル毎に最適な黒表示となるプリチャージ電圧を供給することが可能となった。
- [0415] 以上の発明により、パネルによらず常に黒表示時の輝度が一定となり、黒浮きがない輝度に調整することで、黒表示が実現できた。
- [0416] 以上の方法の他、電圧プリチャージを用いずに、黒表示の輝度を抑える方法として、図148のゲート信号線2(61b)のオンオフ制御を変化させ、有機EL素子63に電流が流れる時間を短くすることで、輝度を抑えることができる。
- [0417] 図149にゲート信号線2(61b)の波形を示す。図149(a)は従来の波形で、1フレームの内、ソース信号線からの電流を画素内に取り込む1水平走査期間のみ非点灯期間(1493)となっている。それ以外の期間では、有機EL素子63に電流を流すため、有機EL素子が点灯する。
- [0418] 本発明では図149(b)のように、1フレームの内の一部の期間(例えば10分の1)のみスイッチを導通状態とし、有機EL素子63に電流を流す構成としている。表示輝度を一定にするため、発光期間1494が10分の1になった分、ソース信号線から流れる電流を10倍とする。10倍の電流が10分の1の期間に有機EL素子63に流れることで、1フレームあたりの輝度は従来通り維持される。
- [0419] 黒表示時においては、ソースドライバから出力される電流は0であり、0を10倍したとしても、やはり電流は0である。0の電流が駆動トランジスタ62のアーリー効果のみによってある値だけ増加するが、これは、従来と同じ電流値である。一方で有機EL素子63に電流が流れる期間が10分の1となるため、輝度は10分の1まで低下させることが可能である。
- [0420] 点灯期間1494の長さは、短いほど、非点灯期間1495が長くなり、確実に有機EL

素子63に電流が流れる期間が短くなるが、白表示時などに有機EL素子63に流れる瞬時電流が増加し、瞬時電流による発熱、電流増大による有機EL素子の劣化などのおそれがあることから、最小でも1/10倍程度が好ましい。一方で、3.5nA程度の黒表示時電流を1.3nAまで低下させる必要があることから少なくとも1/3倍の非点灯期間とすることが必要である。

ただし、大型テレビのように、画素数が多く水平走査期間が短く所定電流が書き込まない場合に、同様の手段で各階調の電流を増加させることで書き込みを行う手段を用いている場合には、その電流倍率の10倍の電流が最大であると考ええる。

[0421] なお本発明以外に、電圧プリチャージなどを用いて黒表示を実現する方法を併用する場合には、例えば黒表示電流を図149(a)の従来例で駆動した場合に2nA程度まで低下させるようにしておけば、点灯期間1494を従来の半分にするという方法もある。2倍であれば、1ビット右シフト演算など、演算がしやすいなどの利点があるため、ロジック回路の負担が少なくなると考えられる。そのため、本発明の方法の2つ以上を組み合わせるとすれば、点灯期間を1/2とすることも可能である。

[0422] なおこのゲート信号線2(61b)の点灯期間1494を変化させるには、ゲートドライバ35のスタートパルスの長さを制御するなどの方法で点灯期間1494を変化させることが可能である。この変更は、コントローラ1482内部のロジックをコマンドにより変化させることで実現できる。

[0423] コントローラ1482により点灯期間1494が変化させることができる。また同様にソースドライバ36の電流も、図8のような基準電流生成部をもち、電子ボリュームによりコントローラから基準電流を変化させることができる。基準電流を2倍にすれば、1階調あたりの電流も2倍となる。

[0424] 例えばコントローラ1482の制御により、ソースドライバ36の基準電流を2倍にし、ゲートドライバのスタートパルスの長さを変更し、ゲート信号線2(36b)の点灯期間1494を1/2倍とすると、黒表示時の輝度は1/2倍となる。

[0425] ソースドライバとゲートドライバの制御を同時におこない、かつ倍率が同じように駆動させれば、任意の点灯期間1482を実現し、黒表示輝度も低下させることができる。

[0426] 黒表示時の輝度は駆動トランジスタ62のアーリー効果の温度特性により高温ほど



高くなる。そこで、本発明では、コントローラ1482に温度検知手段1481の結果の信号を入力するようにし、温度によって、点灯期間1482を変化させるような構成とする。低温ほど、点灯期間を長く、高温ほど点灯期間を短くする。これにより、ソースドライバの電流は低温ほど少なく、高温のみに電流が増加するようになる。

- [0427] 必要なときにのみ電流を増加させることで不必要に有機EL素子の電流を多く流さないようにすることで、劣化の少ない表示装置が実現できる。
- [0428] なお設定できる倍率は連続的ではなく、表示装置の走査信号線数に応じた離散的な値で変化設定できる。 $1/(走査線数)$ の割合で増加、減少できる。
- [0429] 黒表示時の黒浮き対策で点灯期間を $1/10 \sim 1/3$ の期間とすることに関しては、パネルにより限界値が決まっており、きっちりと $1/10$ とはならないこともあり、 $N/(走査線数)$ の値が、 $1/10 \sim 1/3$ の間に入ればよい。(Nは自然数でかつ走査線数未満)
- スタートパルス幅を制御する他に、ゲートドライバの出力イネーブル信号を併用すると、任意の期間、非点灯期間1495を設けることが可能である。この方法を用いた場合には、点灯期間1494と非点灯期間1495が交互に混ざるため、フリッカを抑える効果がある。
- [0430] 出力イネーブル信号を用いた場合のゲート信号線2(61b)の波形を図149(b)に示す。図149(a)のゲート信号線波形に対し、最終出力で出力イネーブルをかけた結果である。このように1フレーム内でまんべんなく点灯させることでフリッカは出にくくなる。ソースドライバ36の基準電流は、非点灯期間1495の割合により、コントローラから電子ボリュームを制御することで変化させて黒以外の階調で所定の輝度となるように設定すればよい。
- [0431] 以上の構成により、電圧プリチャージを必ずしも用いなくても黒浮きのない表示を実現することができた。
- [0432] 図45は領域451では階調0表示を、領域452では階調4表示を行う表示パターンを示した図である。このとき、領域452の行が少なく、例えば1行であるとする、領域452の輝度が極端に低下することがある。
- [0433] これは、階調4の電流が小さく(20nA以下)のため、ソース信号線60の浮遊容量に

蓄積された電荷の充放電がし難いことと、低階調側では1階調あたりのソース信号線電圧の変化量が大きいため、階調4に変化する途中の階調(0から4の間)が表示されるために、輝度が低下するという問題が発生する。

- [0434] 領域452が複数の行にまたがって存在する場合には1行目から徐々に輝度が増加し、3もしくは4行目から所定階調を表示するため、少し表示が欠けた状態となる。1行のみである場合には、最悪まったく領域452の線が表示されなくなり、黒表示を背景にした小さな文字や横ストライプ画像が表示されないという問題が発生する。一方で領域452の表示階調が高い場合には1行であってもきちんと表示される。
- [0435] 図47に各階調におけるソース信号線電流と電圧の関係を示す。領域451aから452への変化の際にかかる時間を階調4表示時には $\Delta t_4$ 、階調255表示時には $\Delta t_{255}$ とする。 $\Delta t_4 = C \times \Delta V_4 / I_4$ 、 $\Delta t_{255} = C \times \Delta V_{255} / I_{255}$ となる。 $I_{255} \div 64 \times I_4$ であるが、一方で $\Delta V_{255} \div 3.5 \times \Delta V_4$ である。そのため、 $\Delta t_4$ は $\Delta t_{255}$ に比べて18倍程度変化に時間を要する。
- [0436] これはソース信号線電流の増加とソース信号線電圧の増加が比例関係にないことが原因である。低階調ほど電流の変化に対し電圧の変化が大きい。図47の曲線を決めているのは、図12(a)の等価回路でも示すようにトランジスタ62のドレイン電流とゲート電圧の関係である。そのため非線形な関係となり、同じ表示階調から、明るい階調への変化において低階調への変化ほど難くなる。
- [0437] QVGAの表示パネルで60Hzのフレーム数端数で駆動させた場合に、領域451においてソース信号線電流が40nA以下の階調で、領域452ではソース信号線電流が300nA以下の階調において、領域452の輝度が低下することを確認している。
- [0438] 画素内の容量65に所定の電荷が書き込めていないこの現象を「書き込み不足」とする。
- [0439] また、図46の表示パターンにおいて、領域461が255階調表示で、領域462が階調0や階調4表示をしようとした時、領域461の下数行にわたって輝度が増加する現象が発生する。領域462の1行目が最も輝度が高く、下の行に従って、輝度が徐々に低下し、3〜5行程度で領域462の所定の輝度を表示するようになる。
- [0440] 図48に示すように領域461の最終行に電流を書き込んだ後領域462に対応する

階調を書き込むためにはソース信号線を流れる電流により浮遊容量の電荷を充電しなければならず、電流量が小さいため充電に時間がかかる。例えば階調4への変化の場合にはI4の電流で、階調0への変化の場合にはI0の電流で変化させなければならない。よって低階調ほど変化に時間がかかる。更に、電圧の変化量も低階調に変化させるほど変化量が大きくなる。このため0階調への変化が最も厳しく、階調が増加するにつれ、所定の値が書き込みやすくなる。

[0441] QVGAの画素数のパネルで1フレームを60Hzで表示させた場合において、領域462でのソース信号線電流が40nA以下の電流になる場合に、はじめの1〜5行が所定輝度よりも高い輝度となる。

[0442] この現象を「尾引き」とする。

[0443] 「書き込み不足」、「尾引き」ともソース信号線の電流が小さいことから発生している。そこで本発明では、一時的に最大階調の電流を流す期間を設け、所定電流付近まで変化させた後に、所定の電流値をソース信号線に流すような仕組みを設けることで、所定階調までソース信号線の状態を素早く変化させるようにした。

[0444] 例えば図47の例で階調0から階調4への変化時について、図49に示すように、 $\Delta t_{4p1}$  (491)の期間で最大電流値(ここでは255階調電流)を流し、残りの $\Delta t_{4p2}$  (492)の期間で所定階調電流(I4)を流すようにした。これにより階調0から階調4までの変化の時間 $\Delta t_{4p} (= \Delta t_{4p1} + \Delta t_{4p2})$ は493での電圧を $V_{ip}$ とすると、 $C \times (V_0 - V_{ip}) / I_{255} + C \times (V_{ip} - V_4) / I_4$ となり、 $I_{255} = (255 / 4) \times I_4$ であること、 $\Delta t_4 = C \times (V_0 - V_4) / I_4$ を利用すると、 $\Delta t_{4p} = \Delta t_4 + ((251 \times C) / (255 \times I_4)) \times (V_{ip} - V_0)$ となり、 $V_0 > V_{ip}$ であることから $\Delta t_{4p} < \Delta t_4$ となる。これにより0階調から4階調目への電流変化時間が短縮できる。

[0445] 尾引き対策の場合、単に電流を増加させるだけではできない。そこで、一度黒階調に相当する電圧( $V_0$ )をソースドライバから供給し、ソース信号線を階調0表示状態としてから、先ほどの図49のようにして階調4表示を行う。階調0から階調4への変化と階調255から階調4への変化では、変化前後の電位差のみが異なり、電位差は階調255から階調4への変化の方が大きい。図49の方法は階調0から階調4への単純な変化よりも短い時間で変化できることから、階調255から階調4への変化においても、

一度電圧により階調0にしてから(電圧で変化させるため変化時間は1〜2 $\mu$ 秒と短い)階調4付近まで階調255電流を流し、その後階調4電流で所定階調表示することが最も変化がはやい。

- [0446] このように、所定の電流値に変化させる前に最大電流を流すことを電流プリチャージと規定する。
- [0447] 電流プリチャージを行う動作は、まず階調0に対応する電圧を印加し、その後、所定の階調に近づくまで最大電流値を出力し、最後に所定の電流を流す動作である。
- [0448] 「書き込み不足」の場合であっても、一度階調0に電圧で変化させて良い。階調0とせずに最大電流とすることによる電流変化時間の短縮は少なくとも100 $\mu$ sあるため2 $\mu$ 秒程度の電圧印加期間と電流プリチャージ期間の増加(階調にもよるが2 $\mu$ 秒程度)あったとしても、電圧印加するようにする。
- [0449] これにより「書き込み不足」及び「尾引き」の両方で同一動作の電流プリチャージを行うことができるため、電流プリチャージを行うための回路が簡単になる。
- [0450] また、階調0にする電圧印加期間がない場合には、同一表示階調であっても、1行前の階調が異なると電流プリチャージを印加する期間を変える必要がある。階調3から階調9への変化の場合と、階調6から階調9への変化の場合では、電圧変化量が違うため、変化に要する時間が異なる。そのため、仮に階調0にする期間がない場合には、1行前の階調と今の階調の値に応じて最大階調を出力する期間を変化させる必要がでてくるため、階調差の演算が必要になるなど制御が複雑となる。
- [0451] 一度階調0にする電圧印加期間を設けると、電流プリチャージによる階調変化は必ず階調0からの変化となり、表示階調に応じて電流プリチャージを行う期間を設定すればよくなる。
- [0452] このようにして電流プリチャージを行うことで図47、図48の表示パターンにおいて低階調表示時であってもきっちりと表示することが可能となる。
- [0453] 電流プリチャージを全ての階調表示で行うとなると、255階調の全ての階調に最適な電流プリチャージを印加する期間を指定しなければならず、10〜20種類程度の印加パターンが必要となる。
- [0454] 電流プリチャージ印加期間の制御は図65に示すソースドライバ内部にて行ってい

る。図120に示すように例えば7つの電流プリチャージパルス1174と電圧プリチャージパルス451を用意し、図118、図119に示すパルス選択部1175及び電流出力部1171により実現する。プリチャージ判定線984は電流プリチャージパルスのいずれか1つもしくは、電流プリチャージをしない、電圧プリチャージのみ(階調0状態の電圧のみ出力する)を決めるもので、映像信号と対で送信されてくる。映像信号に対しプリチャージ判定線984を選ぶことで、例えば電流プリチャージパルス1174bが選択されたとすると、電圧プリチャージパルス451によりまずプリチャージ電圧発生部981からの階調0に対応した電圧が出力された後、電流プリチャージパルス1174bがハイレベルの期間には最大階調に対応する電流が流れ、ローレベルになると階調に応じた電流を出力するようになる。1画素分の映像信号に応じて最適な電流プリチャージパルス1174を選択する必要があるためパルス選択部1175や電流出力部1171はソースドライバの出力数必要となる。

- [0455] 6種類の電流プリチャージと、電圧プリチャージを用意すると、プリチャージなしを含めて8通りの選択方法が考えられる。そのためプリチャージ判定線は少なくとも3ビット必要となり、パルス発生部1175では3ビットから7ビットに変換するデコード部が必要となる(例えば図119に示す真理値表に従って動作)。
- [0456] 全ての階調で電流プリチャージを行おうとすると、この電流プリチャージパルス1174が20〜30必要となり、パルス選択部1175の回路規模が増大する。ソースドライバの出力数だけ1175が存在するため回路規模の増大はチップ面積に大きく響く。また、映像信号に対し、プリチャージ判定線984が対になって送信されるため、ラッチ部のビット数も増大する。そのため、ソースドライバのコスト面を考えると、電流プリチャージを行う種類は6種類程度が好ましい。
- [0457] 電流プリチャージを行う種類がソースドライバハード規模の制約から6種類に限定されるため、全ての階調で電流プリチャージを行うことはできず、必要とされる低階調領域でのみ電流プリチャージを行うようにする。
- [0458] 電流プリチャージをするかどうかを判定するためのフローチャートを図50に示す。映像信号入力に対しまず階調0かどうか判定する。階調0であるときには電流プリチャージは不要で、電圧プリチャージのみが必要であるため電圧プリチャージ判定部に

進み、電圧プリチャージを行うかどうか決める。

- [0459] 階調0でない場合には次に1行前の階調と比較を行う。これは、「尾引き」と「書き込み不足」の2つの状態では、電流プリチャージを必要とする階調数が異なるためにそれぞれの課題に応じて電流プリチャージをするかどうかの判定を行うようにしている。なお、ここで1行前と現在の階調が一致した場合には、電流プリチャージを行わなくても十分に所定階調表示をすることが可能となるため、電流プリチャージしないと判断する。
- [0460] 1行前の方が低いと判断された場合(図45の表示例)には領域451においてソース信号線電流が40nA以下の階調で、領域452ではソース信号線電流が300nA以下の階調において、領域452の輝度が低下することを確認していることから、この条件に合致する場合にのみ電流プリチャージを行うようにすればよい。合致しない場合には領域452は所定輝度で表示されるため、電流プリチャージを行わなくてもよい。
- [0461] 1行前の方が高いと判断された場合(図46の表示例)には領域462でのソース信号線電流が40nA以下の電流になる場合に、はじめの1〜5行が所定輝度よりも高い輝度となるため、現在のソース信号線電流が40nA以下となる場合にのみ電流プリチャージを行うようにする。
- [0462] これにより図50のフローチャートとなる。
- [0463] 1行前の階調と比較502の構成を図52に示す。1行前の階調を比較するには1行分のラインメモリが必要である。メモリ522に1水平走査期間ためも込むことで、現在のデータとメモリ522のデータを比較することで、大小比較することが可能となる。
- [0464] 8ビットの映像信号入力の場合、8ビットのラインメモリと、8ビット同士の数値の大小比較する比較器が必要となる。ラインメモリと比較器の回路が大きくなる。そこで本発明では、図50から現在の階調と1行前の階調が共に40nAを超える電流値となるのであれば、電流プリチャージが不要であることを利用し、使用する有機発光素子の効率にもよるが、8ビット信号の場合階調15以上では40nAを超える。つまり階調15以上の信号が2行の間に渡って連続する場合にはプリチャージ不要である。
- [0465] そこで図51のように入力映像信号をデータ変換部521においてデータ変換し、メモリ522に書き込むようにすると、メモリ522は4ビットで済む。(メモリの面積が半分と

なり、制御ICに構成する場合にはメモリ522はおよそ半分の面積を占めているため、制御ICの面積が少なくとも20%削減することが期待できる)図51に従うと、比較器525も4ビット同士の比較となり、15階調以上のデータと15階調以上のデータを比較する場合には、一致するとなり、電流プリチャージしないと判定できる。いずれか一方が階調15未満の場合には、大小比較できるため、「尾引き」もしくは「書き込み不足」のいずれかの対策をするということになる。

[0466] メモリはさらに、1行分のデータが保持できればよい。図28のように6倍速でデータを転送する場合にはクロックは6倍速で動作している。つまり1データが転送されている間にはクロックが6回入力される。図68にクロック685と映像信号の関係を示す。映像信号のDATAの次の2つの数字は列と行を表している。DATA12というのは1列目で2行目のデータを指している。データ変換部521ではラッチもしくはフリップフロップがあり、映像信号を記憶できる。変換後のデータは、5クロック目にメモリへ書き込まれる。メモリのアドレスと列数を対応させると、同一のアドレスのデータ内容は1フレームの間保持される。5クロック目にメモリ522のデータが更新されることから少なくとも3クロック目から5クロック目の間にメモリ522とデータ変換部521の出力(686)を比較すると1行前と今の階調を比較することができる。1列目のデータの1行目と2行目を比較するには、681aの期間で比較すればよい。同様にメモリ522のアドレス2番地を用いて681bの期間で比較を行えば、データ比較ができる。

[0467] これによりメモリは、ソースドライバ出力数×4ビット分あれば可能である。

[0468] この判定に従うと、例えば変化が1階調であっても低階調時での変化であれば電流プリチャージを行うことになる。変化量が少ないため電流プリチャージを行っても行わなくても表示することは可能である。電流プリチャージを行う際には、一度プリチャージ電圧発生部981による階調0表示時に対応する電圧が印加される。この電圧はトランジスタ62のゲート電圧に印加されることから、仮にトランジスタ62のゲート電圧とドレイン電流の関係にばらつきが発生すると、画素毎に最適な階調0の電圧に比べて、高かったり低かったりする。この電圧値を所定階調に対応する電圧値にまで変化させるのに電流プリチャージを用いているが、電流プリチャージの電流値及びソース信号線容量、プリチャージを行う時間にはばらつきが小さいため、電流プリチャージを

行ったあとの電圧値も最適値と比較して上下があり、その結果、低階調領域では、電流が少ないことから、このばらつきは所定階調電流を流している期間では補正できず、トランジスタ62のムラに応じた表示ムラが発生するおそれがある。そこで本発明では、変化の小さい1階調差の場合には電流プリチャージを行わないということで、表示ムラの少ない表示が実現できるような構成とすることを考えた。ただし階調0から階調1への変化の際には、元々階調0の時には黒表示時の輝度を限りなく0に近づけるため電圧プリチャージにより階調0を表示することから、同じ電圧を入力し、電流プリチャージを行っても表示に影響がないと思われる。また階調0と階調1の間では電圧の変化量が大きく、電流のみでは変化しにくいこともあるため、1階調差であっても電流プリチャージを実施できるような構成とすることが好ましい。更に1階調あたりの電流値が大きい場合などでは2階調差でも電流プリチャージなしで表示が可能となることがある。この場合でも階調0では黒輝度を低くするために電圧を高め印加したり、階調0から1、0から2の変化量が大きいことから、0から1、0から2への変化に限り電流プリチャージを行うとしてもよい。

- [0469] そこで本発明では図52の代わりに図53の回路構成とし、1階調差、2階調差など、コマンドAにより指定した条件においては電流プリチャージをしないとできるような比較判定器531を設けることとした。図54にはコマンドAの内容を記載する。コマンドAの値が0のときは電流プリチャージを全くしない(電流プリチャージ使用しない)。1の時には、1階調差の場合には電流プリチャージをしないと、2の時には、0から1への変化を除いた1階調差の場合に電流プリチャージしない、3のときには差が2階調以下の場合には電流プリチャージしない、4の時には、0から1、0から2への変化を除いた2階調以下の差の場合に電流プリチャージをしないとして、有機発光素子の効率及び、パネルの輝度(255階調時の電流が変わるため、輝度が高くなるほど所定階調が表示しやすくなる)の変化に対応しコマンドAの値によって、最適な値を選択することで、必要最低限の電流プリチャージを行えるようにしている。この比較判定器531で電流プリチャージなしと判定される回数が増えるほど1画面で電流プリチャージを使用して表示を行う画素数が減り、その結果、電圧を印加することによる表示ムラの影響が見えにくい表示を実現することが可能となる。



- [0470] 1行前の状態と比較できない、1行目の表示については、図53の代わりに図55の構成とする。1行目が階調0のときと0以外の時で場合分けされ、階調0の時には電圧プリチャージをするかどうかの判定を行うため、1行目電圧プリチャージ判定部554に入力される。ここで、コマンドBにより、電圧プリチャージをするかどうかの判定をする。ここで、電圧プリチャージをしない場合というのは、電圧プリチャージを行わなくても黒が表示できる場合や、黒輝度が高くて良い(コントラストが低くてもよい)場合のアプリケーションに用いる表示装置などで、プリチャージしないことを選択できるようにするために設けている。
- [0471] 1行目が階調0以外の場合には1行目電流プリチャージ判定部551で電流プリチャージを行うかどうか判定を行う。コマンドCにて、プリチャージするかどうか決めることができ、最高輝度が高いパネルや、有機発光素子の効率が低く電流をたくさん流す場合などで、低階調でも十分所定階調表示ができる場合に電流プリチャージを行わなくて良いとすることができるようになっている。
- [0472] 1行目電流プリチャージ判定部551により電流プリチャージを行うと判定されると次に階調に応じて電流プリチャージを行う期間を選択する必要がある。階調に応じて電流プリチャージを行う期間を選択する回路ブロックを図57に示す。図57では映像信号と、コマンドDからコマンドIの値に応じて、電流プリチャージ1から6もしくは電流プリチャージしない、のいずれかの判定を行う回路ブロックである。ソースドライバ36側では電流プリチャージ1から6の期間を例えば図120のように設定しているとし、電流プリチャージパルス1174がハイレベルの期間に電流プリチャージされる。この電流プリチャージパルス1174の6つのパルスのいずれを選ぶかについては図119の真理値表に基づき決められる。従って、電流プリチャージ期間を階調に応じて変化させるには、プリチャージ判定線984の値を階調に応じて変化させるようにすればよい。
- [0473] 図57においては、映像信号とコマンドにおうじて場合分けされ、571から577の各結果に対し、図63に示すように、プリチャージ判定信号55を図119と同様な考えで出力すればよい。これにより、映像信号と対に送信されるプリチャージ判定信号55の値を元に、ソースドライバ36では、どの長さで電流プリチャージを行うかを定めることができる(電圧プリチャージのみ、プリチャージを行わない、の決定も同様にしてする

ことが可能)。

[0474] なお各電流プリチャージパルス長さについては、ソースドライバ側にて設定を行う。各パルス長は図65に示すように、パルス発生部1122により決められる。パルス発生部1122は図69に示すように、カウンタ693とパルス生成手段694、分周回路692により構成される。カウンタ693によりカウントされた値と電流プリチャージ期間を決める電流プリチャージ期間設定線1096を比較し、設定値に応じた期間ハイレベルとなる電流プリチャージパルス1174を出力する。ソース信号線に階調が出力される最初に電圧プリチャージをし、その後電流プリチャージし階調電流を出力することから、電流プリチャージパルス1174のハイレベルの開始期間はタイミングパルス848の出力後から開始される。そこで、カウンタ693はタイミングパルス848入力で0リセットされるようにすることで、タイミングパルス848基準でパルス生成されるようになる。電圧プリチャージ期間設定線933及び電圧プリチャージパルス451についても同様な構成で行う。電流出力部1171及び電圧印加選択部1173の構成が図118で示す回路となっていることから、図120のように電流プリチャージパルス1174と電圧プリチャージパルス451は同一タイミングでハイレベルとなってもよい。パルス生成手段694の簡略化のために、図120のような波形としている。従って、電流プリチャージパルス1174のハイレベルの長さは、電圧プリチャージ期間設定線933及び電流プリチャージ期間設定線1096の値を足したものである。なお電流プリチャージパルス1174は6つあるため、電流プリチャージ期間設定線1096も6種類分設定できるようになっている。なお分周回路692を持つことから、画素数の変化などによりソースドライバクロック871が変化したとしても、パルス幅の調整範囲をなるべくそろえられるようにしていること、必要なパルス幅がEL効率の上昇などにより急激に変化したとしても分周数を変化させることで対応できるような構成となっているため、任意の画素数、EL素子の発光効率によらず同一ソースドライバを用いることができるという利点がある。

[0475] これにより、コマンドDからコマンドIの6つのコマンドにより、6つの電流プリチャージを行う階調範囲を指定し、各電流プリチャージ期間の長さをソースドライバ36の電流プリチャージ期間設定線1096で定めれば、最適な電流プリチャージが実現できる。電流プリチャージ1を行うのは階調1以上コマンドD指定階調以下、電流プリチャージ

2を行うのはコマンドD指定階調より大きく、コマンドE指定階調以下、電流プリチャージ3を行うのはコマンドE指定階調より大きく、コマンドF指定階調以下、電流プリチャージ4を行うのはコマンドF指定階調より大きく、コマンドG指定階調以下、電流プリチャージ5を行うのはコマンドG指定階調より大きく、コマンドH指定階調以下、電流プリチャージ6を行うのはコマンドH指定階調より大きく、コマンドI指定階調以下、コマンドI指定階調より大きい場合には電流プリチャージなし57となる。

[0476] 1行目以外の場合では、図53に示すように電流プリチャージを行うとしても、比較判定器531の結果により、「書き込み不足」対策と、「尾引き」対策の2つが必要となる。これは図50の504から506のフローに相当する。

[0477] 書き込み不足対策のときには、1行前が40nAより大きな階調であると、電流プリチャージが不要であるので、まず図56に示すように、1行前データ階調検出手段を設ける。コマンドJによる設定階調以上の場合には電流プリチャージしないようにする。ここで、40nAの電流に相当する階調はアプリケーションにより異なったり、表示色、有機材料の発光効率に影響されるため、念のためコマンド入力としている。これらの条件が決まっている場合には、コマンド入力なくても、指定階調以上、未満で判定できるようにしても良い。指定階調未満である場合には次に、506の判定に相当する電流プリチャージ判定機能が必要である。この機能は先の図57を共通利用すればよい。コマンドIの階調が、ソース信号線電流が300nAを超える電流になる階調としておけば、図50を満たす。

[0478] 次に「尾引き」対策の場合であるが、504の判定をすればよい。図58に示すように、図57と同様に電流プリチャージ期間選択手段578により判定を行う。これにより「尾引き」はなくなるが、画素内部回路のトランジスタ62特性のばらつきにより、電圧プリチャージ印加時に必要以上に黒表示になる電圧が画素によっては印加されることになる。その際に、電流プリチャージにはばらつきがないことから、この必要以上に黒表示にされた場合には所定輝度よりも低下することがある可能性がある。(必ず所定階調に対応した電流を出力する期間があることから、必ず低下するわけではなく、最悪の場合その可能性があるということを意味する)「書き込み不足」の場合では、黒くなったとしてもなだらかな変化としてとらえられるため目立ちにくい、「尾引き」の場

合、図46で461が階調48、462が階調40とした場合に、462の一番上の行のみ、階調30が表示されるということが発生する可能性がある。階調48と40の間であれば、階調48によるハレーションに隠れて目立ちにくくなるが、この2つの階調に比べて低い階調がでると、境目に暗い横線が発生してしまう。

[0479] 暗い横線が発生すると画質に影響すること、ハレーションのため「尾引き」は「書き込み不足」よりも目立ちにくいことを考慮すると、「尾引き」対策の場合には「書き込み不足」対策に比べ、電流プリチャージによりきちっと表示階調を出す必要性が低いと考える。

[0480] 3. 5型サイズQVGAのパネルで、実験したところ、「書き込み不足」が発生するのは、1行前が階調0から階調7の範囲で、現在の階調が階調1から階調74の場合に発生する。一方で、「尾引き」が発生するのは1行前の階調によらず今の階調が階調0から階調9のときに発生している。「書き込み不足」に比べて「尾引き」の場合では電流プリチャージをしなければならない階調数は少ないことがわかる。

[0481] そこで本発明では、電流プリチャージ期間選択手段578の出力をさらに電流プリチャージ挿入判定手段581に入力し、コマンドKにより電流プリチャージを行う範囲をさらに限定するようにしている。コマンドKは図59のようにプリチャージ挿入判定手段581の出力を変化させる役割を持っており、例えばコマンドKの値を6とすると、図59の動作により結果的に階調によって電流プリチャージなし、もしくは電流プリチャージ1を実行する、のいずれかとなる。電流プリチャージ1を実行する範囲はコマンドDにより決められているから、結果的には電流プリチャージをするのはコマンドDの設定階調以下となる。このようにして、電流プリチャージをする階調を限定している。尾引き除去手段580をこのように2段階で構成しているのは、コマンド数を削減するためである。尾引き用と書き込み不足用の2種類のコマンドを持つと、コマンド数が12個必要になるが、本発明の形式であれば、7つのコマンドで済むためコマンドレジスタが少なくて済むという利点がある。電流プリチャージの判定は共通として、尾引きの際に不要となる部分においてのみコマンドKにより削除するという考えである。

[0482] さて、現在の階調が0の場合には電流が0であるため電流プリチャージは不要で、0階調相当の電圧を印加する電圧プリチャージをするかどうかの判定となる。この判定

を図50では電圧プリチャージ判定部503としており、図60の構成となる。ここで1行前データ検出部601を設けているのは、2行以上連続して階調0が表示された場合には1行前からソース信号線の状態を変化させる必要がないことから、階調0であっても電圧プリチャージしなくても良い。電流によってのみ制御することで、トランジスタ62のばらつきによる輝度ばらつきの影響を減らすことができる。そのため1行前データ検出部601では、1行前データが階調0かどうかの判定のみを行っている。(この場合1行前データはデータ変換後1行前映像信号523である。変換は図51に従い行っていることから階調0かどうかの判定であれば変換後データで行っても支障ない)1行前のデータは図52でのメモリ522から共通で出力をもらい、判定すればよい。

[0483] 階調0であっても十分に黒輝度が低くなる場合、もしくは黒輝度が高くても問題がない場合においては電圧プリチャージしないということも可能であるため、電圧プリチャージしないという判定ができるような構成としている。これをコマンドLにより制御し、コマンドLの値により図61に示すような電圧プリチャージするかどうかの判定を行うようにしている。必ず電圧プリチャージするというのは、黒の輝度を極端に下げる場合に用いる。リーク電流による黒浮きを防止することが可能である。

[0484] 以上のプリチャージ判定をまとめると図62のようになる。まず映像信号が階調0かどうか判定し(621)、0と0以外で処理が異なる。0のときは電圧プリチャージをするかどうかである。1行前のデータに応じて電圧プリチャージするかどうか判定する(601)。ただし1行目では比較データがないため1行目の階調に応じてプリチャージを判定する(554)。

[0485] 階調0以外では、電流プリチャージするかどうか判定し、さらに電流プリチャージをする場合には6種類のプリチャージ期間のどれを選択するかを判定する。「尾引き」、「書き込み不足」対策のため1行前の階調に比べて今の階調が大きい小さいかで処理が異なる。比較できない1行目と2行目以降で異なり、1行目では551、552のブロックにより判定を行う。2行目以降では、「尾引き」対策の場合には尾引き除去手段580で判定し、「書き込み不足」対策では561及び578により判定を行う。なお、同一階調の場合や、1階調差などでプリチャージをしない方がよい場合などは、531で電流プリチャージなしの判定となる。

- [0486] 3. 5型QVGAパネルにおいては、コマンドAを2、コマンドBは556を出力するように、コマンドCは552を出力するように、コマンドDは階調1、コマンドEは階調2、コマンドFは階調4、コマンドGは階調10、コマンドHは階調30、コマンドIは階調80を指定する。コマンドJは階調11、コマンドKは4をコマンドLは1を指定することで、所定階調が表示されにくい低階調の表示を実現した。
- [0487] 図62の結果として図67に示すように、映像信号に対応してプリチャージ判定信号55が追加される。(図62の判定はプリチャージ判定信号生成部671で行われる)。
- [0488] パラレルシリアル変換部672は必ずしも必要となるわけではないが、変換せずに制御ICからソースドライバに信号を転送する際には、映像信号8ビット、プリチャージ判定信号55が3ビットの11ビット、これが3色分あるので33ビットの転送線が必要となる。接続信号線が多くなることから配線の引き回しが大変なことや、入出力ピンの増加によるパッケージサイズの増大という問題があることから、この配線はシリアル転送にすることが好ましい。なお制御ICとソースドライバが同一パッケージのICで構成される場合にはIC内部配線の問題であるため、シリアルに変換する必要はない。
- [0489] シリアル転送にしたときの、パラレルシリアル出力部856の出力波形の例を図1及び図28に示す。同一信号線にプリチャージ判定信号55と映像信号、ソースドライバのコマンドを順に転送している。基本的にはこの信号が制御ICとソースドライバICの間の配線に転送される。
- [0490] 図64に本発明の形態におけるパネル構成を示す。制御IC28は本体機器側から同期信号643及び映像信号644をもらい、ソースドライバ36入力信号形式に変換して、映像信号及びコマンド信号を映像信号線856として出力する。その他ソースドライバ36内部のシフトレジスタ動作のためのクロック858、シフト方向制御890、スタートパルス848、アナログ電流出力するタイミングを決めるタイミングパルス849、シリアル転送して信号線数を減らしたゲート線651が、ソースドライバ36に入力される。
- [0491] ゲート線651は、図66に示すタイムチャートにて転送される。ゲートドライバ35は2回路あるため、(スイッチ66a、66b制御用と66c制御用)それぞれにスタートパルス、出力イネーブル信号、クロック、シフト方向制御の8本の信号が必要である。そのため6倍速転送では、1出力分で6信号しか送れないため、2信号分は緑データ856b、8

56cの空き部分に1つずつ入れている。8信号分が入力されたら一斉にゲートドライバ制御線652に出力するようにする。これによりゲートドライバの信号線は少なくとも1出力分の時間刻みで変化させることができる。なお1つのソースドライバに対し2つのゲートドライバを制御する可能性があることから、ソースドライバ36は左右にそれぞれ1回路分ずつのゲートドライバ制御線652出力している。図64のように2つのソースドライバを用いてゲートドライバ35を制御する場合にはソースドライバ36同士が隣接する出力ではゲートドライバ制御線652出力は不要である。そこで、左右のゲートドライバ制御線652の出力をしないようにできるゲート出力イネーブル信号L及びR(653)を設けている。これにより不要な出力をなくし、外部へのノイズ放出を抑えている。

[0492] 更に電源のオンオフを制御する電源制御線641を出力している。待ち受け時や、非表示時には電源回路646を停止させて待機電力を減らす機能となっている。電源回路がパネル電源回路646a、ドライバ電源回路646bに分かれているのは、オンオフのタイミングが異なるためである。これは、電源が立ち上がり時に、ゲートドライバ35の出力が不定であるため、画素回路67のトランジスタ66が意図せず導通状態となることがある。例えばスイッチ66cが導通状態となったときに、蓄積容量65の電荷が255階調表示状態であると、この画素は点灯状態となる。電源投入2フレーム後には所定の階調電流が画素67に書き込まれ、ゲートドライバ35の出力はゲートドライバのスタートパルスに従ってレベル変化するため、所定の電流がEL素子63に流れ、所定階調となる。電源投入2フレームの間に所定階調と異なる階調表示が発生する可能性があるため、電源投入時にパネルが一瞬光るという問題がある。そこで、この問題を解決するため、EL電源線64の電源を1フレーム後に入れることで、所定階調と異なる階調が画素の蓄積容量65に記憶されている場合と、トランジスタ66の制御がきちんとできない場合でも、EL電源線64から電流が供給されないため、EL素子63は発光しない。これによりパネルが一瞬光るという問題を回避する。そのため電源制御線641は2本必要となる。

[0493] このような構成においては、制御IC28とソースドライバ36間の信号線数を減らすために図1もしくは図28のようにシリアル転送してデータを送信することが最適である。図151の点線1511は、電流出力型のソースドライバを用いたときのソースドライバ入

力階調に対する表示輝度の関係を示している。階調に対して輝度が比例関係となっている。

[0494] 一方で人間の目の特性から階調と輝度の関係は1512の曲線で示した関係となるようにガンマ補正をかけて出力する必要がある。

[0495] ソースドライバの階調と輝度特性の関係を変化させることは困難であるため、図151の1512に示す曲線を実現するには、あらかじめタイミングコントローラなどにおいて映像信号階調とソースドライバ階調の関係を変化させ、例えば図152の1521の関係から1522のような関係にするようにする。

[0496] このように映像信号階調に対しソースドライバの出力階調を対応させることでガンマ補正を行いなめらかな階調表示を実現することができる。この場合例えば映像信号の階調が2の場合にはソースドライバ階調は0.5を出力するとなる。しかしソースドライバでは0.5階調を出力することはできないので、フレーム間引きやディザ、誤差拡散法などを用いて擬似的に0.5階調相当の出力を行うようにしている。例えば2回に1回を階調1表示、残りの1回を階調0表示とすれば平均して0.5階調相当の出力を行うことが可能となる。同様に映像信号階調1ならば4回表示機会があれば3回を階調0、1回を階調1表示すればよい。映像信号階調が5から7の場合には階調1と階調2の表示回数の割合を変化させることで実現する。フリッカを防止する観点から、表示できない階調が指定されたときは、表示できない階調に近い2つの階調を使って表示することが好ましい。

[0497] 例えば映像信号階調1が全画面に表示されたときのあるフレームにおけるソースドライバ階調出力パターンの一例を図155に示す(なおこの図では、説明を簡単にするため単色表示のパネルを示している。カラーパネルの場合には、色ごとに図155のパターンを表示することで実現が可能である。)

[0498] ある表示面積を見た場合に4分の1の画素が階調1表示で、4分の3の画素が階調0表示となり、さらにフレーム間で同一の画素を見た場合に4分の1の期間で階調1、4分の3の期間で階調0となるようにすることでフリッカの少ない表示ができる。カラーパネルの場合には階調1が表示される画素が色ごとに異なるようにすることで白表示におけるフリッカを低減させることができる。



- [0499] 図152の1522であらわされる直線を実現するための回路ブロックを図153に示す。入力映像信号1531に対し、ガンマ補正回路1536で映像信号1531を変換する。その際に人間の視覚特性に合わせるために低階調部の輝度を抑えるように階調変換を行う。低階調では映像信号の階調よりも細かい刻み幅で階調増加させる必要があり、そのために映像信号1531よりもガンマ補正後映像信号1539のほうがビット数増加する。
- [0500] ガンマ補正後映像信号1539のビット数とソースドライバ36の映像データビット数が同じであればこのまま信号を入力すればよいが、ソースドライバ36のビット数を増やすにはラッチ部22のラッチされるビット数が多くなり、電流出力段54の階調表示用電流源103、スイッチ108が少なくともビット数の分だけ各出力で増加するため、ソースドライバ36の回路規模が大きくなりコストも高くなる。
- [0501] そのため一般的にはソースドライバ36の映像データビット数よりもガンマ補正後映像信号1539のほうがビット数が多くなる。ビット数の差が多くなると、図152でも説明したようにフレーム間引きなどを用いて表示しなければならない階調数が増加する。有機発光素子などでは応答速度が速いためフレーム間引きを行う際に使用する2つの階調の階調差によるフリッカが見えやすくなる傾向がある。フレーム周波数が60Hzでフリッカ無しで表示を行うにはフレーム間引きによる方法では4フレーム内に完結する必要があることが実表示からわかった。
- [0502] ガンマ補正後映像信号1539がMビット(Mは自然数かつNより大きい)、ソースドライバ36の映像データビット数がNビット(Nは自然数)であるとするMビットをNビットにデータ変換するためのデータ変換部1537が必要となる。
- [0503] そこで図153では、ガンマ補正後映像信号1539をデータ変換部1537により変換後映像信号1532(Nビット)に変換する。
- [0504] 変換する方法としては、図156に示すように入力Mビットのうち上位Nビットと下位(M-N)ビットに分けて処理を行う。ここで上位Nビットをそのままソースドライバの階調に対応させて供給するようにし、かつ1階調あたりの必要な電流値を $2^{(M-N)}$ 倍して出力すれば、 $2^{(M-N)}$ 階調ごとの表示はきちんと実現できる。しかしその間の階調表現ができなくなり、実質は $2^{(M-N)}$ 階調ごとにデータが切り捨てられたように表現される。これ

を補正するために、データが切り捨てられるガンマ補正後映像信号1539の下位(M-N)ビットデータを記憶部1564、加算器A1563を用いて、保持、加算し、切り捨て量(下位(M-N)ビットデータの加算合計の値)が $2^{(M-N)}$ 以上となったときに、切り捨てによる階調の不足を補うためにガンマ補正後映像信号上位Nビットデータ1561に1を加算するようにする。そのために加算器B1568を設けている。これにより下位(M-N)ビットがソースドライバ36に入力されないことによる表示階調の低下を補正することが可能となる。

- [0505] 同一画素に注目した場合4フレーム内に補正を完了しなければ、フリッカが発生することから、下位(M-N)ビットは $(M-N) \leq 2$ であることが好ましい。応答速度が遅い表示材料を用いた場合には必ずしも2以下である必要はなく、表示パネルに応じて(M-N)の上限値を決めればよい。(M-N)が小さいほど、ソースドライバのビット数が増大しコストが上がるが、フレーム間引きやディザ処理を行わない分画質が向上する。画質とコストのトレードオフにあるため、必要に応じて(M-N)を決めればよい。
- [0506] 以下の説明では有機発光素子を用いた表示パネルに適用した場合について説明を行うため、M-Nの値を2として説明する。
- [0507] 図152の1522に示すような映像信号階調(ガンマ処理後、Mビット)とソースドライバ階調(Nビット)の関係において、ソースドライバのビット数が8ビットであるとする、ガンマ処理後のビット数は10ビット1024階調表現が可能である。
- [0508] ソースドライバの階調を基準とすると、ガンマ処理後映像信号のデータは最小0.25階調刻みで256階調表示と表現することになる。
- [0509] 図155は階調0.25を全画面に表示する場合の例である。ガンマ補正後映像信号の上位8ビットは常に0で、下位2ビットは常に1である。表示のはじめは記憶部1564の値は表示行ごとに乱数を発生する乱数発生部1569の値により決められる。これは、あらかじめ記憶部1564の値を表示行ごとに変化させることで、同一階調表示の際に、ソースドライバの表示階調が1増加するタイミングを行ごとにずらしフリッカを見えにくくするためである。乱数発生部1569で発生される値はこの場合1562が2ビット分のデータであることから、0から3のいずれかとなる。
- [0510] 図155の第1の行1551aでは乱数発生部1569の出力が0であるため、記憶部15

64は初期状態で0である。1553の画素に相当するデータが1539から入力されると、1561の信号線は0を1562の信号線は1を出力する。加算器A1563の出力1533と1565は、各2ビット入力である1562と1566の加算結果により、下位2ビットの結果が1565に、桁上がりしたキャリー出力となる1533を出力することから、1533は0を、1565には1を出力することになる。記憶部1564には1が記憶される。

[0511] そのため加算器Bでは1561のデータがそのまま出力され、変換後映像信号1532は0が出力される。

[0512] 次に、画素1554に対応したデータ(階調0. 25)が入力される。上位8ビットデータ1561は0、1562は1となる。加算器A1563の出力は、記憶部1564のデータが1であることから、1533では0、1565では2を出力する。この結果、加算器B1568の出力は1561と同じ0が出力される。

[0513] 次に、1555の画素に対応したデータ(階調0. 25)が入力されると、1561は0、1562は1になる。加算器A1563の出力は1562、1566から1565が3、1533が0となり、その結果加算器B1568の出力は0となる。

[0514] 次に、1556の画素に対応したデータ(階調0. 25)が入力されると、1561は0、1562は1になる。記憶部1564のデータが3であることから、加算器A1563の出力は1565は0となり、1533は1となる。そのため加算器B1568の出力は1となり画素1566に1が出力される。

[0515] 1行すべてが階調0. 25の場合はこの4状態が繰り返し実行される。

[0516] 次の行のはじめには、最終列での記憶部1564のデータを持ち越さず、乱数発生部1569で発生された値が記憶部1564に入力され、データの入出力が行われる。なお、乱数発生部1569は必ずしも乱数を発生させなくても、 $2^{(M-N)}$ 行の開始時点の記憶部1564の値を見たときに $2^{(M-N)}$ 通りのデータが出力されていればよい。

[0517] このようにすることで、図152に示すような1522の線で示されたソースドライバ階調と映像信号階調の実現することができる。

[0518] このように階調特性を改善した図153の回路を本発明に導入し、プリチャージ判定信号発生部に変換後映像信号1532を入力すると、ある特定の階調同士の組み合わせによっては、階調の変化行付近でフリッカが発生するという問題が起こった。

- [0519] 例えば図157に示すようなソースドライバの階調として1行目が0.25階調、2行目以降が3階調表示であるような場合、各画素はあるフレームにおいて図156の回路ブロックから図157に示すようにドライバの出力階調パターンが決まる。
- [0520] このパターンにおいて、1行前と当該行の階調差が2階調差以下ではプリチャージなしで3階調以上でプリチャージありという設定にしたとすると、第2の行においては第1の行の階調が列によって異なることから、第1から第3の列では3階調差あるため電流プリチャージを行うが、第4の列では階調差が2となるため電流プリチャージを行わないこととなる。プリチャージを行うかどうかの判定結果を画素ごとに記載したものを図158に示す。
- [0521] その結果、電流プリチャージを行わない列においては、電流値が所定階調まで変化しにくくなり、1行前のデータ内容により書き込み不足が発生し、階調3表示であっても輝度が低くなる。図159の1591で示すような画素の範囲では、輝度が低下する。第1の行の出力が1である列で輝度が低くなることから4列に1列輝度が低い列が現れる。低階調ほど所定階調までの変化時間が大きくなり、所定階調との電流差が大きくなるため所定輝度に対する輝度差が大きくなり暗い部分が目立つようになる。暗い部分と所定輝度の部分がフレームごとに変化し順に移動することで、暗い縦線が左右に動いて見える形でのフリッカが発生する。
- [0522] フリッカの発生は第1の行と第2の行がいずれも常に同じ階調を表示していても、図156のデータ変換部1537の存在により、少なくとも4画素に1回違う階調が表示される場合において発生する。特に1533の信号が1となり、加算器B1568で信号が1加算されたときにフリッカの原因となる書き込み不足が発生する。
- [0523] フリッカが発生するパターンとしてほかに図164の表示パターンのように、1行前の表示は常に同一であるが、当該行(ここでは2行目)の表示が階調2.75を表示するために列によって階調2を表示するか3を表示するか異なる。この場合でも、階調2を表示した列では電流プリチャージを行わないことから書き込み不足により、階調2よりも低い輝度で表示が行われ、階調3を表示した列では電流プリチャージを行うため所定の階調3を表示する。階調2と階調3の表示領域の輝度差が大きくなることでフリッカが見えやすくなる。

- [0524] ソースドライバから映像信号として出力される信号については、変更するとフリッカの発生や、表示階調のずれにより表示品位が低下する。
- [0525] そこで本発明では、プリチャージ判定信号発生部1538で階調判定を行う信号を別に設けるもしくは判定用の信号を新たに付与することでフリッカをなくすようにした。
- [0526] これを実現する方法として3つの例を示す。
- [0527] 第1の方法を実現するための回路ブロックを図162に示す。入力された映像信号線に対し、ガンマ補正をかけた後の映像信号1532とプリチャージをするかどうかとプリチャージの種類を判定するためのプリチャージフラグ380を出力する。従来の方法と異なるのは、プリチャージ判定信号発生部1621に入力される信号がデータ変換部1537の出力ではなく、ガンマ補正後映像信号上位Nビットデータ1561を用いている点である。データ変換部1537の動作は図156と同一である。
- [0528] これにより、判定に用いるデータは加算器B1568を通らないため、入力信号の低位2ビット分のデータを切り捨てたデータで判別を行うことになる。例えば表示上では図164の表示を行ったとしても、プリチャージを判定するための信号は図165に示すようなパターンとなり、常に階調差が2となりプリチャージ無しでの表示となり、フリッカは発生しない。一方で図157の表示パターンの場合でも図163に示すようなプリチャージ判定用信号が入力されるため、常に電流プリチャージを行うとなり同様にフリッカが発生しない。
- [0529] ある1行と次の1行がそれぞれ同一階調表示の際には列によらず、プリチャージするかどうかの判定が一定であるため、プリチャージの有無の差によるフリッカを防止することができた。
- [0530] 第2の方法を図168に示す。
- [0531] この方法ではガンマ補正後映像信号上位Nビットデータ1561から加算器B1568により生成された変換後映像信号1532を用いる。このままプリチャージ判定信号発生部1621に入力すると、フリッカが発生するので加算器B1568により加算された分を減算器1681にて減算したデータをプリチャージ判定信号発生部1621に入力した。
- [0532] これによりプリチャージ判定信号発生部1621へはガンマ補正後映像信号上位Nビ

ットデータ1561と同一信号が入力されることとなり、第1の方法と同様に、プリチャージの有無の差によるフリッカを防止することができた。

[0533] データ変換部1537の回路内部における信号遅れが大きく、プリチャージフラグ380と変換後映像信号1532の同期をとるために図162においてプリチャージ判定信号発生部などにタイミング調整用保持回路が必要な場合において、減算器1681に比べて保持回路の回路規模が大きくなる場合には第2の方法が有効である。

[0534] 第3の方法の回路ブロックを図161に、図161に使用するプリチャージ判定信号発生部1538のブロックを図154に示す。

[0535] 本発明の方法では、データ変換部1537からキャリー信号1533を出力し、変換後映像信号1532とキャリー信号1533の両方を用いてプリチャージフラグ380の出力を判定している点が第1、2の方法と異なる。

[0536] 図159で、階調3がきちんとかけていない画素1591と、きちんとかける画素1592があるのは、1行前のデータが階調0の場合と1の場合があるためで、これは、階調0. 25表示をするにあたり、キャリー信号1533がないときには階調0となりキャリー信号1533があるときには階調1となる。図160(a)に各画素の表示階調と、カッコ内にキャリー信号1533の値を示した表示パターンの例を示す。

[0537] ここで、階調3表示であってもプリチャージを行わなかった画素は、必ず1行前の画素に対応するキャリー信号1533が1のときであることがわかる。3階調差以上のときに電流プリチャージを行うという設定においてそこで、キャリー信号1533が1になったことによって、1行前との階調差が2になった場合にはプリチャージを行うと判定すれば、すべての階調3表示の画素に電流プリチャージが行われるため、所定階調が書き込めないことによるフリッカを防ぐことが可能となる。

[0538] 一般的にはN階調差以上のときにプリチャージを行うという設定の場合には図166に示すようにN-1階調差のとき、キャリー信号1533も参照し、1行前のキャリー信号1533が1で、当該行のキャリー信号が0のときにはN階調以上の指定に関わらず電流プリチャージを行うとする。他の3つのケースでは、キャリー信号がなかったとしても、1行前との階調差がN階調差未満であるため、プリチャージを行わないでよい。

[0539] さらにN階調差の場合でも図167に示すようにキャリー信号1533の値により、プリ

チャージを行うかどうかの判定が異なる。例えば階調0表示の次の行が階調2. 25表示の場合には、4分の3の列では2階調差となり4分の1の列ではキャリア信号1533により3階調差となる。このときに3階調差となった画素のみに電流プリチャージを行うと階調2と階調3の輝度差が大きくなることによりフリッカが発生する。そこで、図167に示すように、現在の画素でキャリア信号1533が1で1行前がキャリア信号0のときには、N階調差であってもプリチャージしないようにする。これによりプリチャージのありなしによるフリッカを防止できる。

[0540] N+1階調差以上ある場合には、キャリア信号の有無によらずN階調差以上階調差があるため、キャリア信号によらずこれまでと同様のプリチャージ判定を行うようにする。

[0541] このような判定を行うために、図161に示すようにプリチャージ判定信号発生部1538に対し、変換後映像信号1532の他にキャリア信号1533を入力し、映像信号とキャリア信号を元にプリチャージを行うかどうかの判定を行う。

[0542] この場合、キャリア信号1533も1行前のデータと比較する必要があることから、比較判定器1541には、映像信号に加えてキャリア信号1ビット分のラインメモリが新たに必要となる点がこれまでの発明の実施の形態と異なる。

[0543] キャリア信号1533用のラインメモリを設けることで図166や図167の判定が可能となり、本発明を実施することが可能である。

[0544] 以上のような発明を用いることで図160(a)のような階調表示パターンにおいても、プリチャージありなしの判定は図160(b)のようになり、本発明の課題である同一階調表示でも列によってプリチャージのありなしが異なることによるフリッカを防止することができた。

[0545] なお本発明では表示素子として、有機発光素子で説明を行ったが、発光ダイオード、SED(表面電界ディスプレイ)、FEDなど電流と輝度が比例関係となる表示素子ならどのような素子を用いても実施可能である。

[0546] また、図21から図23に示すように、本発明を用いた表示素子を用いた表示装置をテレビや、ビデオカメラ、携帯電話に適用することによって、より階調表示性能が高い製品を実現することができる。

- [0547] 有機発光素子を用いたカラーの表示装置においては、3原色の赤、緑、青の有機発光素子の電流に対する発光効率が、各発光色の材料や素子構成により異なる。現状では緑は青に比べて2〜5倍程度効率がよく、そのため1階調あたりに必要な電流値が2〜5倍程度異なる。
- [0548] 一方でソース信号線に寄生する容量や、水平走査期間はすべての色で共通である。そのため、所定の電流値にまで変化するのに必要な時間は、表示色ごとに同一階調表示であっても2〜5倍程度異なる。
- [0549] そのため、同一の電流プリチャージ期間を用いる場合、発光効率の低い表示色を用いた画素では電流量が多いため電圧プリチャージ後のソース信号線の電圧、電流変化が大きく所定輝度よりも高い輝度を表示し、発光効率の高い表示色を用いた画素では電流量が少ないため電圧プリチャージ後のソース信号線電圧、電流変化が少なくなり、暗い表示となる。つまり書き込み不足の現象が発生する。
- [0550] そこで本発明では6段階の電流プリチャージパルスの長さを表示色ごとに変化させられる構成にすることで、書き込み不足が発生する発光効率の高い表示色に対応した出力端子では、プリチャージパルスの長さを長くし、最大電流を流す期間を長くすることで書き込み不足を解消するようにすることを考えた。
- [0551] 図172は本発明を実現するための第1の方法である。電流プリチャージのパルス幅設定を赤緑青の3色において独立に制御できるようにし、出力される電流プリチャージパルス群1691も各色個別に6つ出力できるようにした。これにより図123に示すプリチャージ電流出力期間は色ごとに独立制御できる。
- [0552] 現在の有機発光素子の発光効率から考えると青表示画素の電流に対し、赤表示画素の電流は約80%、緑表示画素の電流は約50%程度となる。
- [0553]  $\pm 20\%$ の電流差であれば、同一電流プリチャージの条件であっても、通常電流を流す期間において所定電流値に変化するため、色ごとに個別に電流プリチャージパルスのパルス幅を設定しなくてもよいが、この例のように50%の電流差があると、青に対して最適な電流プリチャージパルスを印加すると、緑は十分に所定階調まで電流値が変化せず、輝度が暗くなる。そのため、白のボックスパターンを表示した場合には、一番初めに走査される白の行では、緑のみが輝度が低くなるため、白表示がマ



ゼンダに変化してしまう。そのため、ボックスパターンのエッジが色づいて見え表示品位が低下する。

[0554] そこで緑色に対応する電流プリチャージのパルス幅を各パルスとも2倍に設定したところ緑色に関しても所定階調の表示が実現できた。

[0555] なお電圧プリチャージパルス451は色によらず共通である。これは駆動トランジスタ62のゲート電圧とドレイン電流の関係から黒表示に対応する電圧を印加するため、表示色によらず同一であること、所定電圧までの変化時間はソース信号線の容量とプリチャージ電圧発生部に用いられるオペアンプの駆動能力によって決まるため、表示色ごとに設定する必要はない。図172のように電流プリチャージパルス群1174のみ色ごとに個別に調整できるようにしている。

[0556] 電流プリチャージを行わなくても書き込みができる階調も、表示色によって異なる。1行前の表示が階調0である場合に青色の場合には36階調以上は電流プリチャージをしなくても書き込み可能であるが、赤色の場合には48階調までは電流プリチャージが必要で、49階調以上で電流プリチャージがなくても書き込みが可能となり、緑色の場合には75階調表示までは電流プリチャージが必要であり76階調以上で電流プリチャージがなくても書き込みが可能となる。そのため、電流プリチャージパルスのもっとも長いパルス(図123で1174fに対応するパルス)の階調設定の最大階調を色ごとに必要な階調分に設定するようにする。図57の電流プリチャージ期間選択手段578に入力されるコマンドDからコマンドIを色ごとに独立に設定できるようにすることで実現が可能である。本発明の電流プリチャージ挿入方法においては、1行前のデータの格納が4ビットで行われているため、1行前のデータが階調15以上であるときには、その階調を判別することができないため、コマンドA設定値によるが例えばコマンドAの値が1の場合、1行前のデータが階調14以上である場合は、表示階調が13階調以上では電流プリチャージを行えないが、緑色で70階調がかけないのは1行前のデータが0のときであって、1行前のデータが14階調以上あれば、緑色であっても14階調以上のデータを書き込むことが可能であるため表示上の問題はない。

[0557] 図169は本発明の第2の方法である。図170は図169のパルス合成部1694の内部回路の例を示した図、図171は図169のパルス発生部1122を用いた際に出力さ

れる電流プリチャージパルスの波形の一例を示したものである。

- [0558] 図172の構成の場合、パルス生成手段694の回路規模は各色共通の場合に比べて3倍の回路規模となる。
- [0559] そこで、本発明では6種類の電流プリチャージパルスの発生部は同一とし、電流量が少なく変化しにくい色の画素に対応した出力では、電流プリチャージパルスの前もしくは後に表示色によって一定期間パルスを出力する期間を設けるようにする。図171では電流プリチャージパルスの前に電流差補正用パルス1695として色ごとに異なるパルス幅(共通であっても構わないし、1695cに示すように、十分に電流変化できる場合にパルスがなくてもよい)を挿入する期間1712を設けている。
- [0560] これにより水平走査期間は初めに電圧プリチャージ期間1711、次に電流差補正用パルスが入力するための期間1712、赤緑青共通で6段階のパルスを入れる期間、最後に所定電流書き込む期間(階調電流書き込み期間)を設けている。
- [0561] 回路構成を簡単化するには1711と1712の合計の長さを同じにすることで、電流プリチャージパルス1691の開始位置が固定できるため、回路構成が簡単化できる。電圧プリチャージパルスと、電流差補正用パルスの長さの合計が短い場合には、電圧プリチャージパルスと電流差補正用パルスの間に通常の階調電流書き込み期間を設けてタイミングを調整する。
- [0562] これにより、1713の期間に出力されるパルスは、これまでどおりにカウンタと1096、933の設定値に応じてパルス生成手段B1693で実現できる。従来に比べてパルスの立ち上がりタイミングが異なるだけであるため、この部分での回路規模の増加はない。
- [0563] 一方電流差補正用パルス1695は、カウンタ693と補正值設定信号1697により出力される。パルスは3種類であるためパルス生成手段B1693に比べて半分の回路規模で構成できる。
- [0564] 実際に行う電流プリチャージ期間は電流差補正用パルス1695とプリチャージ用パルス1696(1から6のうちの1つを選択)の合計であることから、表示ごとに電流差補正用パルス1695とプリチャージ用パルス1696の論理和をとるためのパルス合成部1694をもうけ、表示色ごとに異なる長さの電流プリチャージパルス1691を実現した。

図171では例として、電流プリチャージパルス1の波形を示す。もともと電流が変化しにくい緑色に対して電流プリチャージ期間が長くなるように設定できている。なお図170では論理和の回路で構成しているが、回路規模を小さくするために、プリチャージ用パルス1696と電流差補正用パルス1695の出力をあらかじめ反転出力とし、NAND回路で構成してもよい。

[0565] これにより、パルス合成部1694とパルス生成手段A1692の回路規模の合計がパルス生成手段B1693の回路規模の3倍より小さければ、本発明により発光色ごとに異なる電流プリチャージ期間を設定できる回路を従来に比べて小さな回路構成で実現することができた。

[0566] なお、極力電流プリチャージ期間の後の階調電流書き込み期間を長くしたい場合には、1713の開始期間を固定値にするのではなく、電圧プリチャージ印加期間1711の長さに応じて電流プリチャージの開始位置を変更できるようにする。電圧プリチャージが印加された後すぐに1712の期間となる。1712の期間は表示色ごとに異なる。しかしながら電流プリチャージ期間1713は表示色によらず一定である。色ごとに1713の開始位置を変更するには、色ごとに電流プリチャージパルスの発生タイミングを変更する必要がある、その場合には結局色ごとにプリチャージ用パルスを発生する必要がある。あくまでプリチャージ用パルスは色によらず共通に生成されることで回路規模を小さくなるメリットが生まれるため、1712の期間は一定値である必要がある。その場合には、コマンドで設定できる最大幅を1712の期間とするか、現在入力されているコマンドを検出し、最大のパルス幅を出力する電流差補正用パルス1695の長さに1712の長さを一致させるという方法を用いてもよい。

[0567] 表示パネルが大型化もしくは垂直方向の画素数の増加により画素選択期間が短くなった場合には、電流値が大きい中間調より大きな階調でも、1行前からの映像信号の変化が大きい場合には、十分に所定階調まで電流値を変化させることが難しくなる。

[0568] 電流プリチャージパルス群1174のパルス幅を最大にしたとしても、最大階調の場合には、プリチャージ期間の電流と階調に対応した電流が同一値であり、プリチャージの効果が見れない。

- [0569] そこで、本発明では電流プリチャージ期間に流れる電流を最大階調よりも大きく流せる機能を設けるようにすることで、最大階調表示時でもプリチャージにより所定電流値までの電流変化をすばやく実施できるような構成とすることとした。
- [0570] この構成を実施するための電流出力段の回路構成を図173に、プリチャージ判定線984の値が14のときで階調255を表示したときの出力電流の制御の方法を図175(a)、ソース信号線の電流値変化の様子を図175(b)に示す。
- [0571] 最大電流よりも大きな電流を流せるように、階調表示用の電流源241のほかに電流源1731を設け、新たに追加されたプリチャージ判定線1ビット(984b)の値により、電流プリチャージ制御線1181のハイレベルの期間に電流源1731が出力されるようにしている。
- [0572] 電流プリチャージの期間をプリチャージ判定線の3ビットを用いて選択し、プリチャージの電流値の選択を1ビットを用いて選択するようにする。この場合、下位3ビットで期間を、上位1ビットで電流量を決めているが、どのビットで行ってもよい。
- [0573] ビットにより機能を切り分けることでプリチャージ判定線984をデコードするための回路が削減できる。プリチャージ期間を6段階に選択できた回路構成に比べて、今回は電流値の大小により12段階に増加させたが、増加した回路は、電流源1731と電流源1731をオンオフするスイッチとそのスイッチの制御回路(2入力論理積回路)の追加のみで実現できるため、電流源1731を除いたロジック回路の増加を極力抑えながら、高階調表示でも効果のある電流プリチャージを実現できる。
- [0574] プリチャージ判定線の値とプリチャージの動作の関係を図174に示す。下位3ビットで電流プリチャージの期間を選択し、上位1ビットで電流値を選択する。
- [0575] これにより、低階調では電流値の少ない白階調電流を用いて6段階で電流プリチャージを行い、中間調ー高階調では、電流値を増加し、電流源1731の電流も加算して6段階の期間を調節し電流プリチャージを行うことで、中間調ー高階調でも、電流の変化速度が速くなりすべての階調領域において、所定階調を書き込むことが可能となった。
- [0576] パネルサイズや垂直方向の画素数によって、電流源1731の電流値の大小を決めることで、1水平走査期間の長さが長い場合には、ソースドライバのチップサイズを小

さくする観点から、電流源1731は電流源241の電流値の総和に対し20〜50%程度とし、水平走査期間が短い場合には書き込み不足が顕著となることから、プリチャージを行う際の電流値も大きくする必要がある、電流源241の50%〜100%の電流源とすることが好ましい。

[0577] なお、この例では、1ビットで電流源の大小を、3ビットでプリチャージ期間の長短を選択することを説明したが、任意のビット数でも同様に実現できる。

[0578] 例えば電流源の大小を選択するビット数を3ビットにする場合には電流源1174を3つ用意(ビットの重みに対応して異なる電流値を出力する)し、それぞれの電流源1174を出力するかどうかの制御線と電流プリチャージ制御線1181の論理積をとるようにすればよい。これを図177に示す。

[0579] 一方プリチャージ期間の種類を多くするには、パルス選択部1175の内部構成と、電流プリチャージパルス群1174のパルス数を多くする必要がある。パルス選択部1175に関しては図119の真理値表のとり通り数を多くするような回路構成とすればよい。例えば4ビットの場合には最大で14通りの電流プリチャージパルスを入れる方法が取れる。

[0580] 図176はプリチャージ電圧を温度によって変化させるように温度補償素子1311をソースドライバ外部に設けた回路である。電子ボリューム1341で与えられた抵抗値と、温度補償素子1311の抵抗値の和により、プリチャージ電圧発生部1313から出力される電圧が決定される。

[0581] そのため、パネルごとのプリチャージ電圧のばらつきは、電子ボリューム1341により調整を行い、同一パネルでも温度によって電圧値がずれることに対して、温度補償素子1311の抵抗値が変化することにより電圧値が変化することで対応する。

[0582] これによりソースドライバ36に外付け調整ボリュームが不要となり、コスト削減をはかることが実現できる。

[0583] なお2個以上のソースドライバを用いて表示させる場合には、ある1つの電子ボリューム1341のみ電圧が出力できるようにして、ほかのチップの電子ボリューム1341の出力はオペアンプと切り離す。温度補償素子1311の電源64と異なる端子をすべてのソースドライバ36の外部入力1761に接続するようにすることで、ソースドライバの

数によらずプリチャージ電圧を同一電圧で出力できるようになる。

- [0584] さて、電流出力型のソースドライバを用いて表示を行う有機発光素子を用いた表示装置において、垂直ブランキング期間が存在する場合には、垂直ブランキング期間ではどの画素も選択されないため、ソースドライバの出力はフローティング状態となる。
- [0585] ソースドライバの出力段は例えば図10に示すように構成されている。ここで階調データ54が0以外のデータである場合には、少なくとも1つの階調表示用電流源103がソース信号線から電流を引き込むように動作する。
- [0586] ここで、ソースドライバの出力が不ローディングになると、階調表示用電流源103は電流を引き込もうとするため、ドレイン電位を下げるように動作する。その結果図181(a)に示すように、階調5表示を全画面で表示するパターンであっても、ソース信号線の電位は、階調5表示時の電圧から垂直ブランキング期間中に1811で示すように低下していく。4水平走査期間での例で示しているが、ブランキング期間終了後には1812まで電位が低下している。
- [0587] この状態で、階調5の電流を書き込もうとすると、電圧変化に必要な量が大きくなる上に、電流値が小さいことから、変化に要する時間が長くなる。それゆえ図181(a)に示すように、階調5表示電圧まで変化せず、1813の電位で1行目の水平走査期間が終了する。図6や図44に示すようなアクティブマトリクス型のパネルにおいては、水平走査期間の終わり(画素選択期間が終了した時点)での状態が、画素内部に記憶され、表示される。このため1行目は所定階調(5階調)に比べて高い輝度で表示されるようになる。
- [0588] 2行目は1行目の状態の続きから変化するため、変化量が1行目に比べ少なく、所定の電位まで変化でき、きちんと階調表示される。
- [0589] このように1行目では他の行に比べて、ソース信号線の変化量が大きくなり、ラスタ表示をした際に、特に低階調で1行目が明るいという問題が発生する。
- [0590] なお、1階調あたりの電流が少ない場合や、パネルが大型化して水平走査期間が短くなったり、ソース信号線の容量が大きくなった場合には、ソース信号線の電位変化がしにくくなるため、2行目以降でも、所定の輝度が表示できない場合もある。これ

も課題としては同様で、1行目が表示できるようになれば、必然的に2行目以降もきちんと表示できるようになる。

[0591] そこで本発明では、垂直ブランキング期間中にソースドライバが持つ電圧プリチャージ機能を利用して、黒表示に対応する電圧を印加することでソース信号線電位の急激な低下を防ぐような方法を考案した。

[0592] 第1の方法としては、垂直ブランキング期間ではコントローラにて階調0をソースドライバに転送するようにする。その際プリチャージ判定信号発生部1621に入力される映像信号にも階調0が挿入されるようになっていれば、プリチャージ判定信号発生部1621でプリチャージフラグが生成される。この際に、電圧プリチャージの設定として、図61に示すうちの「必ず電圧プリチャージする」が設定されていれば、垂直ブランキング期間の1水平走査期間に1回黒表示に対応する電圧が印加されるようになり、図181(b)に示すような垂直ブランキング期間内でのソース信号電圧の変化となる。これにより電圧プリチャージが印加される期間(1818)では1814に示す階調0表示電圧となり、階調0出力期間1819では1815のように変化する。階調0であることからソースドライバ内部のスイッチ108により階調表示用電流源103とソース信号線が切り離されることから、ソース信号線の電位はほとんど変化しないと考える。ただしスイッチ108のリークにより電位が変化することも考えられるため図181(b)では1815のような電位変化が起こるとしている。リーク電流は非常に小さく(1nA以下)のため変化量は小さい。そのため1行目の書き込み開始時の電位1816は大きく低下することはない、低階調表示であっても電位変化量が小さいことから、十分に所定階調を表示できるようになる。1行目がきちんと表示できるため、2行目以降も必ず表示することが可能となった。

[0593] なおリーク電流が小さく階調0出力時のソース信号線の電位変化が小さい場合には、図61での設定によらず、1行目の書き込みも十分可能となる。またこの場合、映像信号に階調0を挿入する方法以外にも、ソースドライバ36の出力イネーブル51の機能を用いて、ソース信号線の階調表示用電流源103とソース信号線を切り離すようにしてもよい。出力イネーブル51は、ソースドライバ36の全出力につながっており、図186のようにイネーブル機能が動作すると、電流出力部1171が出力104と切り離され

るようになっている。これによりソース信号線はソースドライバと切り離され、電位低下を防ぐことが可能となる。

[0594] さらに、図178に示すように、入力映像信号のブランキング期間を検出するデータイネーブル信号1781を、黒データ挿入部1782及びプリチャージ判定信号発生部1621に入力し、図179及び図180のような判定を行えば、階調0表示時の電圧プリチャージの設定によらず、垂直ブランキング期間で電圧プリチャージ期間1818を水平走査期間ごとに挿入することができ、図181(b)のようなソース信号線の電位変化を実現することができる。図180では垂直ブランキング期間でプリチャージ判定信号発生部の出力を7としているが、これはソースドライバ側が図119のようにプリチャージの判定をしているため7としているが、設定値が異なる場合にはソースドライバ側で電圧プリチャージ制御線が常に“L”レベル、電圧プリチャージ制御線が451と同一となる値にすることになる。

[0595] 垂直ブランキング期間が終了した後の1行目に電流を書き込む前にソース信号線電位が低下していなければ、1行目は所定の階調が書き込めると考えられる。従って、電圧プリチャージを行い階調0出力するのは、1行目を書き込む直前の水平走査期間で少なくとも実施されていればよい。

[0596] 1行目を書き込む前の水平走査期間で電圧プリチャージする場合のソース信号線電位の変化の様子を図182に示す。1行前を書き込む2水平走査期間前までは、階調出力は任意で、プリチャージはあってもなくてもよく、電位が最低電位まで低下したとしても、電圧プリチャージ期間1826で電位が1821レベルまで変化し、その後階調0出力期間1825により電位変化を最低限にとどめ(1822)これにより1行目を書き込む前のソース信号線電位を1823とすることが可能で、低階調での変化量が少なく書き込みが可能である。

[0597] 従って、電圧プリチャージの実行と、階調0出力にしなければならないのは、垂直ブランキング期間が終了する最後の1水平期間で行っていればよい。それ以前の期間では、必ずしも実施する必要はない。データ処理のしやすい方法を選択すればよい。データイネーブル信号1781を利用する場合には、垂直ブランキング期間の最後を判断することは難しいため、垂直ブランキング期間すべてで同一動作をさせるほうが



、実施しやすい。

- [0598] 本発明のソースドライバを用いると、図62に示すように1行目のデータでは1行目検出手段により、1行目で独自にプリチャージを実施することが可能である。図55においてコマンドCにより電流プリチャージを実施するを選択し、コマンドBにより電圧プリチャージを実施するを選択すると、階調0では必ず電圧プリチャージが実施され、黒レベル電圧が十分に書き込まれる。
- [0599] 一方階調0以外では、電流プリチャージ期間選択手段578において、図57に示すコマンドDからコマンドIにおいて、階調に応じて電流プリチャージの期間の調整や、十分書き込みが可能の場合には電流プリチャージなしといった選択を行う。これにより低階調であっても、図183に示すようにまず電圧プリチャージ期間で瞬時に強制的に階調0表示電圧に変化し、その後電流プリチャージ期間で急速に所定の電圧値までソース信号線電圧を変化させ、最後に画素トランジスタの特性に合わせて所定の電圧値に通常の電流値で書き込みを行う。
- [0600] 書き込みが十分可能な階調ではもともと高階調部が多いためソース信号線電位が低い。そのためブランキング期間に電圧が低下しても変化量が少ない上に、変化させるための電流が高階調であれば多いため十分所定階調に変化できる。一方で低階調の場合には電流プリチャージの操作によりまず黒レベルに電圧を強制的に変化させるため、垂直ブランキング期間の電位がどうであっても、問題なく電圧プリチャージで変化させられる。その後の動作は1行目以外となんら変わらないため十分に書き込みができる。
- [0601] そこで図184のように、1行目に電流プリチャージを実施するようにすることで、垂直ブランキング期間の制御はとくにしなくても、1行目の輝度は所定輝度で光らせることが可能となる。
- [0602] 以上のような動作により、1行目の輝度は所定輝度で発光させることが可能となり、表示品位の高い表示装置を実現した。
- [0603] 更に、垂直ブランキング期間中は常に電圧プリチャージによる電圧出力をソースドライバから行うようにすれば、白方向にソース信号線電位が変化することはなくなる。
- [0604] そのためには、図187(a)に示すように垂直ブランキング期間中と通常表示期間で

電圧プリチャージパルスを変化させる必要がある。通常表示では電圧プリチャージパルスは1〜3 $\mu$ 秒あればよい。一方で垂直ブランキング期間中では常に電圧プリチャージパルスがハイレベルにある必要がある。(ハイレベルのとき電圧プリチャージ実行の場合)なお電圧プリチャージがなくても各階調の表示が正しくできる場合には表示期間に電圧プリチャージを印加しなくてもよい。ため、プリチャージフラグを0にするか、図187(b)のように常にローレベルにするようにしてもよい。本発明によれば、垂直ブランキング期間の電圧プリチャージパルスと、表示期間の電圧プリチャージパルスが異なる状態になっていることが特徴である。

- [0605] 更に垂直ブランキング期間でソース信号線に階調0表示時の電圧を印加するためにプリチャージフラグを規定する必要がある。従って図188に示すように、本発明のソースドライバを用いる場合には、プリチャージフラグを7にするように制御し、プリチャージパルスと合わせて常にプリチャージ電圧が出力されるようにしている。
- [0606] さてこのように垂直ブランキング期間か表示期間かを判別してプリチャージパルスの幅を変えるためには、水平走査期間ごとにプリチャージパルスの長さを設定できるようにする必要がある。
- [0607] 本発明では図28、図29、図30のようにデータとコマンドが入力されるソースドライバを用いており、1水平走査期間に1回コマンドを変更することができるようになっていいる。さらにコマンドはコマンド転送期間302の後のタイミングパルス849が入力されたときにソースドライバ内部のレジスタに転送され、値が保持される。タイミングパルスは1水平走査期間に1回入力されることから、この機能を利用して、垂直ブランキング期間と表示期間でパルス幅を変えるように、図29のコマンド入力期間のコマンド入力時に電圧プリチャージパルス幅設定のコマンドを入力させるようにすればよい。
- [0608] 図190にコマンドレジスタ1902を含むソースドライバの回路ブロック図を示す。映像信号線856のデータは、コマンドデータ識別信号によりコマンド／データ分離部931により表示用のデータと各種設定用データ、ゲートドライバの制御信号に分けられる。表示用データ及びゲートドライバ制御信号はシリアル転送されたデータをパラレル転送に変化させて順次ドライバ内部に転送される。一方で各種コマンド(基準電流を調整するための電子ボリューム設定、プリチャージ電圧を調整するための電子ボリュ

ーム設定、電流プリチャージパルス1から6、及び電圧プリチャージパルスのパルス幅設定、プリチャージパルス発生用クロック設定、なお、赤緑青の発光効率が異なり設定電流が大きく変わる場合には、ソースドライバとして、基準電流調整、電流プリチャージパルス1から6のパルス幅は赤緑青それぞれ独立に制御できることが好ましい)は、特にプリチャージのパルス幅設定が、図69のようにカウンタ693を用い、設定値とカウンタ値が一致するまでパルスを出力するような構成となっており、カウンタ動作中に設定が変更になるとロジックが不安定となるため、かならずカウンタ動作が終了した後に設定が変更となるように、タイミングパルス848入力後に変更になるようにしている。

- [0609] 更に本発明のソースドライバではゲートドライバ制御用の信号を2系統出力できる機能を備えている。これは、図6のカレントコピア型の画素構成や、図44のカレントミラー型の画素構成において、ゲート信号線が1画素に2本必要であり、それぞれを順に走査するためにゲートドライバが1つの表示装置につき2ついるため、1つのソースドライバで2個のゲートドライバに制御信号線を送る必要があるためである。
- [0610] ゲートドライバ出力イネーブル信号1901はソースドライバからゲートドライバ制御信号の出力が必要ない場合に不要な出力をカットし外部に信号を出さないようにするためのものである。
- [0611] ソースドライバ2個使いの場合には、それぞれのチップでゲートドライバから遠い側の制御線を1つづつイネーブル機能を有効にして、余分な信号を出力しないようにすることで、低電力化とアレーへのノイズ発生を抑える利点がある。
- [0612] 以上の説明においてはモノクロ出力のドライバとして説明を行ったが、マルチカラー出力のドライバにも適用可能である。表示色数倍同一回路を用意すればよい。例えば、赤、緑、青の3色出力の場合、3つの同一回路を同一IC内にいれ、それぞれを赤用、緑用、青用として使用すればよい。
- [0613] 以上の発明においてトランジスタはMOSTランジスタとして説明を行ったがMISTランジスタやバイポーラトランジスタでも同様に適用可能である。
- [0614] またトランジスタは結晶シリコン、低温ポリシリコン、高温ポリシリコン、アモルファスシリコン、ガリウム砒素化合物などどの材質でも本発明を適用可能である。

- [0615] なお、本発明にかかるプログラムは、上述した本発明の自己発光型表示装置の駆動方法の全部または一部の工程の動作をコンピュータにより実行させるためのプログラムであって、コンピュータと協働して動作するプログラムであってもよい。
- [0616] また、本発明は、上述した本発明の自己発光型表示装置の駆動方法の全部または一部の工程の全部または一部の動作をコンピュータにより実行させるためのプログラムを担持した媒体であり、コンピュータにより読み取り可能且つ、読み取られた前記プログラムが前記コンピュータと協働して前記動作を実行する媒体であってもよい。
- [0617] なお、本発明の上記「一部の工程」とは、それらの複数の工程の内の、幾つかの工程を意味し、あるいは、一つの工程の内の、一部の動作を意味するものである。
- [0618] また、本発明のプログラムを記録した、コンピュータに読みとり可能な記録媒体も本発明に含まれる。
- [0619] また、本発明のプログラムの一利用形態は、コンピュータにより読み取り可能な記録媒体に記録され、コンピュータと協働して動作する態様であっても良い。
- [0620] また、本発明のプログラムの一利用形態は、伝送媒体中を伝送し、コンピュータにより読みとられ、コンピュータと協働して動作する態様であっても良い。
- [0621] また、本発明のデータ構造としては、データベース、データフォーマット、データテーブル、データリスト、データの種類などを含む。
- [0622] また、記録媒体としては、ROM等が含まれ、伝送媒体としては、インターネット等の伝送機構、光・電波・音波等が含まれる。
- [0623] また、上述した本発明のコンピュータは、CPU等の純然たるハードウェアに限らず、ファームウェアや、OS、更に周辺機器を含むものであっても良い。
- [0624] なお、以上説明した様に、本発明の構成は、ソフトウェア的に実現しても良いし、ハードウェア的に実現しても良い。

#### 産業上の利用可能性

- [0625] 本発明によれば、自己発光型表示装置の表示において、変化速度が遅い低階調から高階調への変化を早くすることができ、例えば表示用駆動装置、表示装置等として有用である。

### 請求の範囲

- [1]      マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有する自己発光型表示装置の駆動方法であって、  
前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加する工程と、  
前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる工程と、  
所定の第1条件に基づき、前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する工程とを備えた、自己発光型表示装置の駆動方法。
- [2]      前記第3期間は、前記自己発光素子に印加される表示電流を与える表示階調に対応して可変されるものである、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [3]      前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、  
前記所定の第1条件として、それら電流値の差分が所定の値以上の場合、前記次の行の表示の際、前記第3期間に、前記次の行の前記自己発光素子にプリチャージ電流を印加する、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [4]      前記第3期間は、前記差分の大きさに応じて可変されるものである、請求の範囲第3項記載の自己発光型表示装置の駆動方法。
- [5]      前記マトリクスの同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値より小さい場合、前記次の行の前記自己発光素子の表示の際、前記プリチャージ電流の印加を行わない、請求の範囲第1項または第3項記載の自己発光型表示装置の駆動方法。
- [6]      前記所定の第1条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記プリチャージ電流の印加を行わ

- ない、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [7] 前記プリチャージ電流の値は、白表示するのに相当する電流値である、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [8] 前記第3期間は、予め駆動回路で準備される複数のパルス長にそれぞれ対応した第3期間群より選択される、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [9] 所定の第2条件に基づき、前記第3期間より前の第4期間に、前記自己発光素子に所定の電圧を印加する工程をさらに備えた、請求の範囲第1項記載の自己発光型表示装置の駆動方法。
- [10] 前記マトリクス of 同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第2条件として、それら電流値の差分が所定の値以上の場合、前記次の行の前記自己発光素子の表示の際、前記第4期間に前記次の行の前記自己発光素子に前記所定の電圧を印加する、請求の範囲第9項記載の自己発光型表示装置の駆動方法。
- [11] 前記所定の第2条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記第4期間に前記自己発光素子に前記所定の電圧を印加する、請求の範囲第9項記載の自己発光型表示装置の駆動方法。
- [12] 前記所定の電圧は、前記自己発光素子が最後に行った表示の際に印加した電流値に相当した電圧と等しいか、低階調色表示するのに相当する電圧である、請求の範囲第9項記載の自己発光型表示装置の駆動方法。
- [13] 前記第1電圧は黒表示を行うのに相当する電圧である、請求の範囲第12項記載の有機発光素子を用いた自己発光型表示装置の駆動方法。
- [14] マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有し、前記各画素回路に、表示階調に対応した階調電流を第1期間にわたり印加し、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる自己

発光型表示装置の表示制御装置であって、

所定の第1条件に基づき前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加するプリチャージ電流印加手段を備えた、自己発光型表示装置の表示制御装置。

- [15] 前記第3期間は、前記自己発光素子に印加される表示電流を与える表示階調に対応して可変されるものである、請求の範囲第14項記載の自己発光型表示装置の表示制御装置。
- [16] 前記マトリクス of 同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値以上の場合、前記次に行う表示の際、前記第3期間に、前記次の行の前記自己発光素子にプリチャージ電流を印加する、請求の範囲第14項記載の自己発光型表示装置の表示制御装置。
- [17] 前記第3期間は、前記差分の大きさに応じて可変されるものである、請求の範囲第16項記載の自己発光型表示装置の表示制御装置。
- [18] 前記マトリクス of 同一列上における、所定行の前記自己発光素子が行った表示の表示階調に対応した電流値と前記所定行の次の行の前記自己発光素子が行う表示の表示階調に対応した電流値とを比較し、前記所定の第1条件として、それら電流値の差分が所定の値より小さい場合、前記次の行の前記自己発光素子の表示の際、前記プリチャージ電流の印加を行わない、請求の範囲第14または第16項記載の自己発光型表示装置の表示制御装置。
- [19] 前記所定の第1条件として、前記自己発光素子が行う表示の表示階調が黒表示に対応した電流値である場合は、その表示の際、前記プリチャージ電流の印加を行わない、請求の範囲第14項記載の自己発光型表示装置の表示制御装置。
- [20] 前記プリチャージ電流の値は、白表示するのに相当する電流値である、請求の範囲第14項記載の自己発光型表示装置の表示制御装置。
- [21] マトリクス状に配列された自己発光素子と、各前記自己発光素子に対応して設けられた各画素回路とを有し、前記各画素回路に、表示階調に対応した階調電流を第1

期間にわたり印加し、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる自己発光型表示装置であって、所定の第1条件に基づき前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する自己発光型表示装置の電流出力型駆動回路であって、

時間長の異なる複数の前記第3期間を同時に発生させる第3期間発生手段を備えた、自己発光型表示装置の電流出力型駆動回路。

[22] 前記複数の第3期間は、前記プリチャージ電流を印加する時のパルス長により生成される、請求の範囲第21項記載の自己発光型表示装置の電流出力型駆動回路。

[23] 電流出力型ソースドライバ回路として用いられる、請求の範囲第21項記載の自己発光型表示装置の電流出力型駆動回路。

[24] マトリクス状に配列された自己発光素子と、  
各前記自己発光素子に対応して設けられた各画素回路と、  
前記自己発光素子および前記画素回路を駆動する駆動回路とを備え、  
前記駆動回路として、請求の範囲第21項記載の電流出力型駆動回路を、少なくとも1以上有する、自己発光型表示装置。

[25] マトリクス状に配列された自己発光素子と、  
各前記自己発光素子に対応して設けられた各画素回路と、  
請求の範囲第14項記載の自己発光型表示装置の表示制御装置と、請求の範囲第21項記載の自己発光型表示装置の電流出力型駆動回路とを備え、  
前記表示制御装置が、前記プリチャージ電流の印加に関する動作を実行する、自己発光型表示装置。

[26] 前記自己発光素子は、有機EL素子である、請求の範囲第24項または第25項記載の自己発光型表示装置。

[27] 請求の範囲第26項記載の自己発光型表示装置を表示手段として備えた、電子機器。

[28] テレビとして用いられる、請求の範囲第21項記載の電子機器。

[29] 請求の範囲第1項記載の、自己発光型表示装置の駆動方法の、前記各画素回路

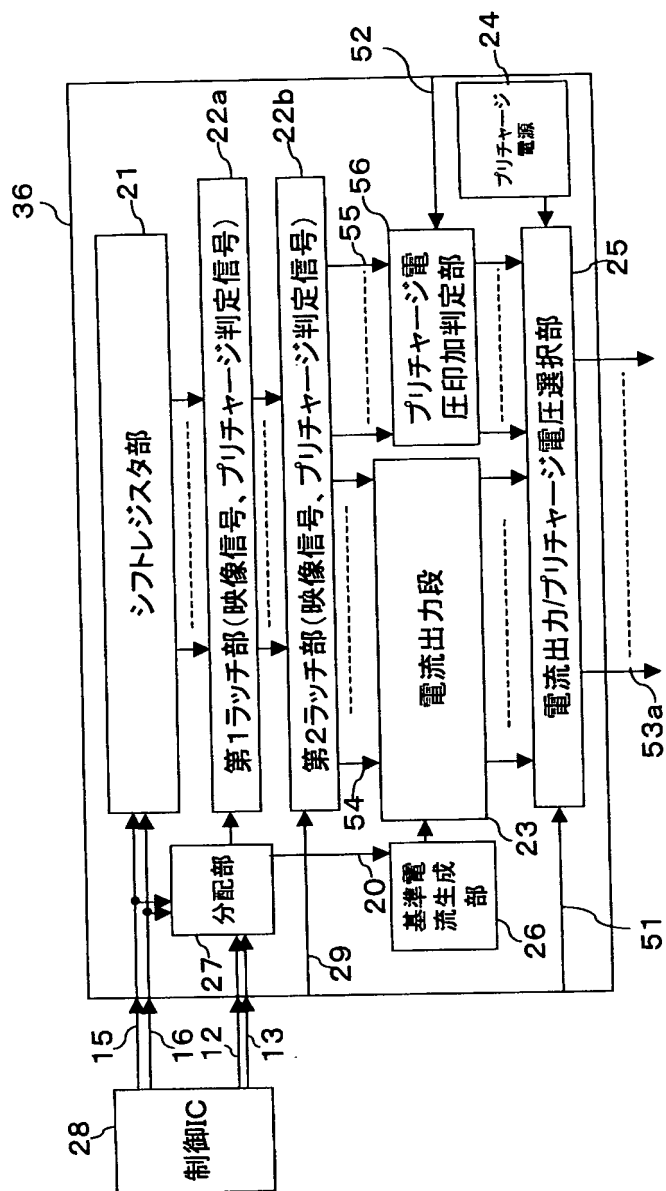


に、表示階調に対応した階調電流を第1期間にわたり印加する工程と、前記第1期間に引き続く第2期間に前記自己発光素子に前記階調電流に基づく表示電流を印加して、対応する前記表示階調を表示させる工程と、所定の第1条件に基づき、前記第1期間より前の第3期間に前記自己発光素子にプリチャージ電流を印加する工程とをコンピュータに実行させるためのプログラム。

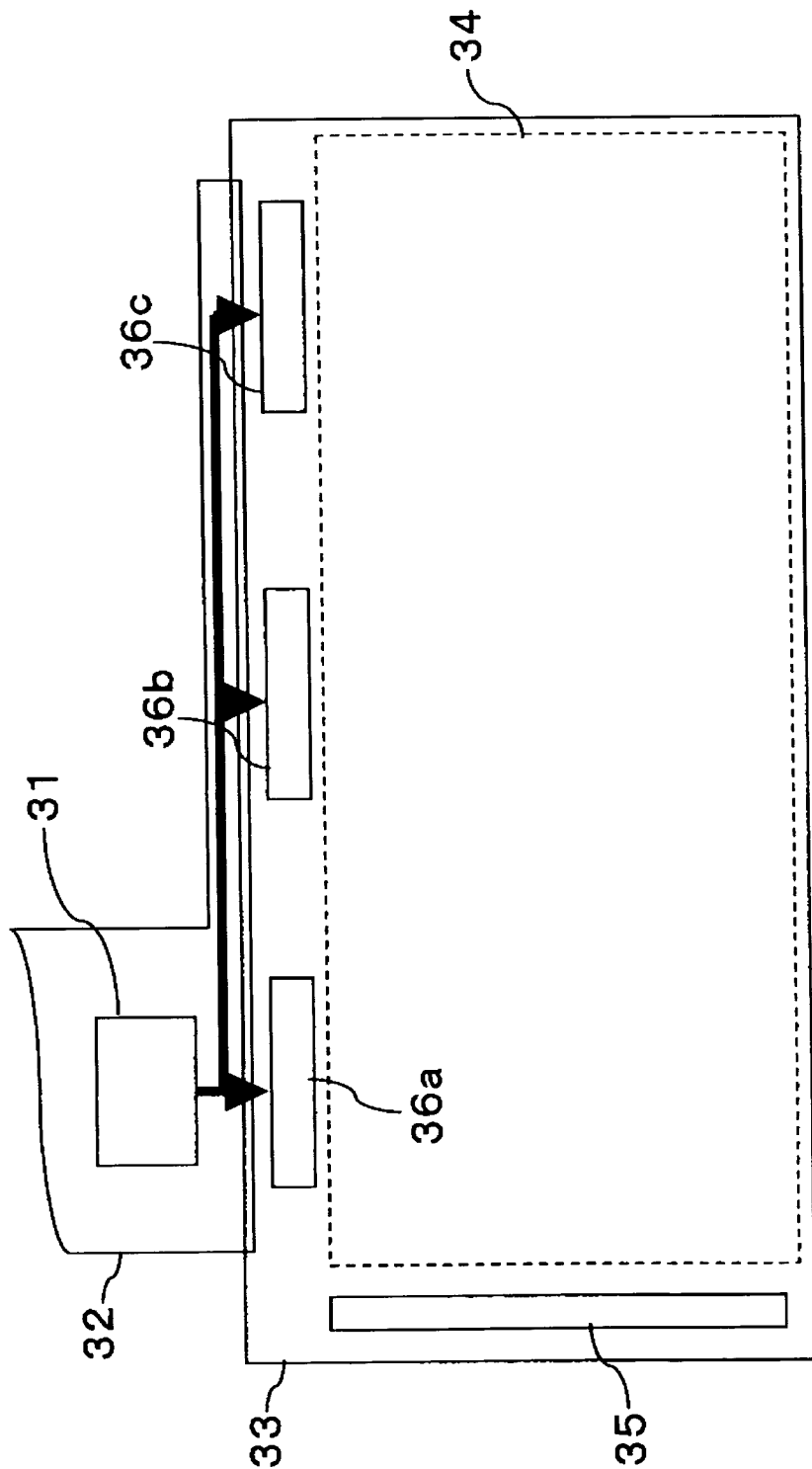
- [30] 請求の範囲第29項記載のプログラムを記録した記録媒体であって、コンピュータにより処理可能な記録媒体。



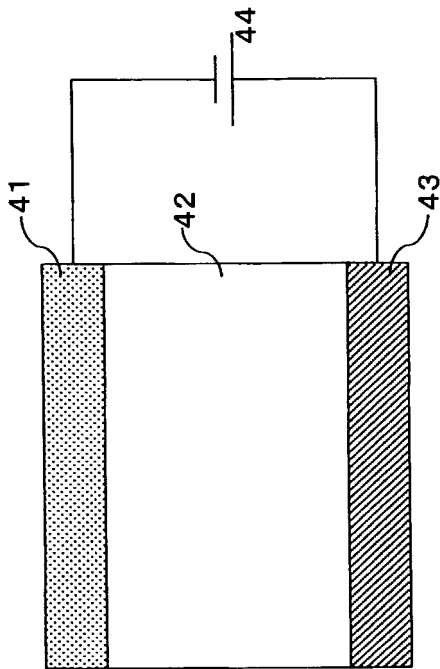
[図2]



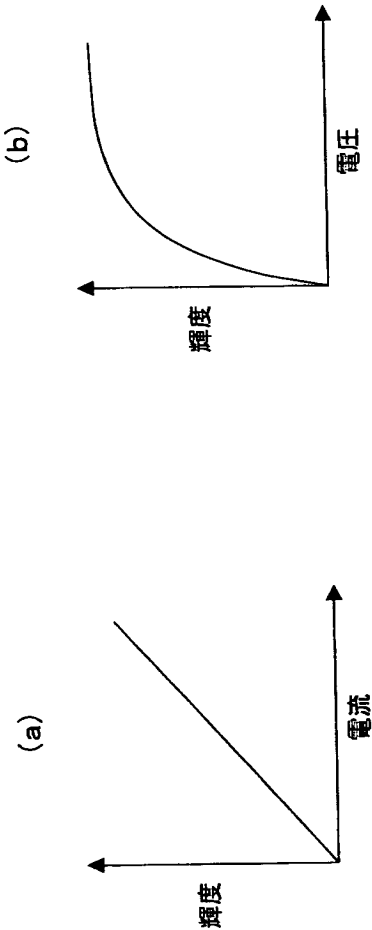
[図3]



[図4]



[図5]



[図6]

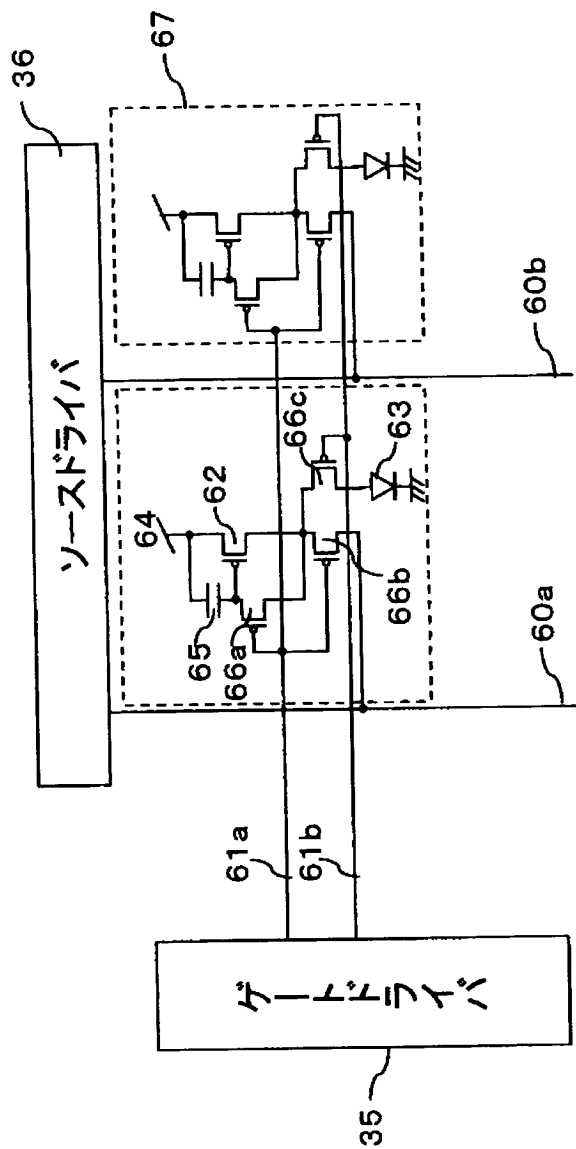


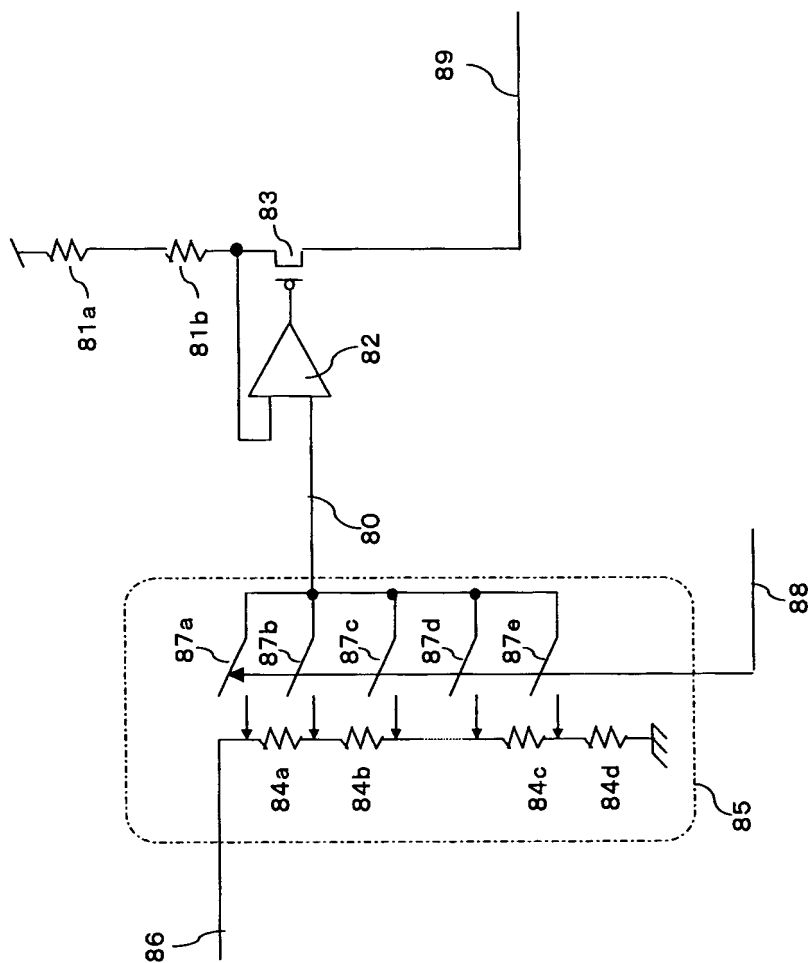
Figure 1 consists of two circuit diagrams, (a) and (b), showing a semiconductor device. Both diagrams include a PMOS transistor 62, a capacitor 65, and a diode 63. The diagrams are labeled with various components and nodes.

(a) First embodiment: The circuit includes a PMOS transistor 62 with its gate connected to a node 67 (labeled  $V_{DD}$ ). The source of transistor 62 is connected to a node 61a. The drain of transistor 62 is connected to a node 61b. A capacitor 65 is connected between node 61a and a node 72. A diode 63 is connected between node 61b and a node 66c. A node 60 is shown at the bottom. A dashed line 71 is also present.

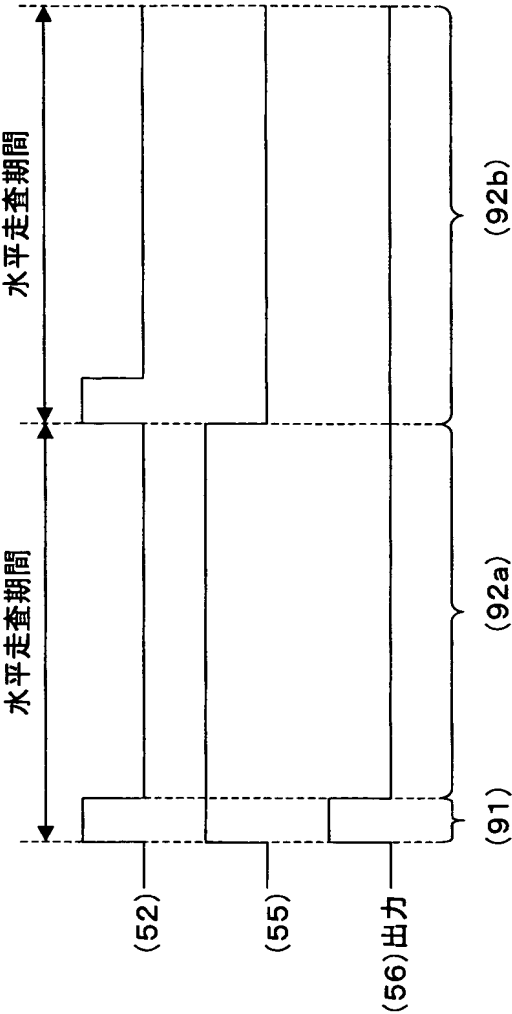
(b) Second embodiment: The circuit includes a PMOS transistor 62 with its gate connected to a node 67 (labeled  $V_{DD}$ ). The source of transistor 62 is connected to a node 61a. The drain of transistor 62 is connected to a node 61b. A capacitor 65 is connected between node 61a and a node 72. A diode 63 is connected between node 61b and a node 66c. A node 60 is shown at the bottom. A dashed line 73 is also present.



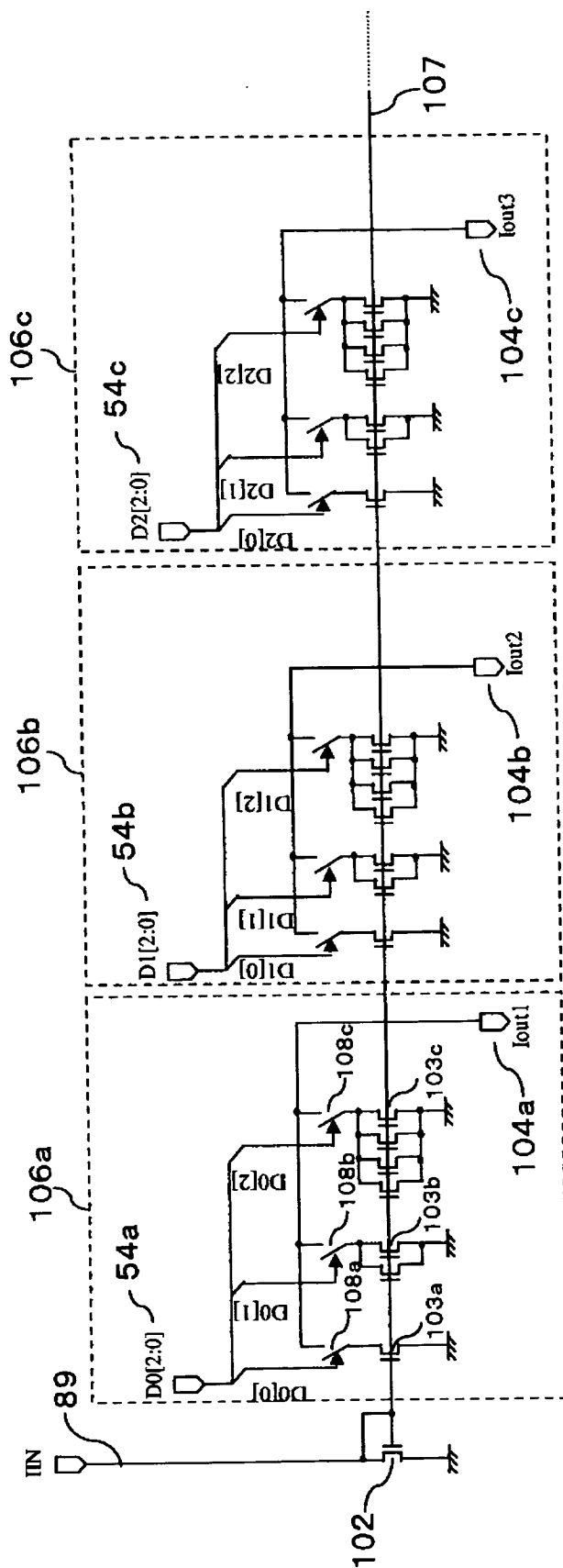
[図8]



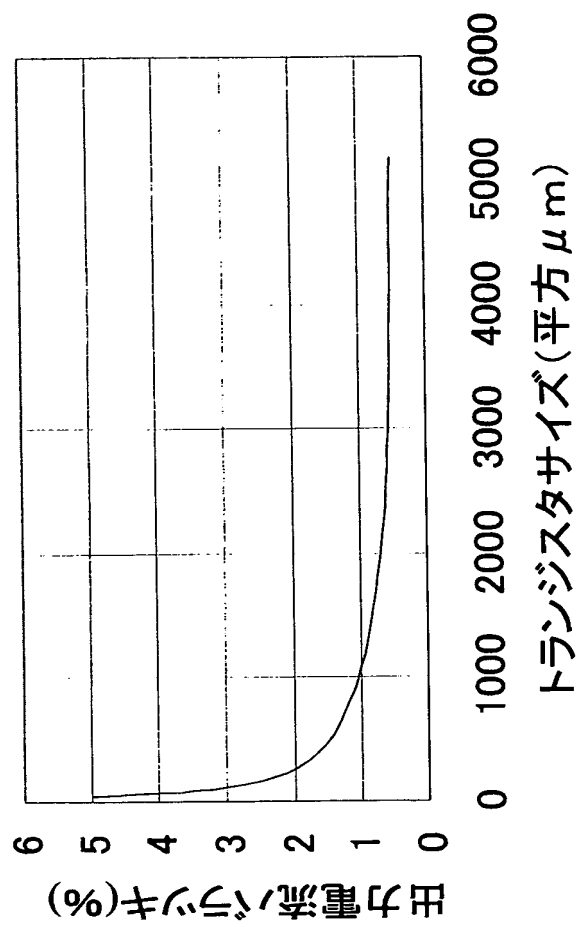
[図9]



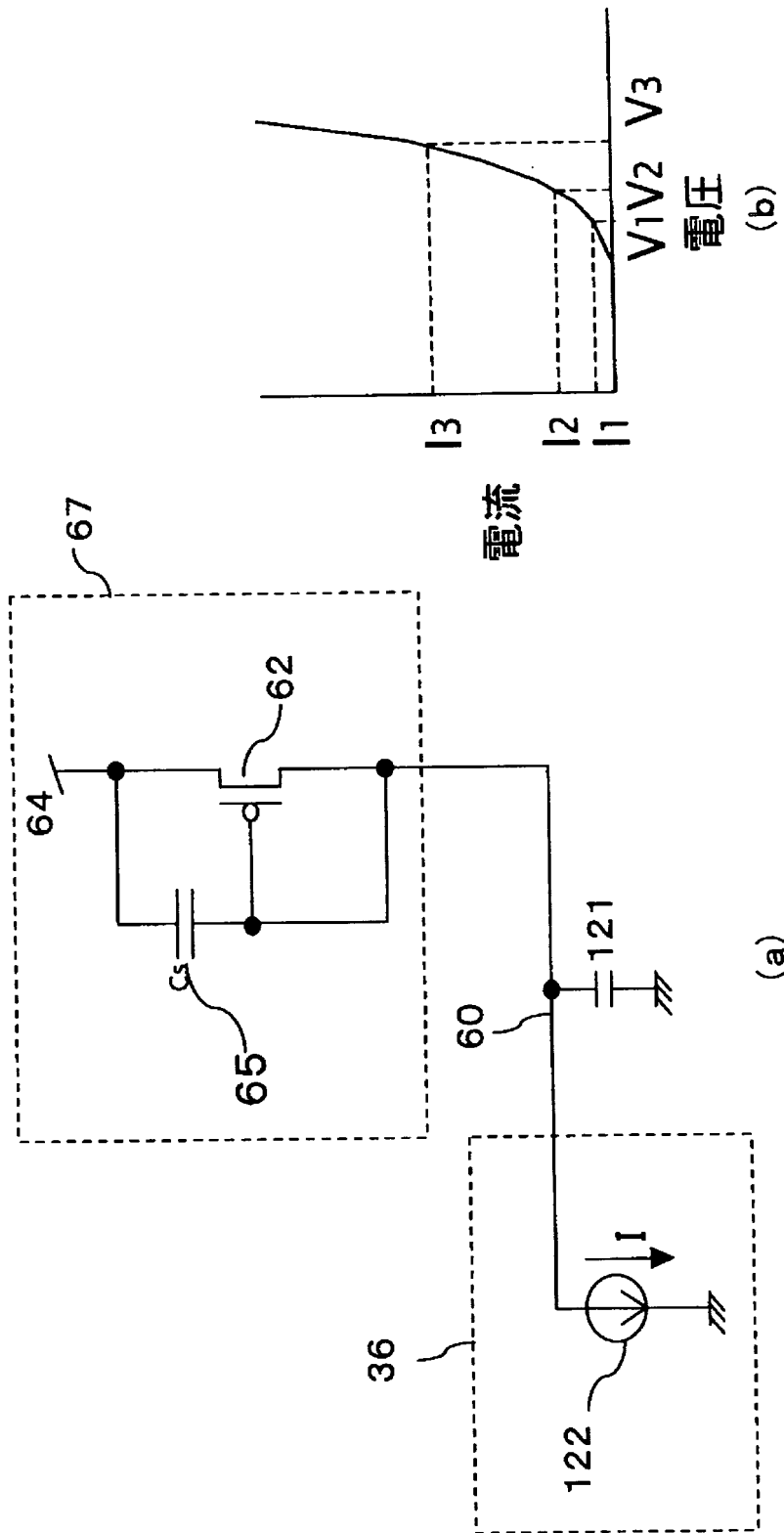
[図10]



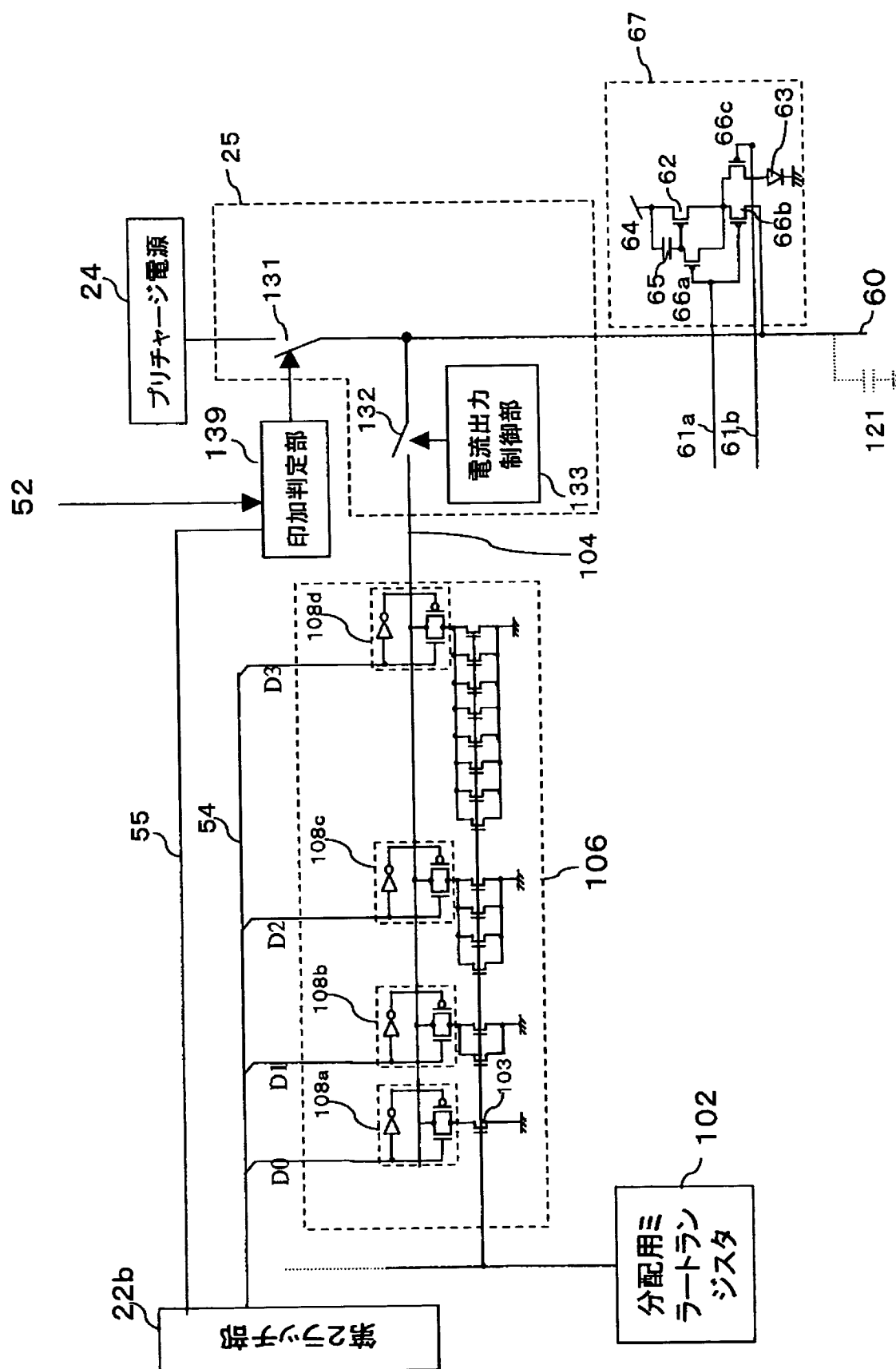
[図11]



[図12]



[図13]



[図14]

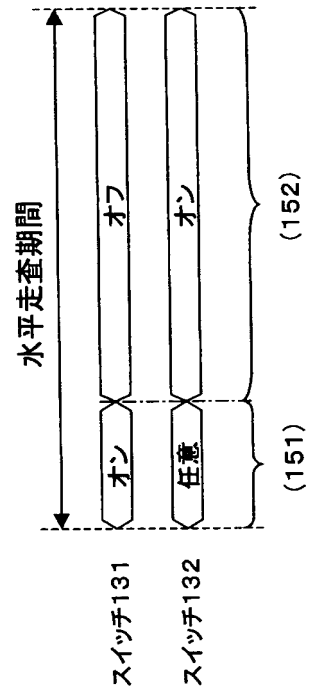
階調	トランジスタ群	トランジスタ群の特性		
		チャネル幅[ $\mu\text{m}$ ]	チャネル長[ $\mu\text{m}$ ]	出力電流ばらつき[%]
1	241a	1.5	27	5.0
2	241b			3.5
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

(b)

階調	トランジスタ群	トランジスタ群の特性		
		チャネル幅[ $\mu\text{m}$ ]	チャネル長[ $\mu\text{m}$ ]	出力電流ばらつき[%]
1	241a	3.0	54	2.5
2	241b			1.8
4	242a	6.0	27	2.5
8	242b			1.8
16	242c			1.3
32	242d			0.9
64	242e			0.6
128	242f			0.5

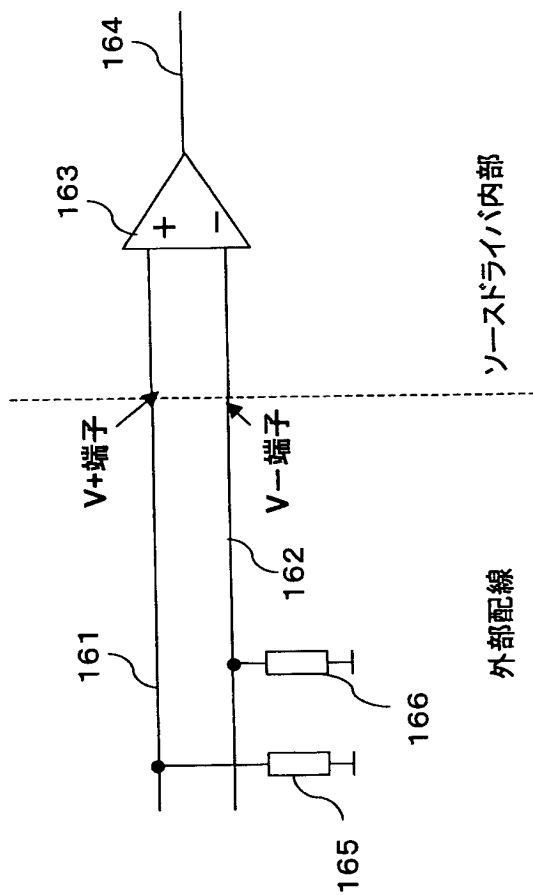
(a)

[図15]

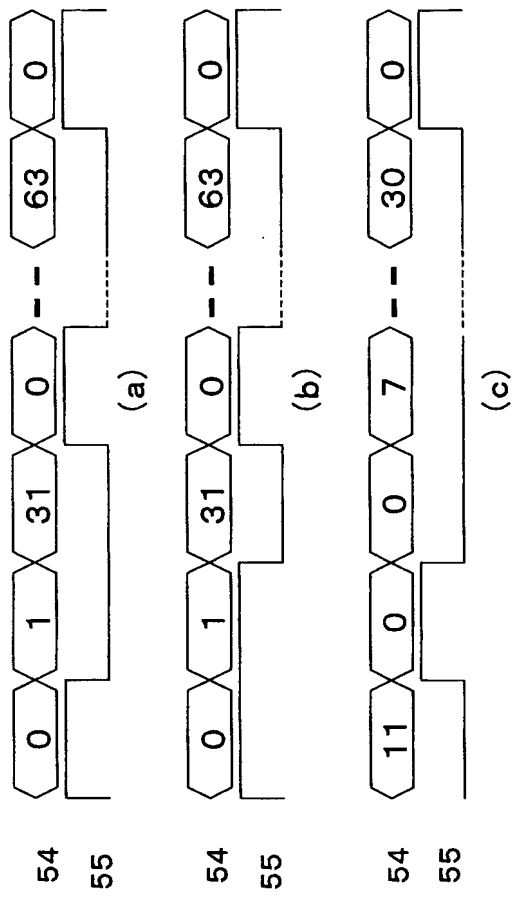




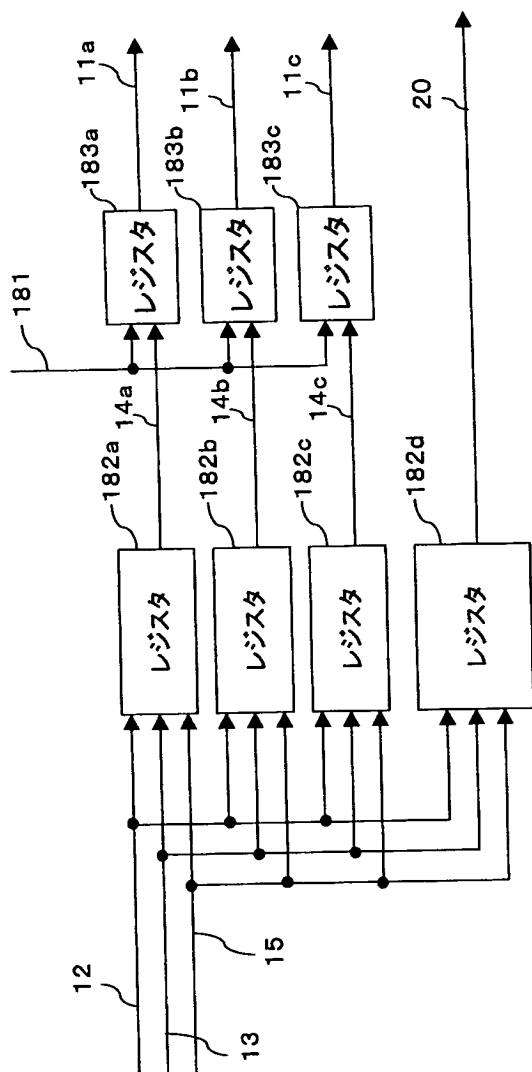
[図16]



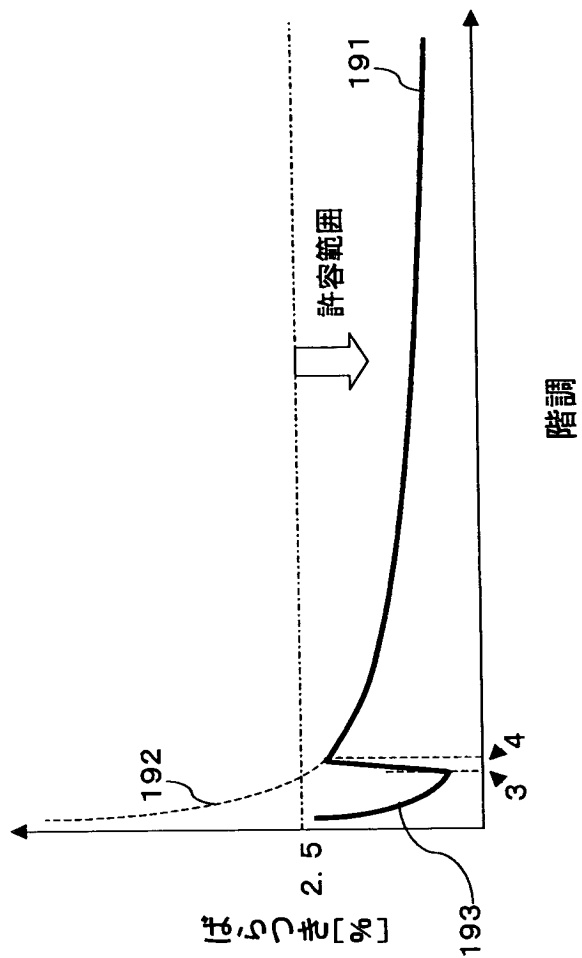
[図17]



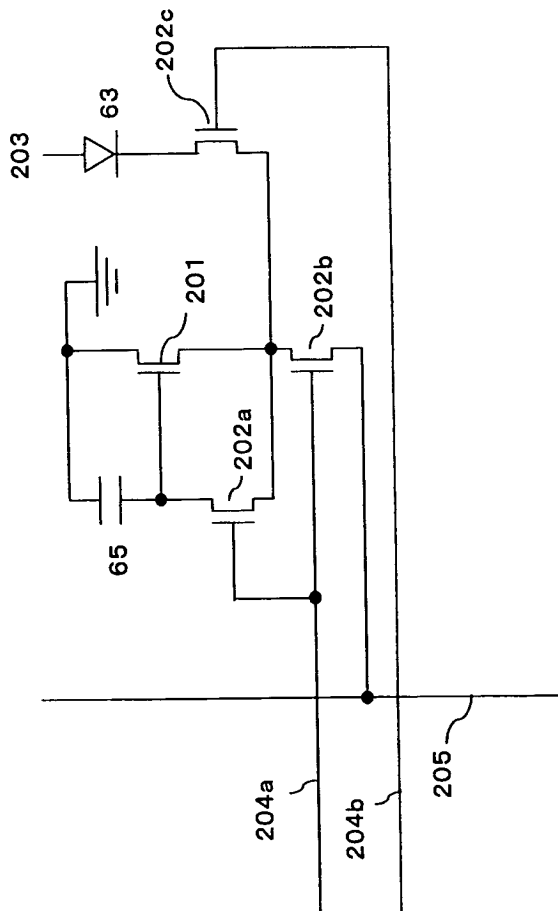
[図18]



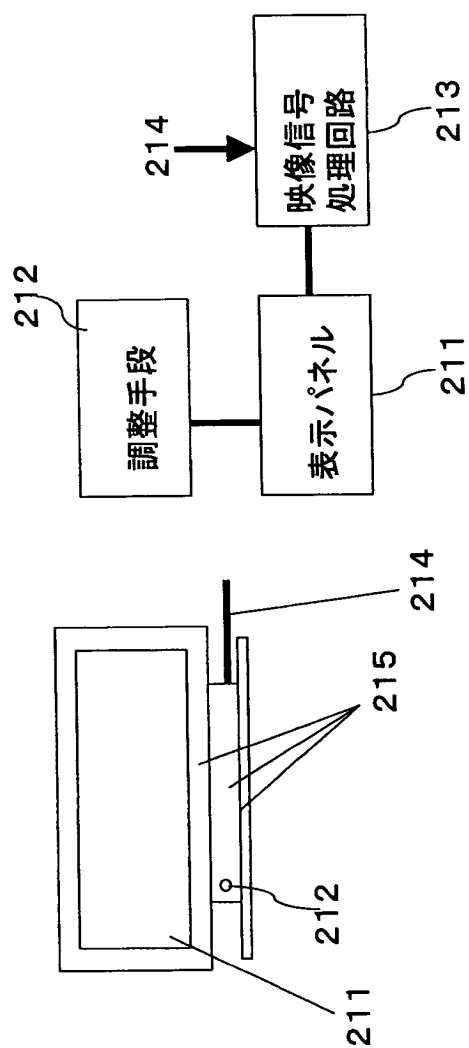
[図19]



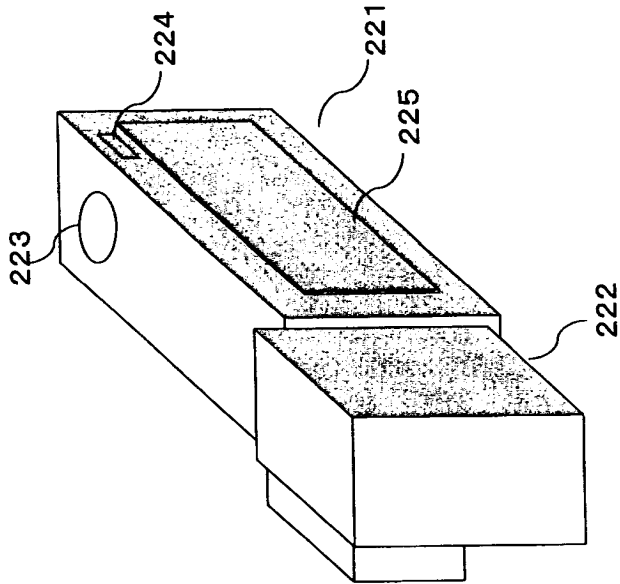
[図20]



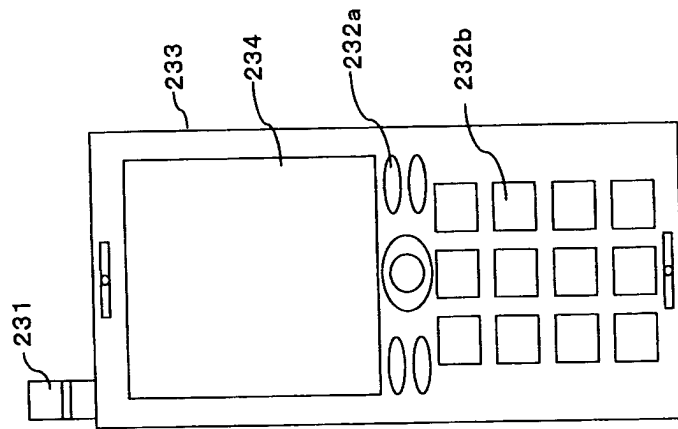
[図21]



[図22]

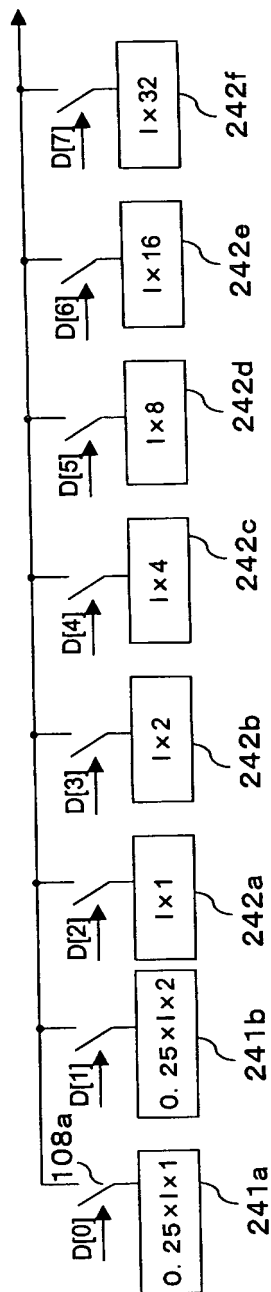


[図23]

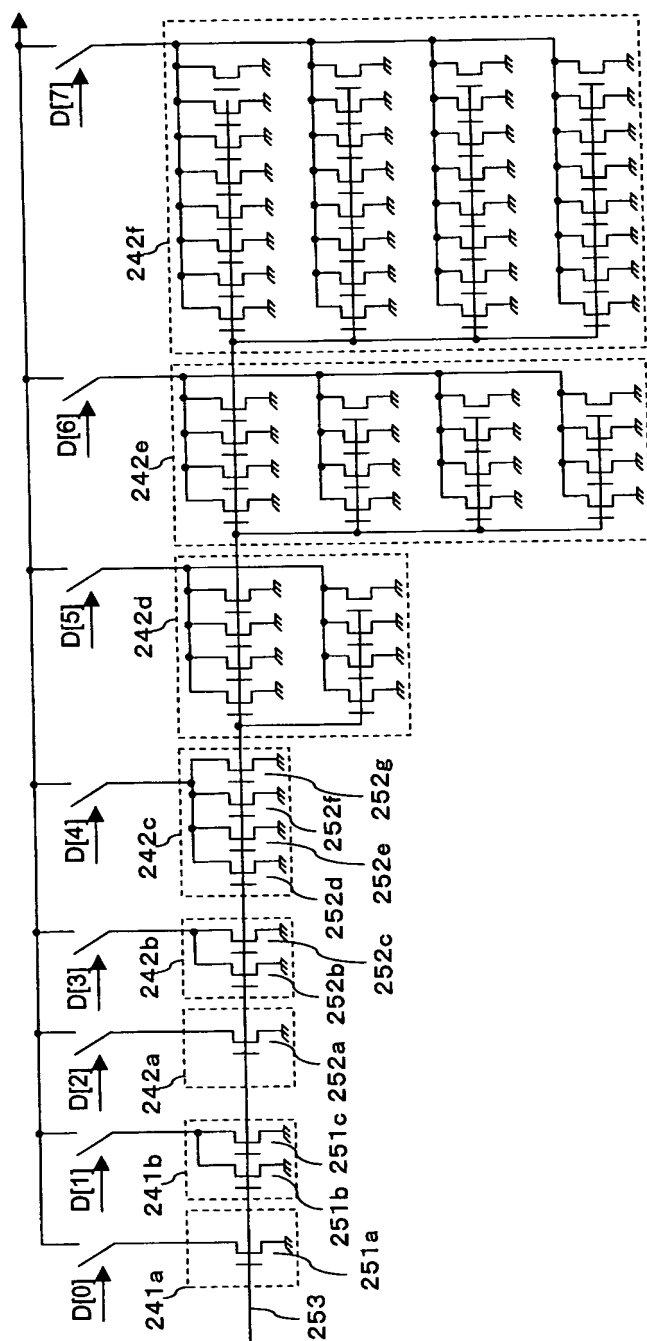




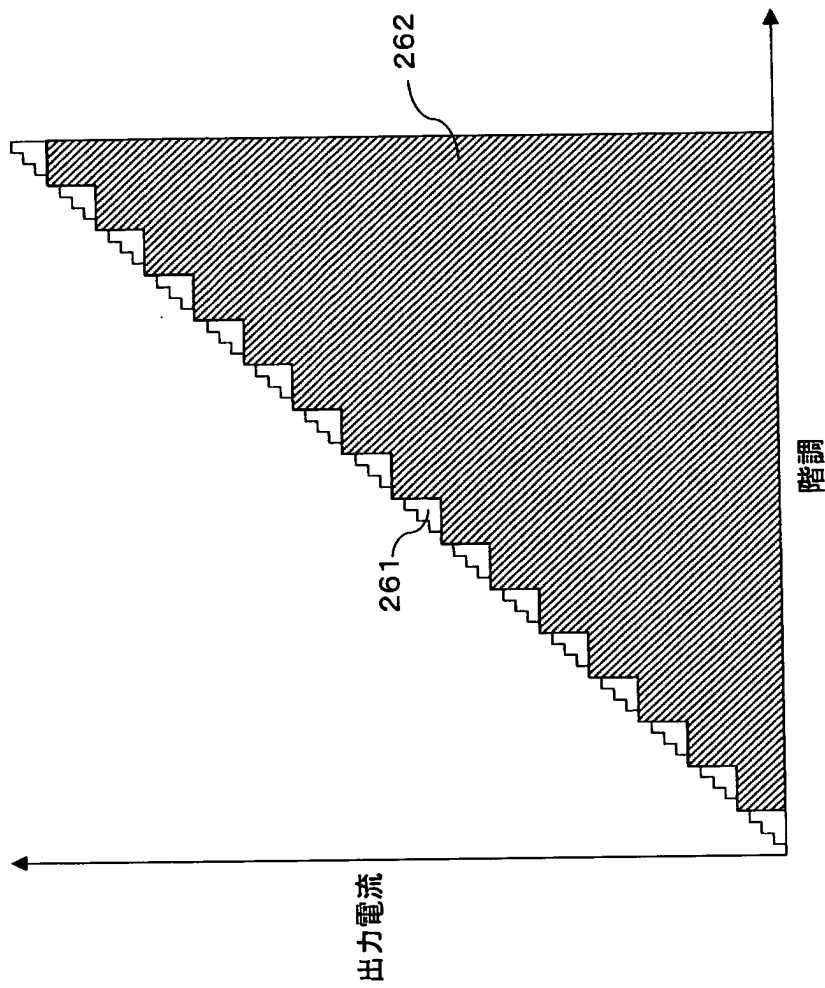
[図24]



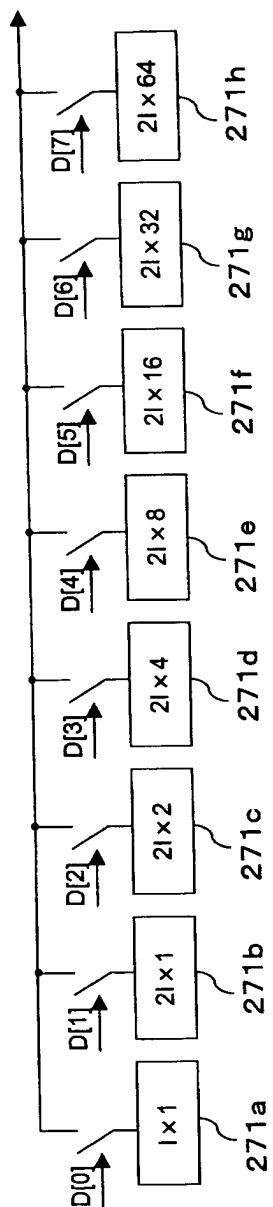
[図25]



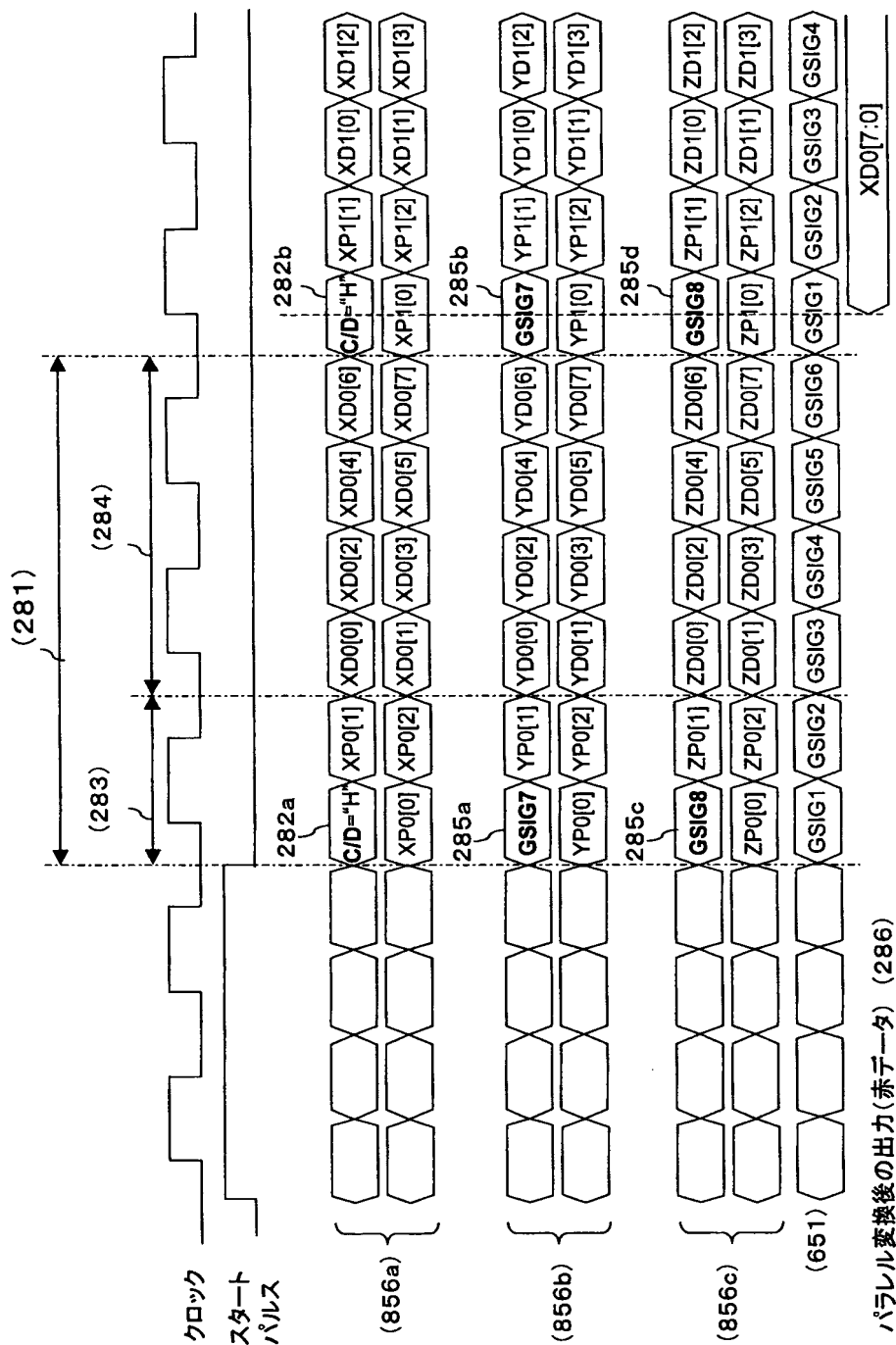
[図26]



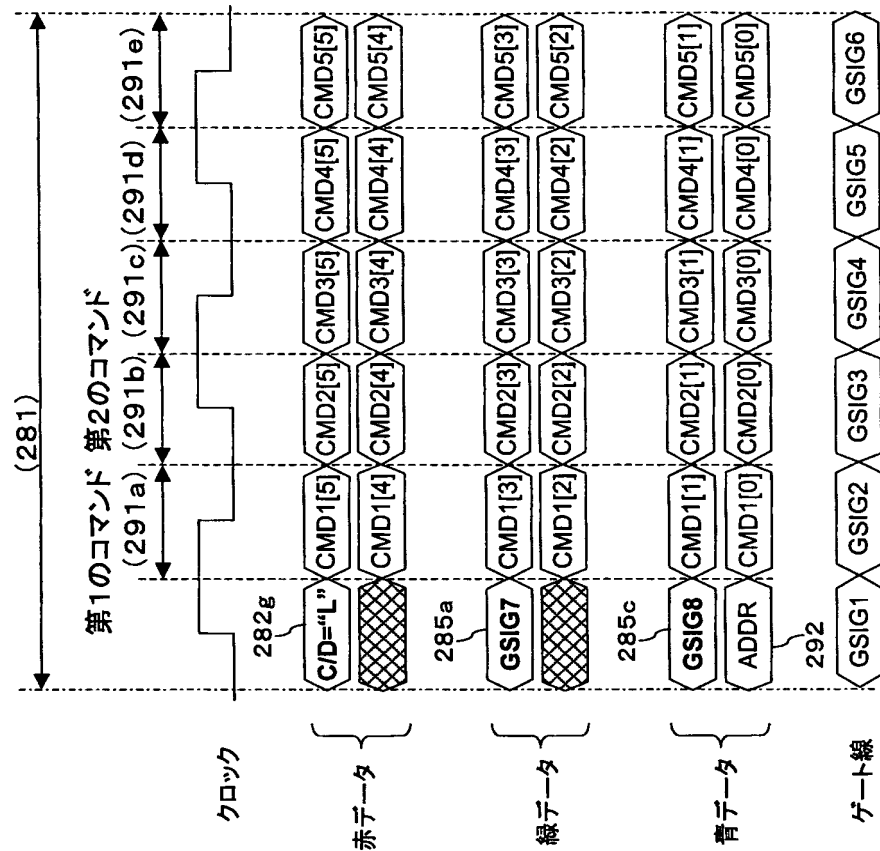
[図27]



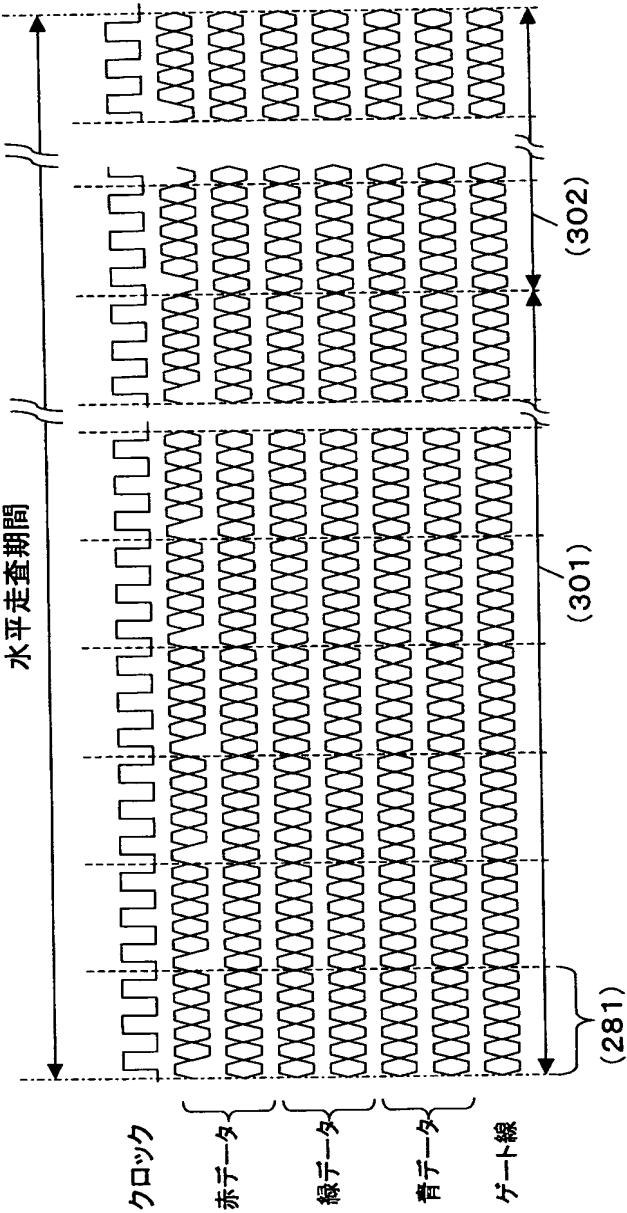
[図28]



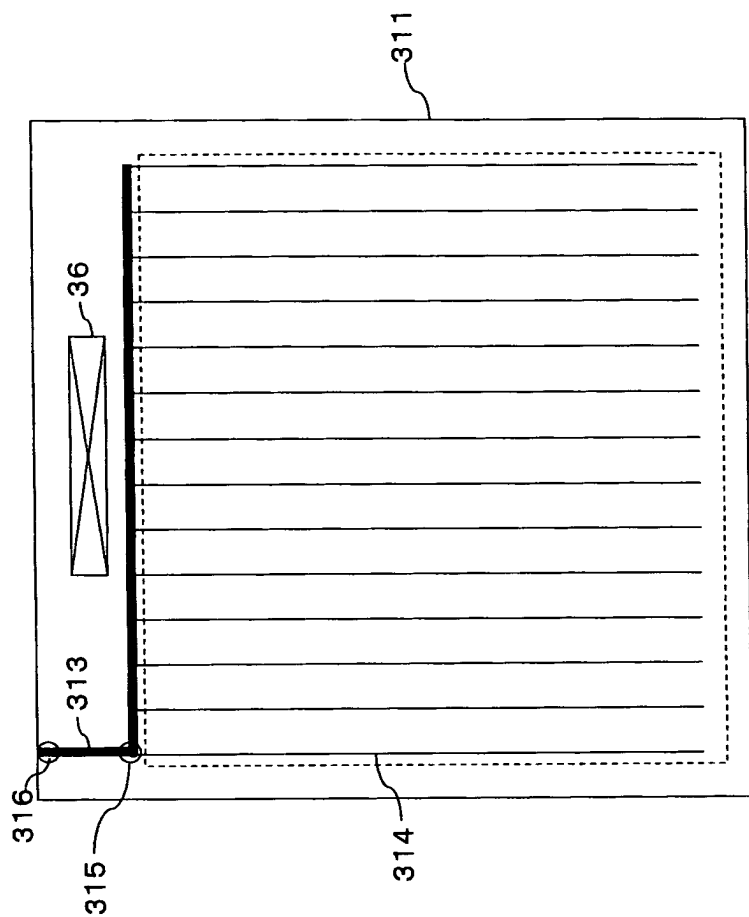
[図29]



[図30]

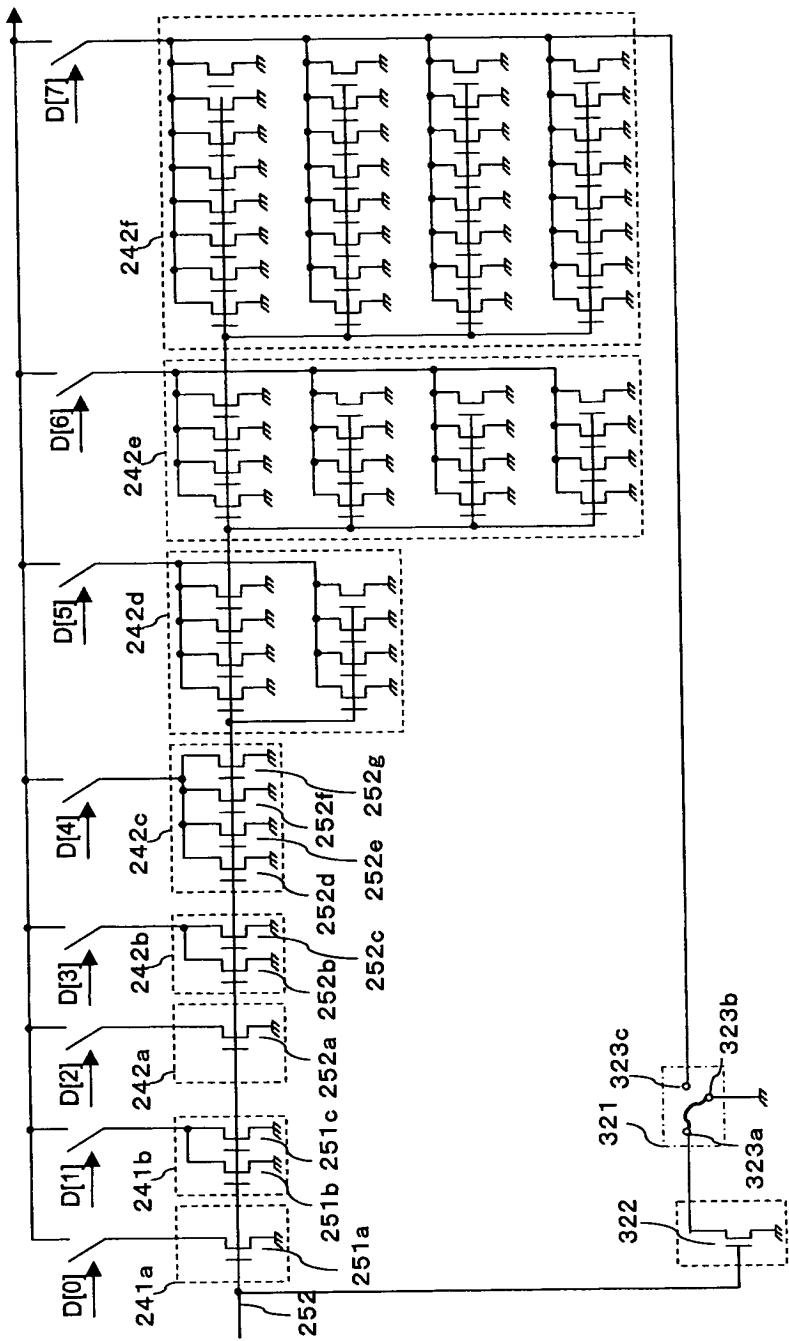


[図31]

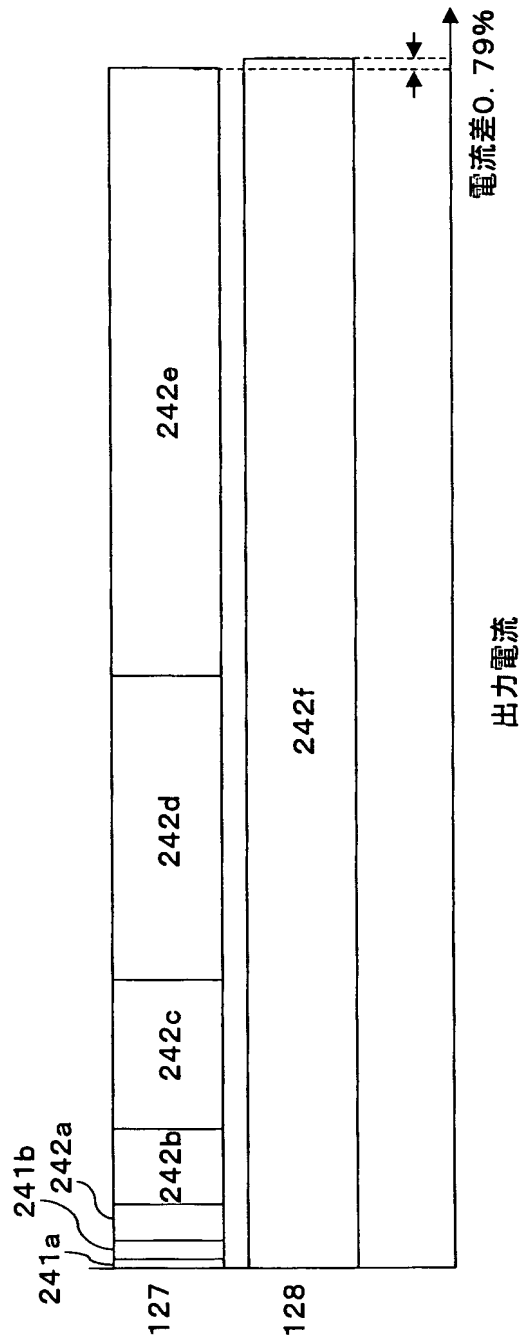




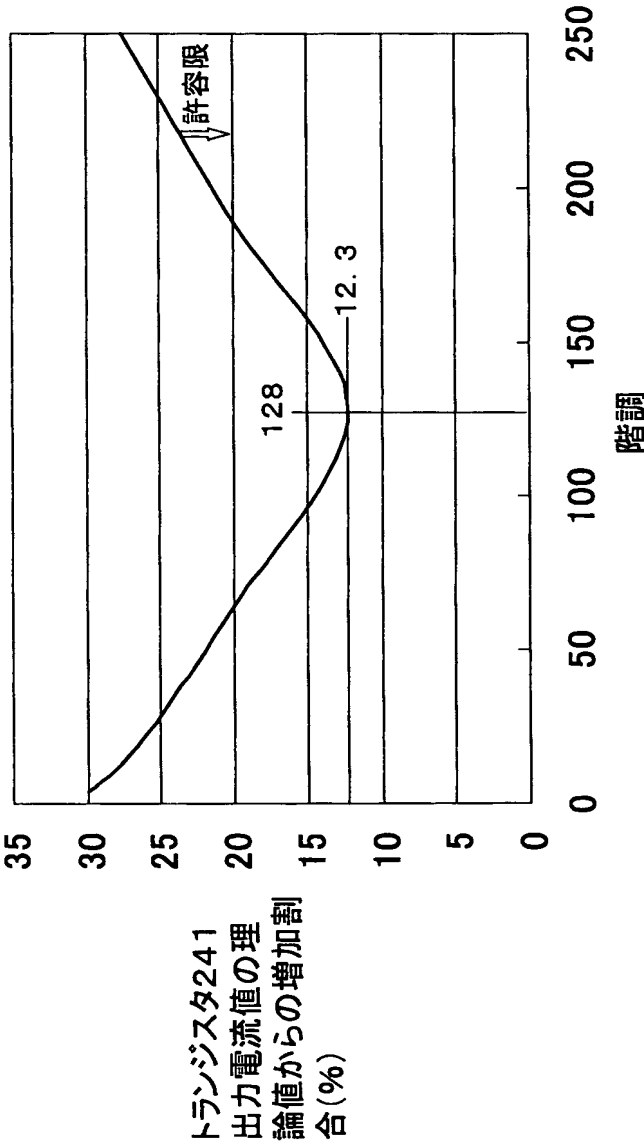
[図32]



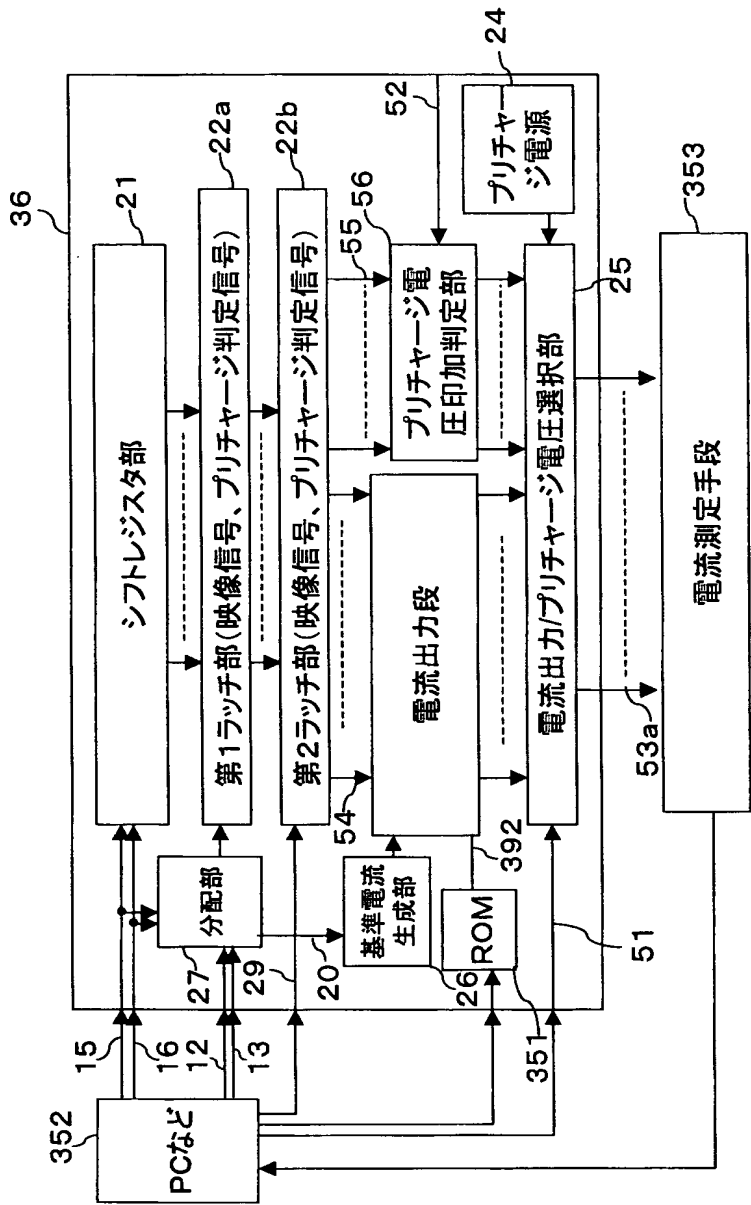
[図33]



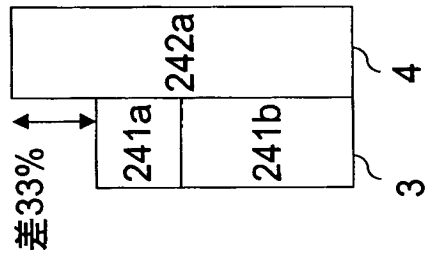
[図34]



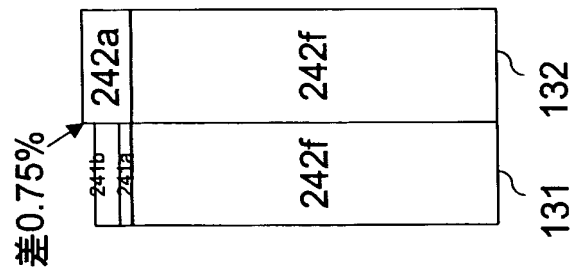
[図35]



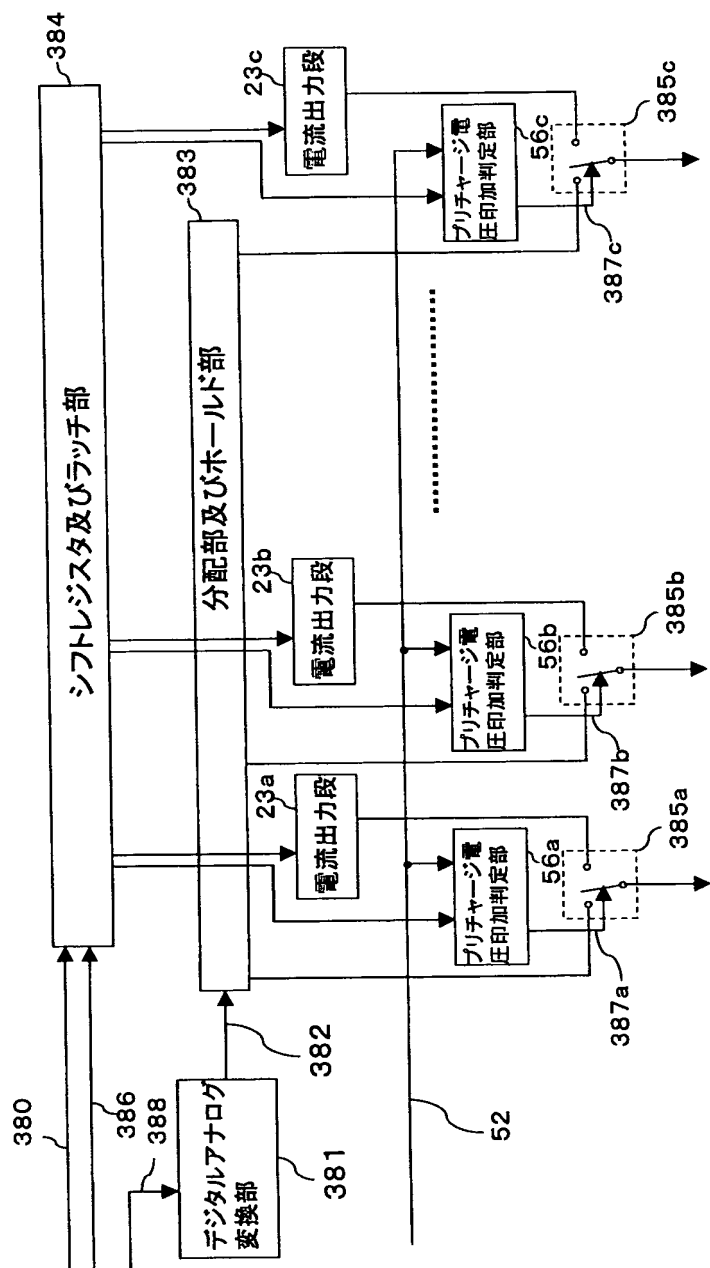
[図36]



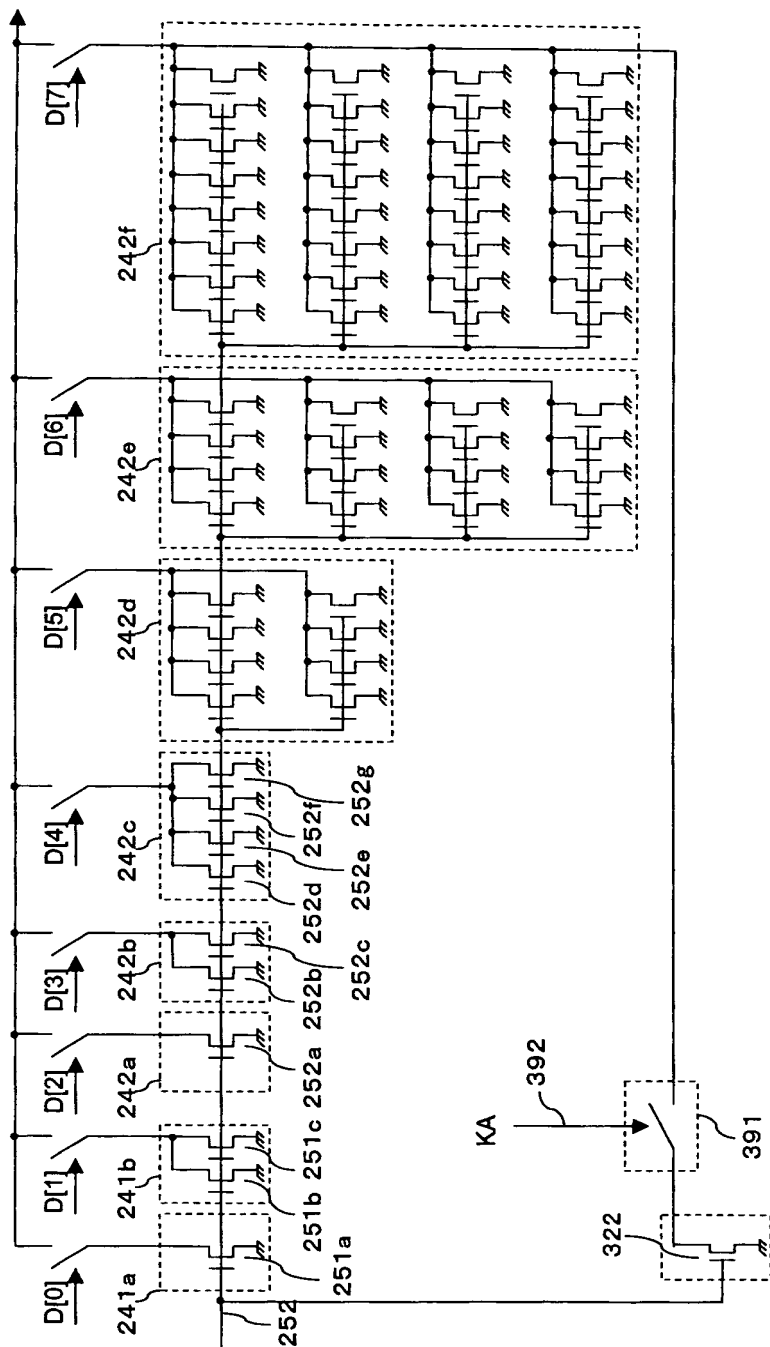
[図37]



[図38]

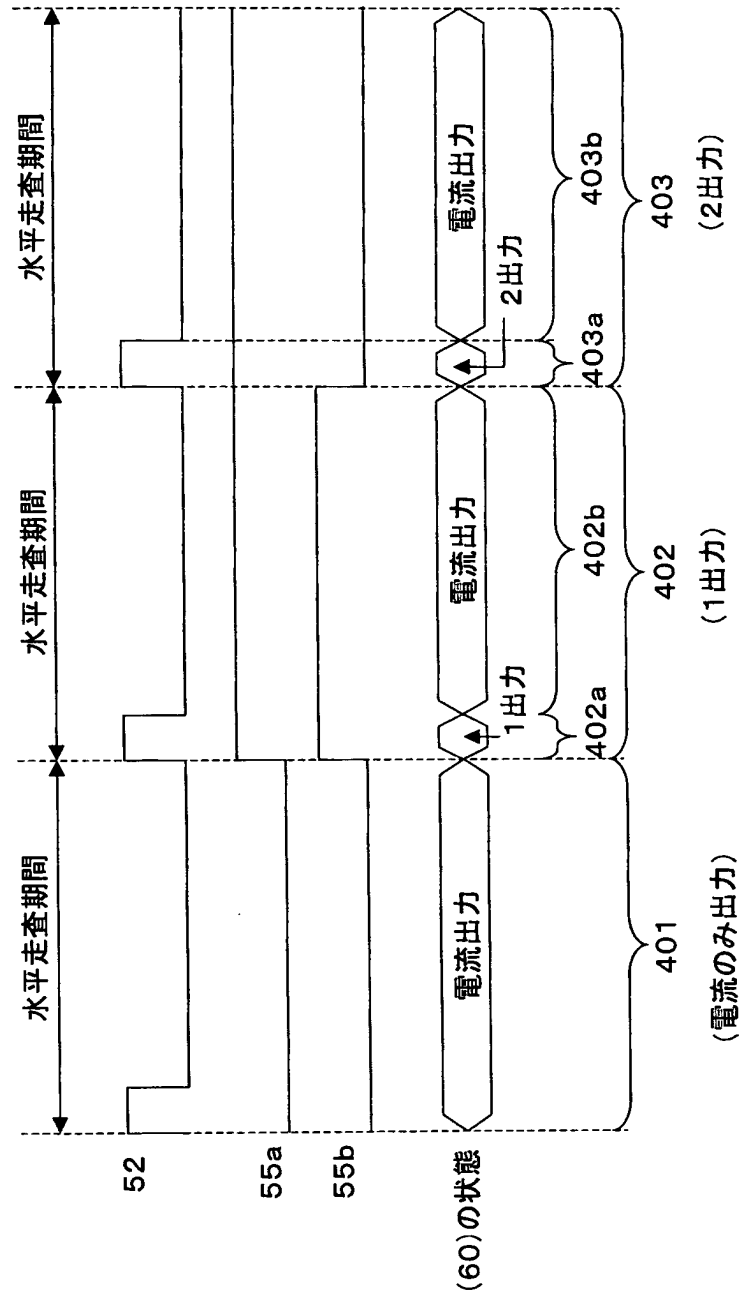


[図39]

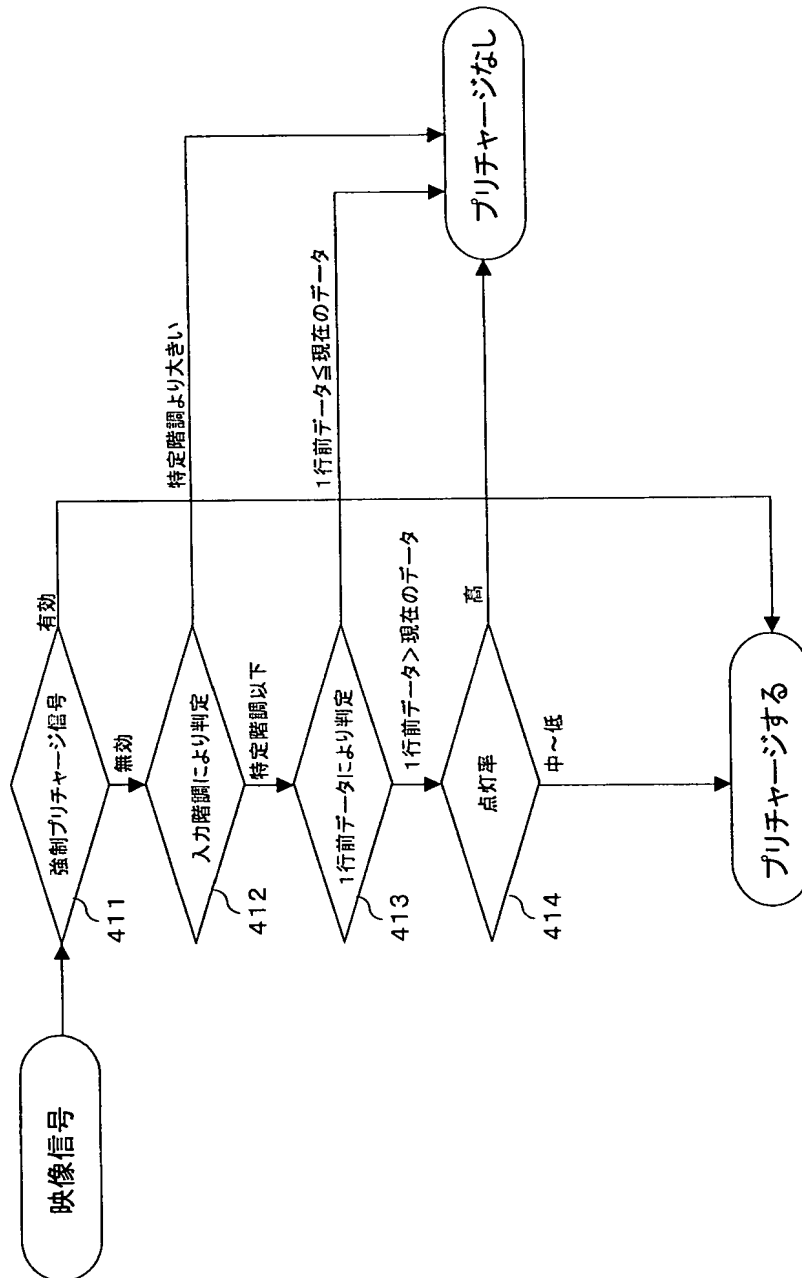




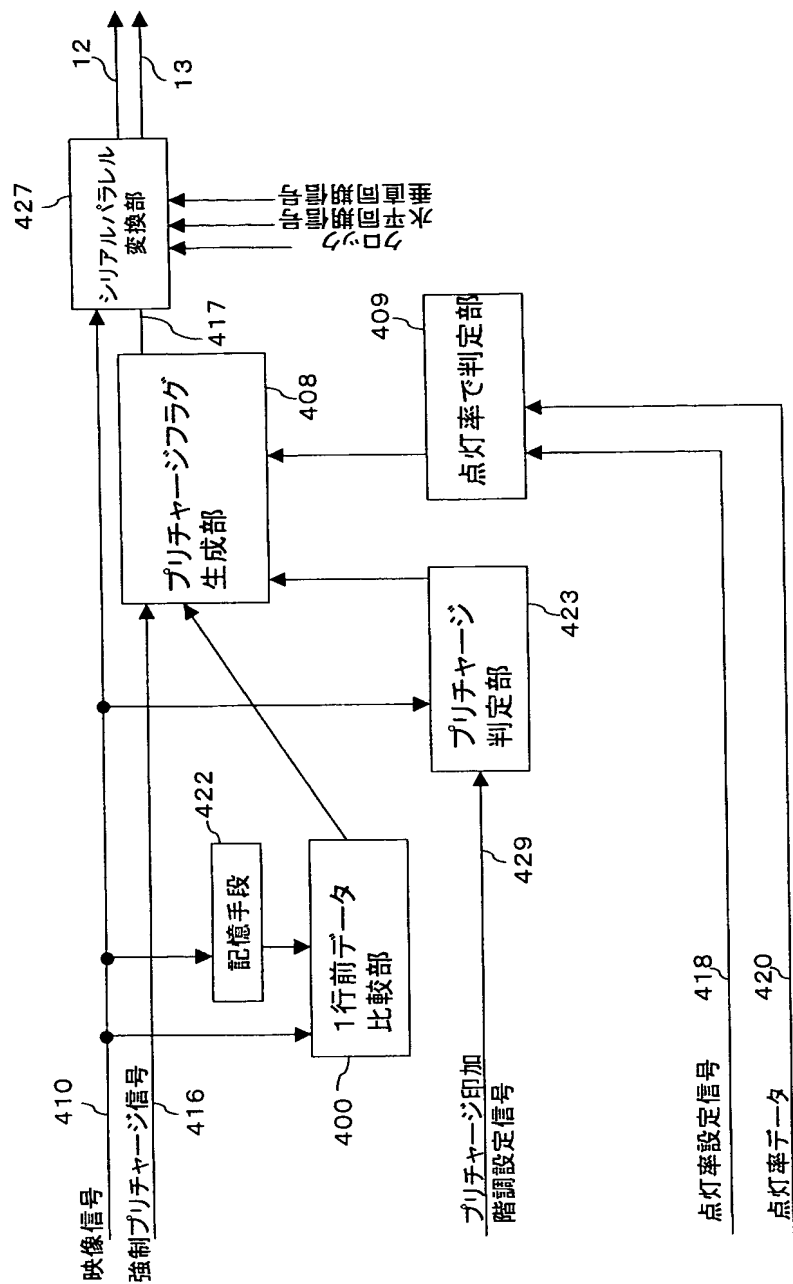
[図40]



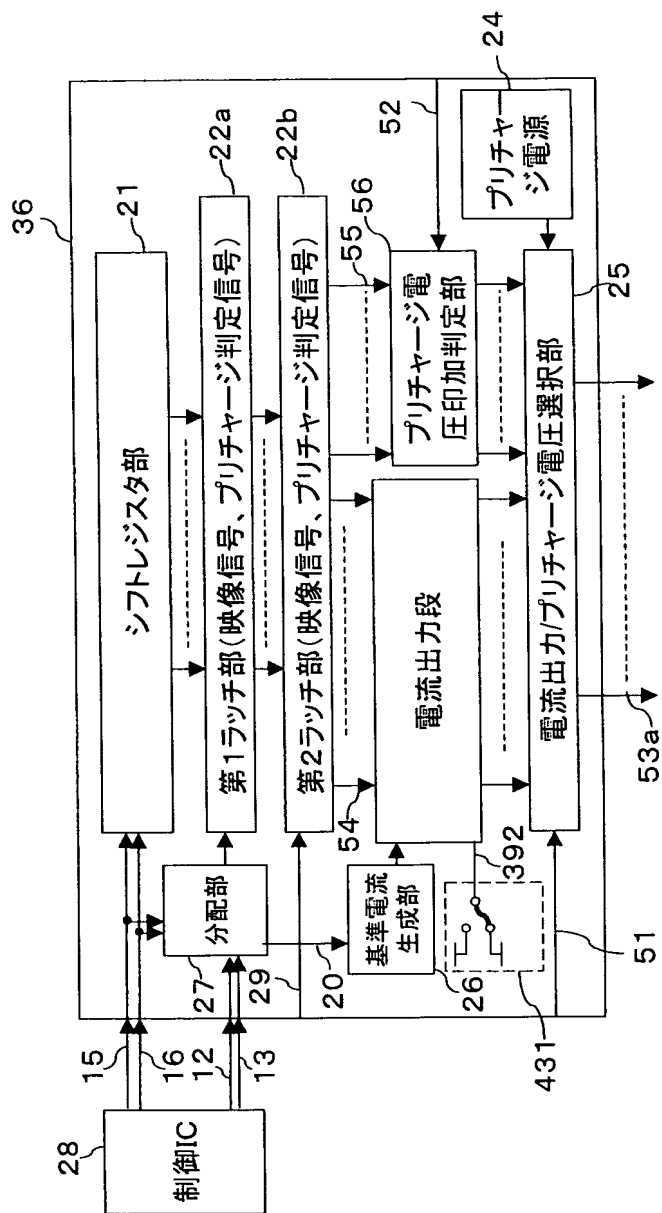
[図41]



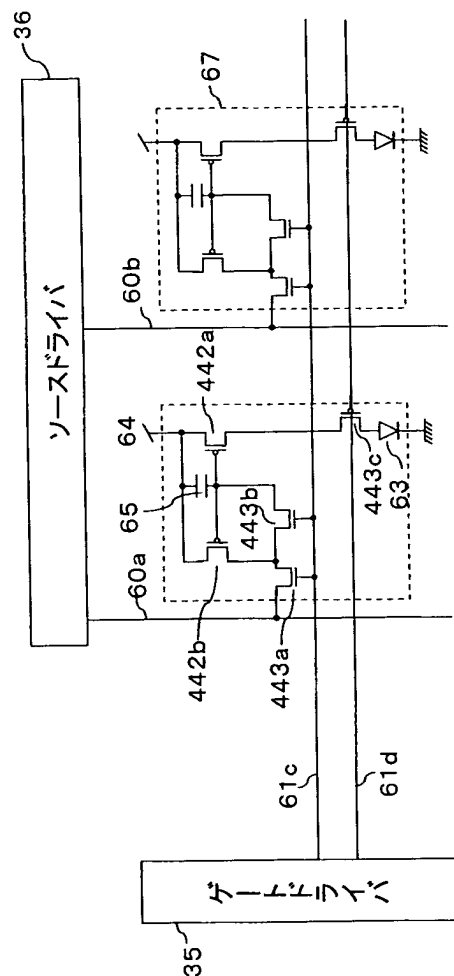
[図42]



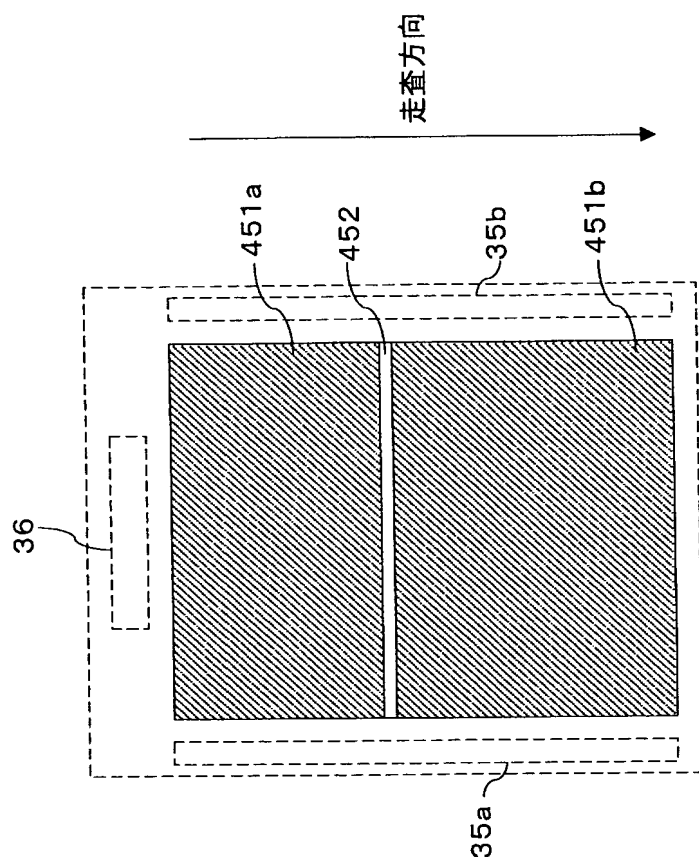
[図43]



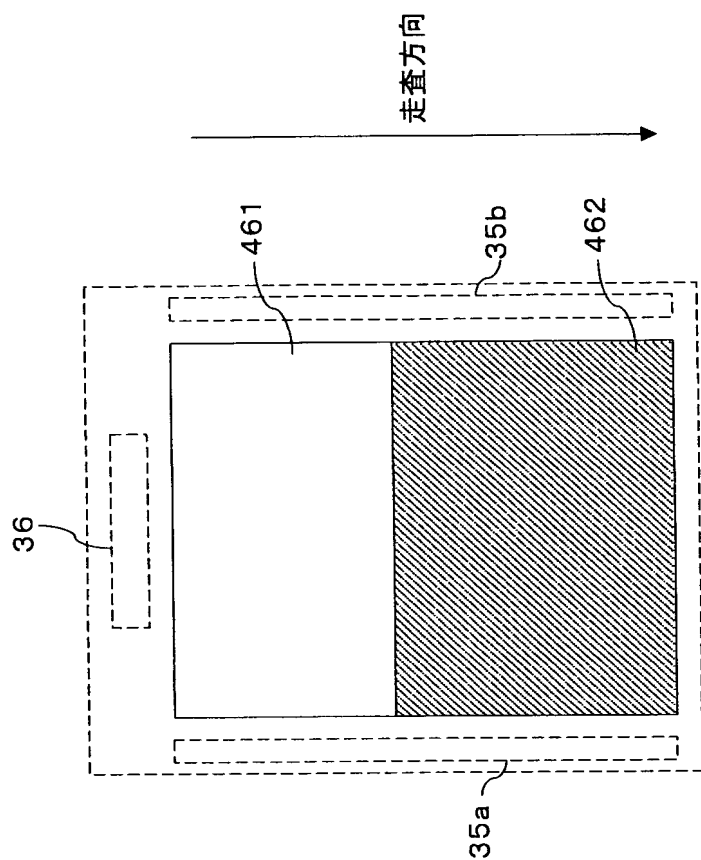
[図44]



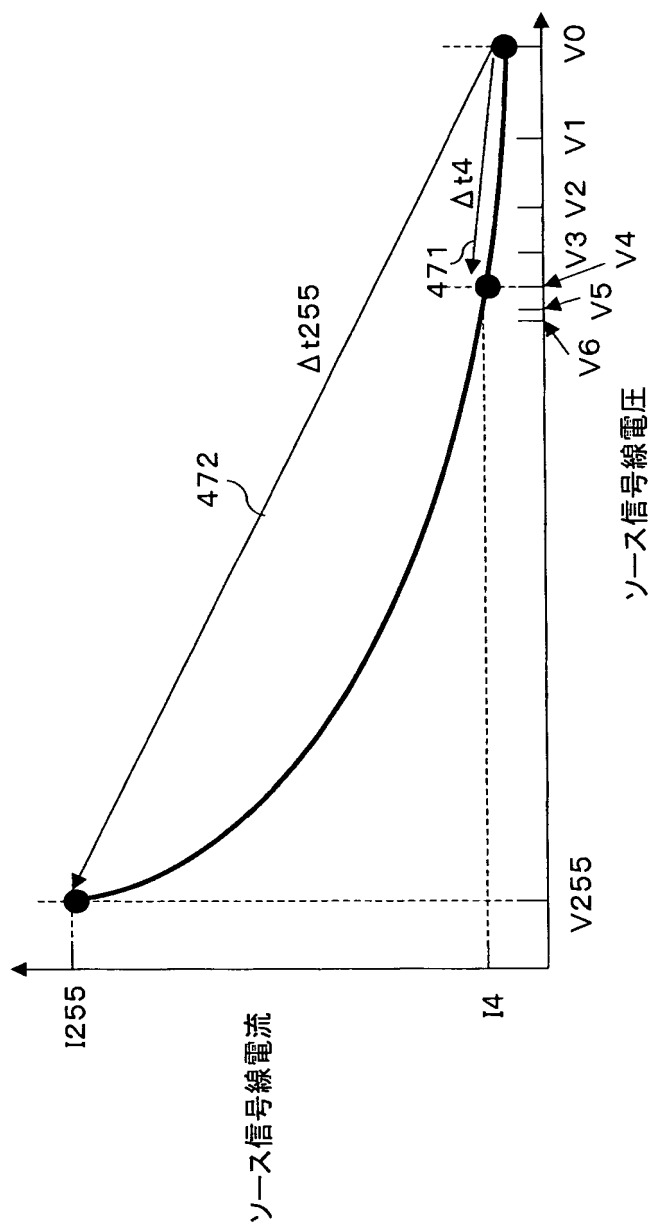
[図45]



[図46]

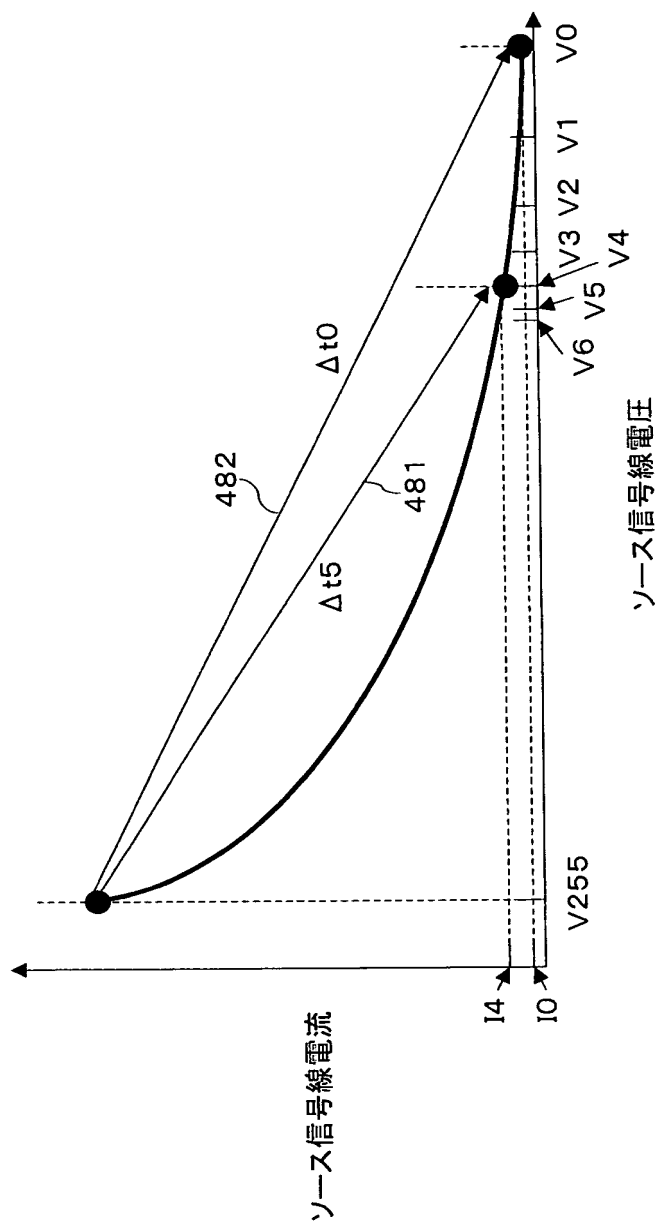


[図47]

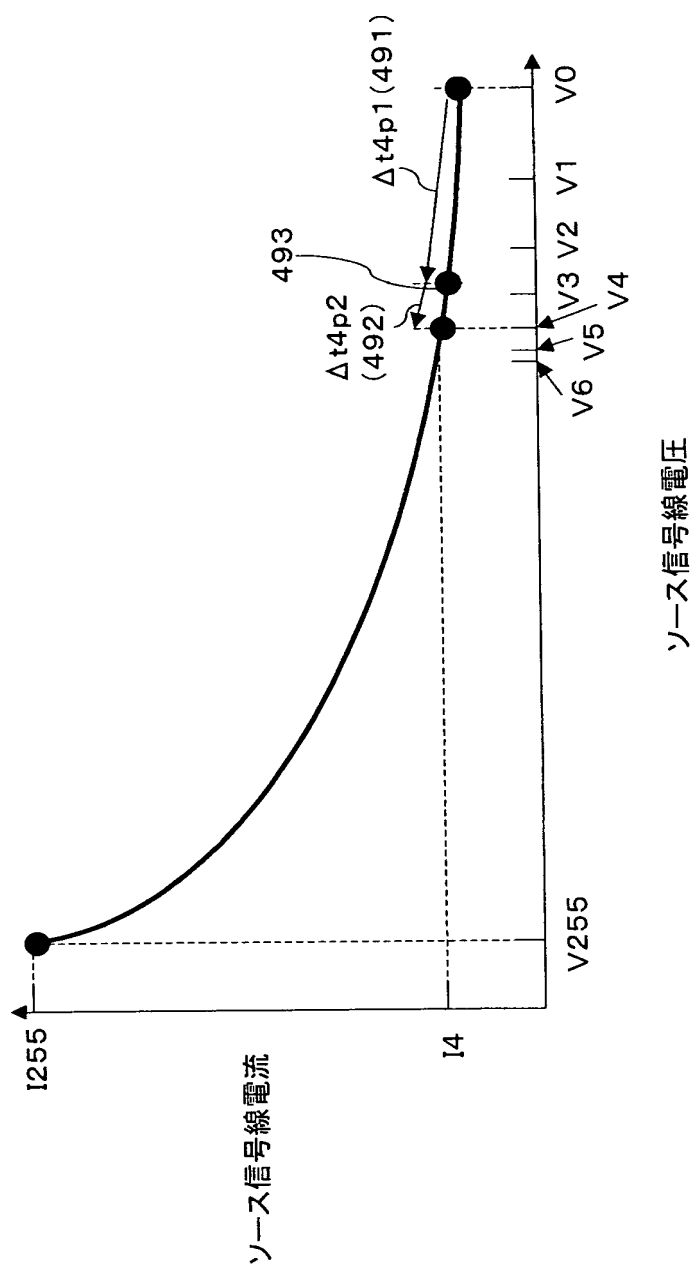




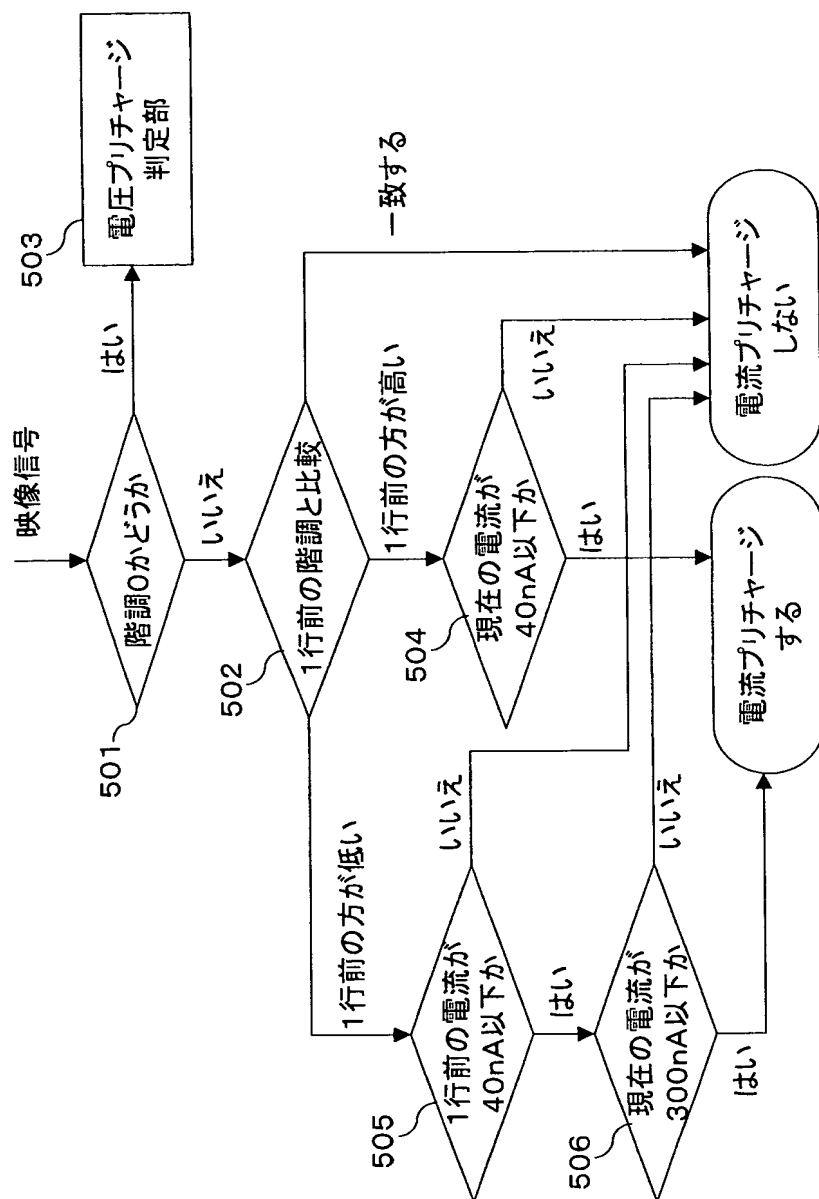
[図48]



[図49]



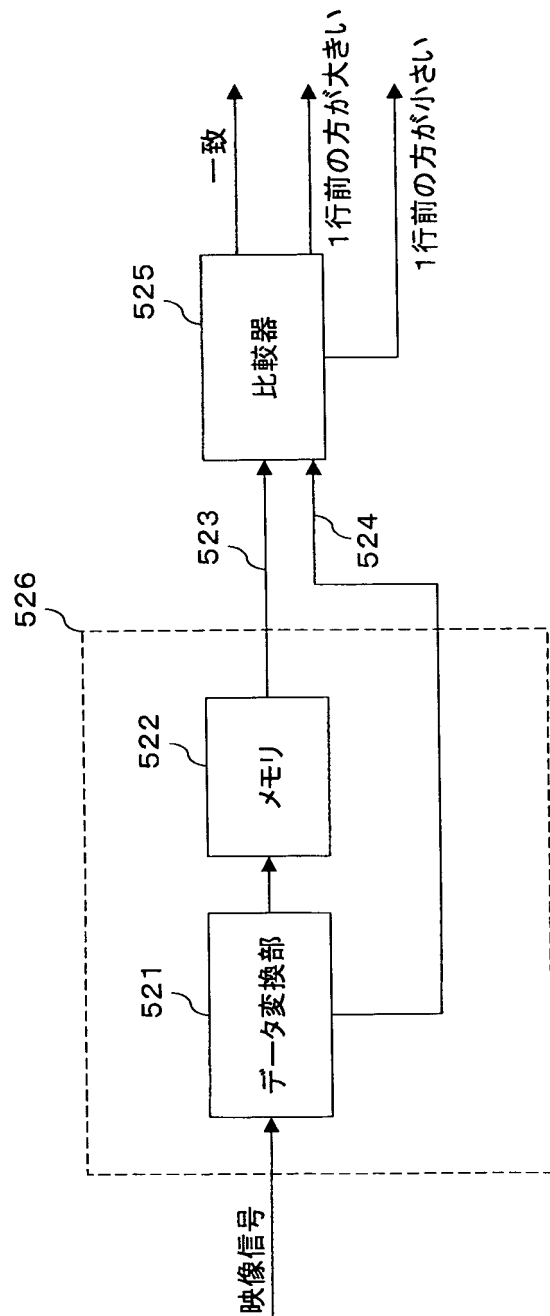
[図50]



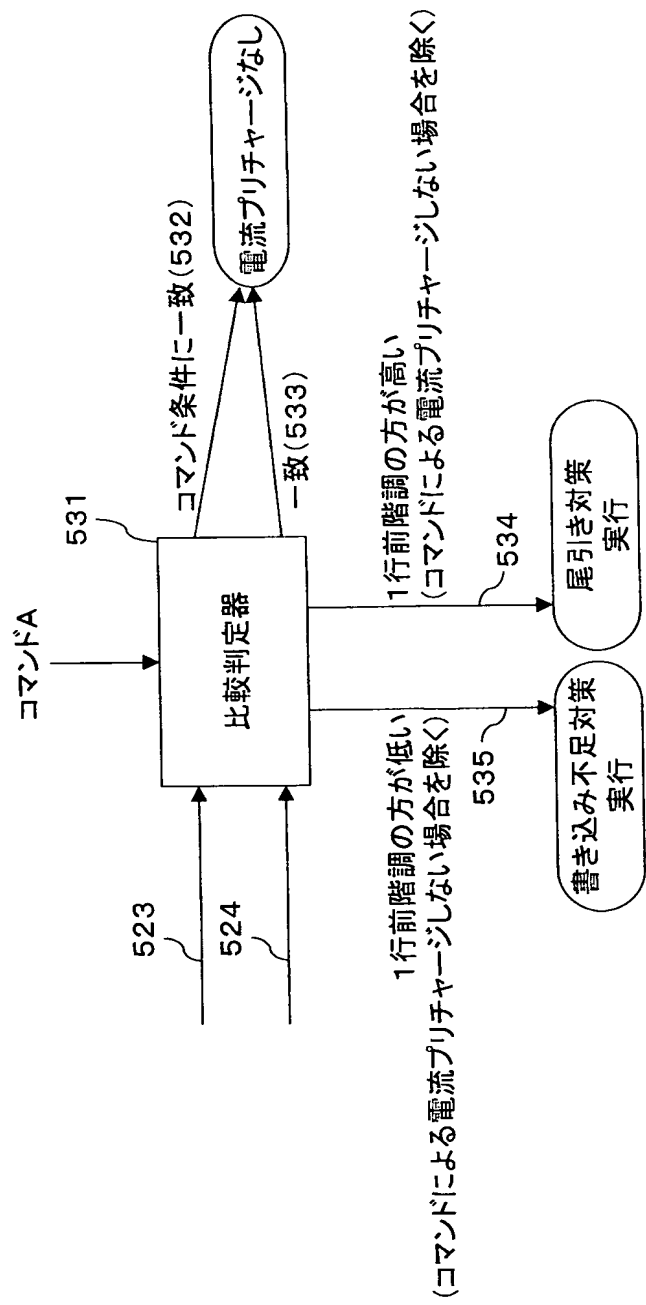
[図51]

映像信号の階調	メモリに書き込むデータ
0	0
1	1
2	2
3	3
4	4
5	5
6	6
7	7
8	8
9	9
10	10
11	11
12	12
13	13
14	14
15	15
16以上	15

[図52]



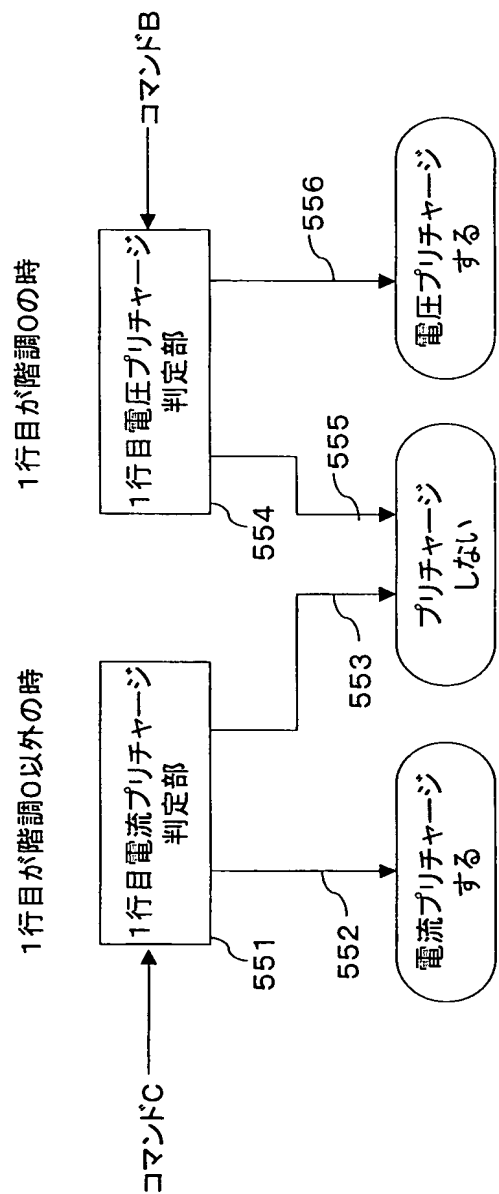
[図53]



[図54]

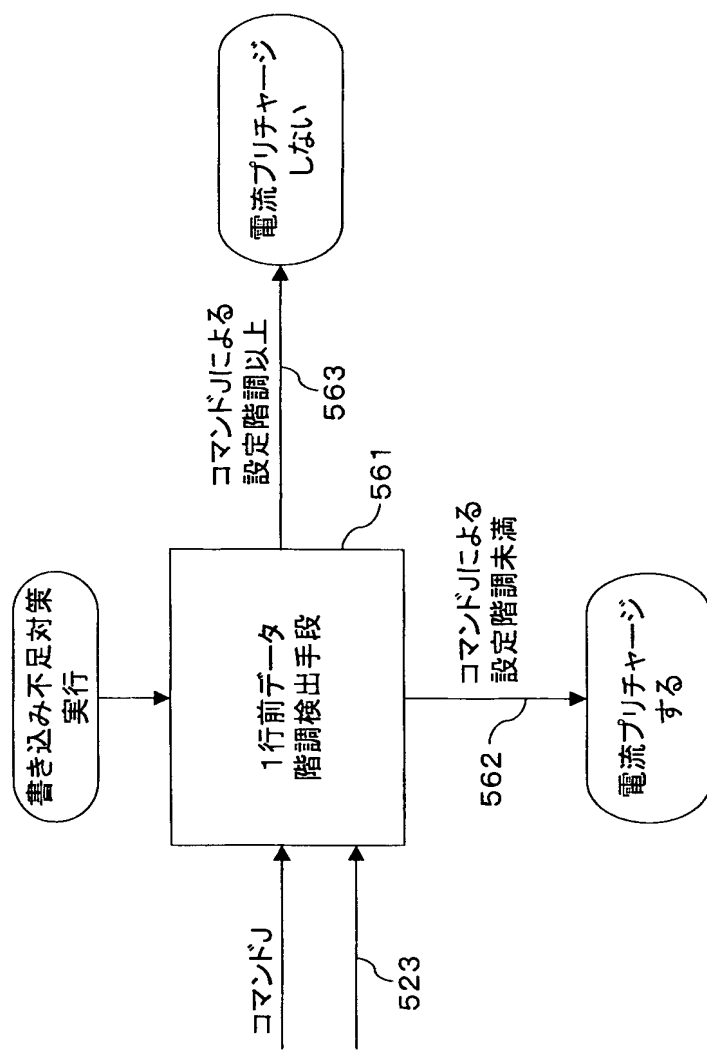
コマンドAの値	動作
0	電流プリチャージなし(全ての組み合わせにおいて)
1	1行前データと1階調差である場合には電流プリチャージなし
2	1行前データと1階調差である場合には電流プリチャージなしだが、階調0から1への変化の際には電流プリチャージする
3	1行前データと2階調差以下である場合には電流プリチャージなし
4	1行前データと2階調差以下である場合には電流プリチャージなしだが、階調0から1、階調0から2への変化の際には電流プリチャージする

[図55]

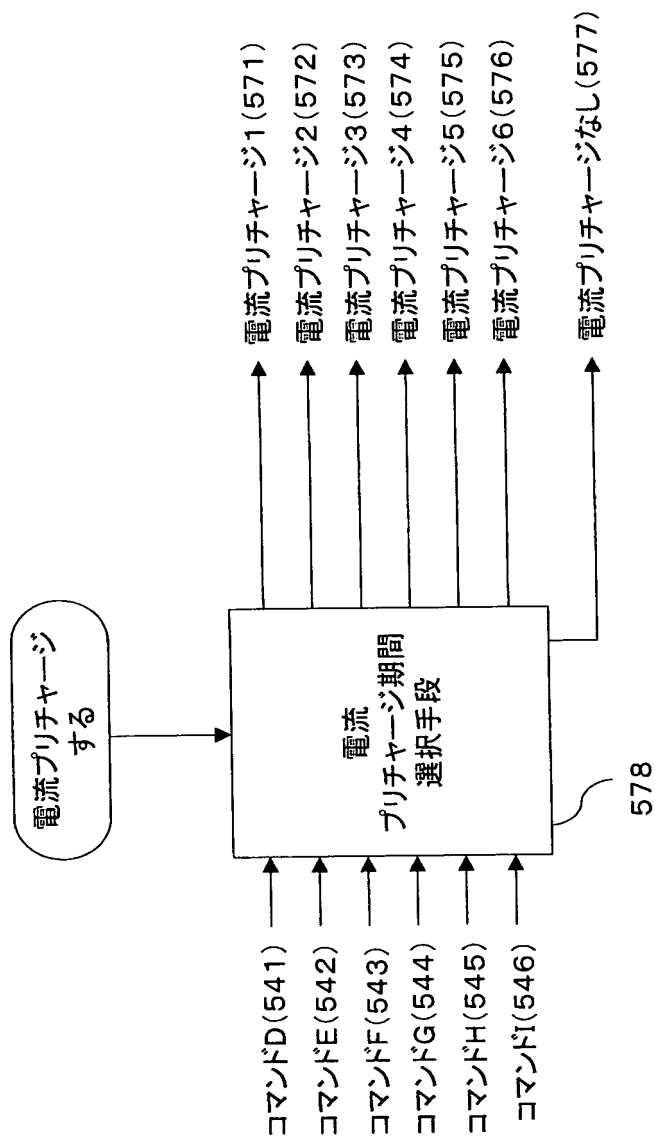




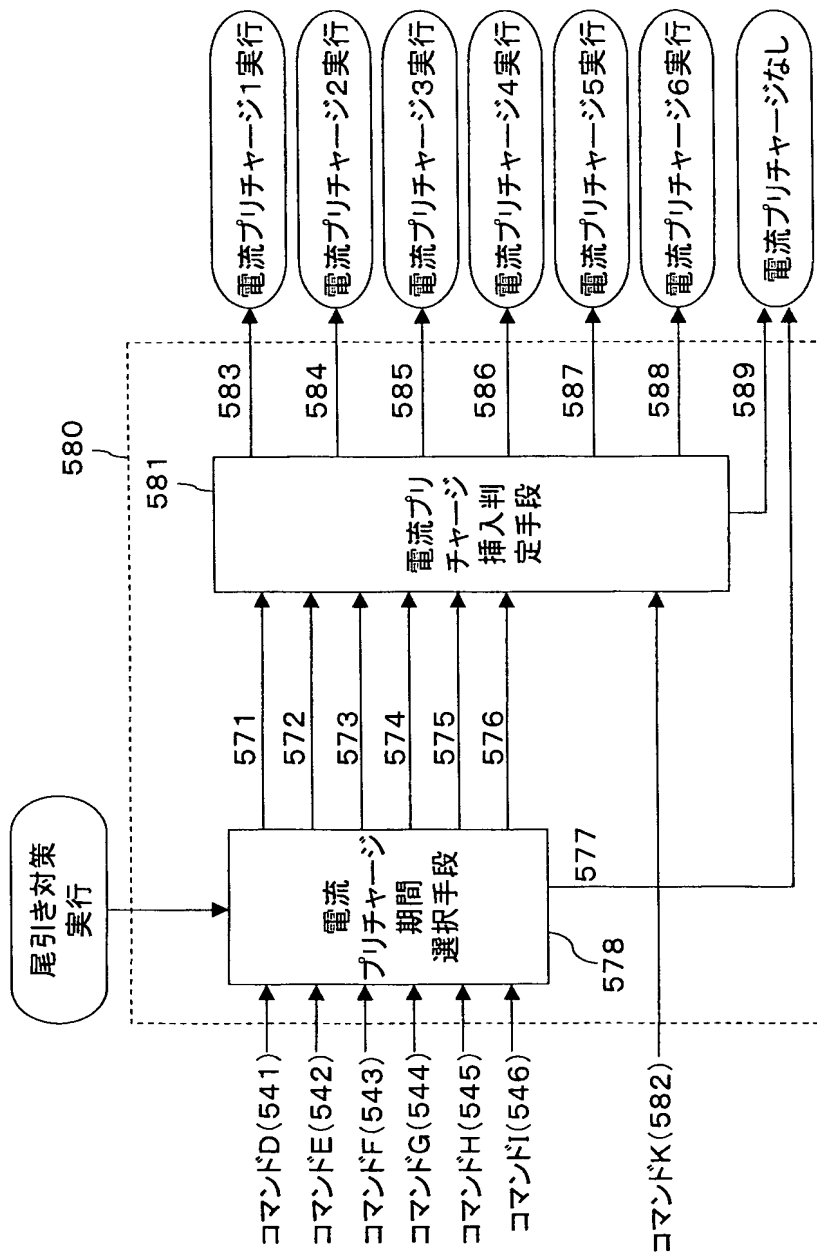
[図56]



[図57]



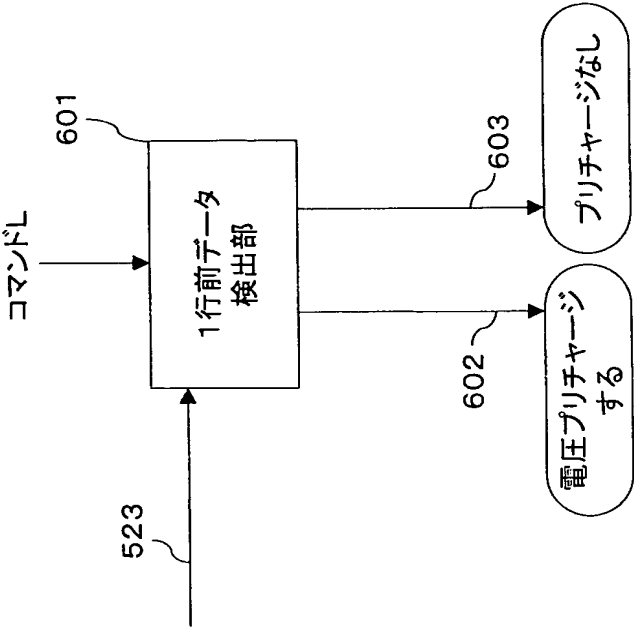
[図58]



[図59]

コマンドKの値	プリチャージのパターン
0	入力された電流プリチャージのパターンと同じ
1	
2	電流プリチャージ6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
3	電流プリチャージ5もしくは6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
4	電流プリチャージ4から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
5	電流プリチャージ3から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
6	電流プリチャージ2から6の時には電流プリチャージしない その他は入力電流プリチャージパターンと同一
7	電流プリチャージしない

[図60]



[図61]

コマンドLの値	プリチャージのパターン
0	電圧プリチャージしない
1	1行前のデータが0のときに電圧プリチャージする
2	必ず電圧プリチャージする

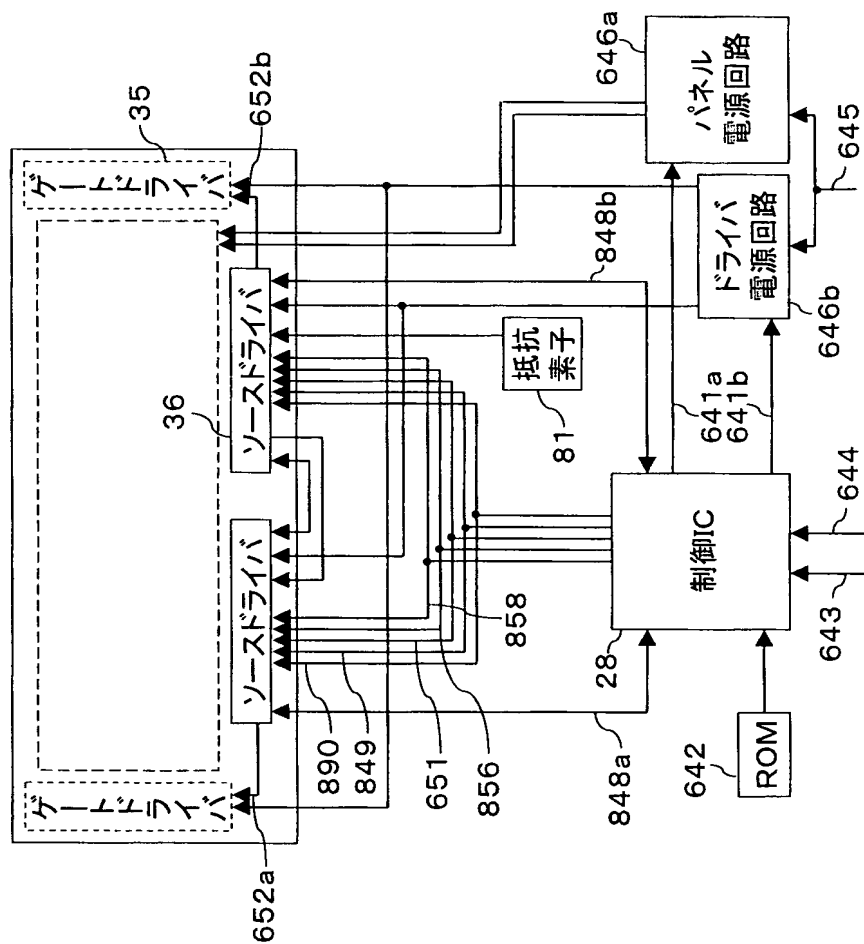
[illegible]

[図63]

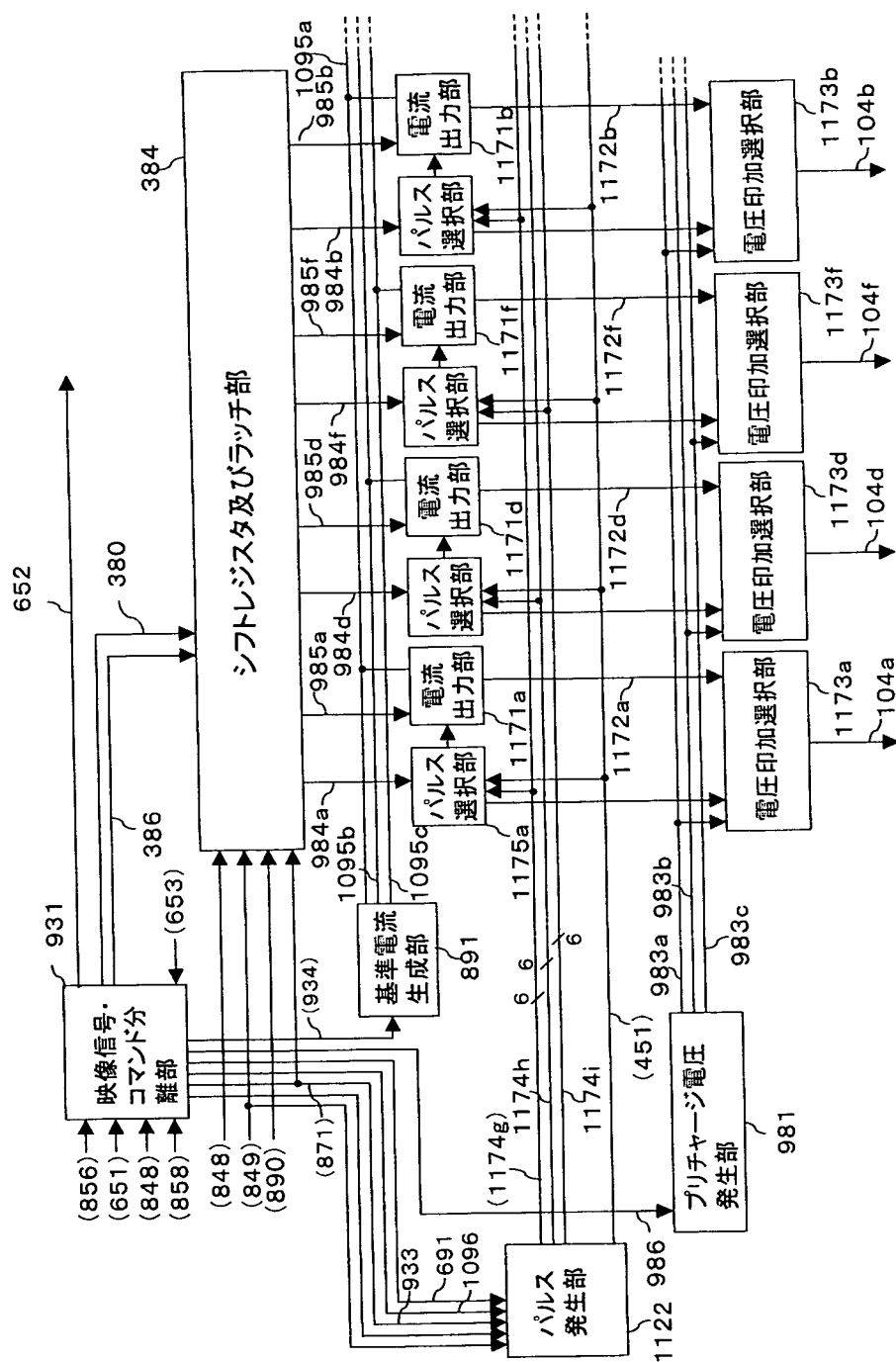
プリチャージ動作の判定	プリチャージ判定信号(55)の値
プリチャージなし	0
電流プリチャージ1実行	1
電流プリチャージ2実行	2
電流プリチャージ3実行	3
電流プリチャージ4実行	4
電流プリチャージ5実行	5
電流プリチャージ6実行	6
電圧プリチャージ実行	7



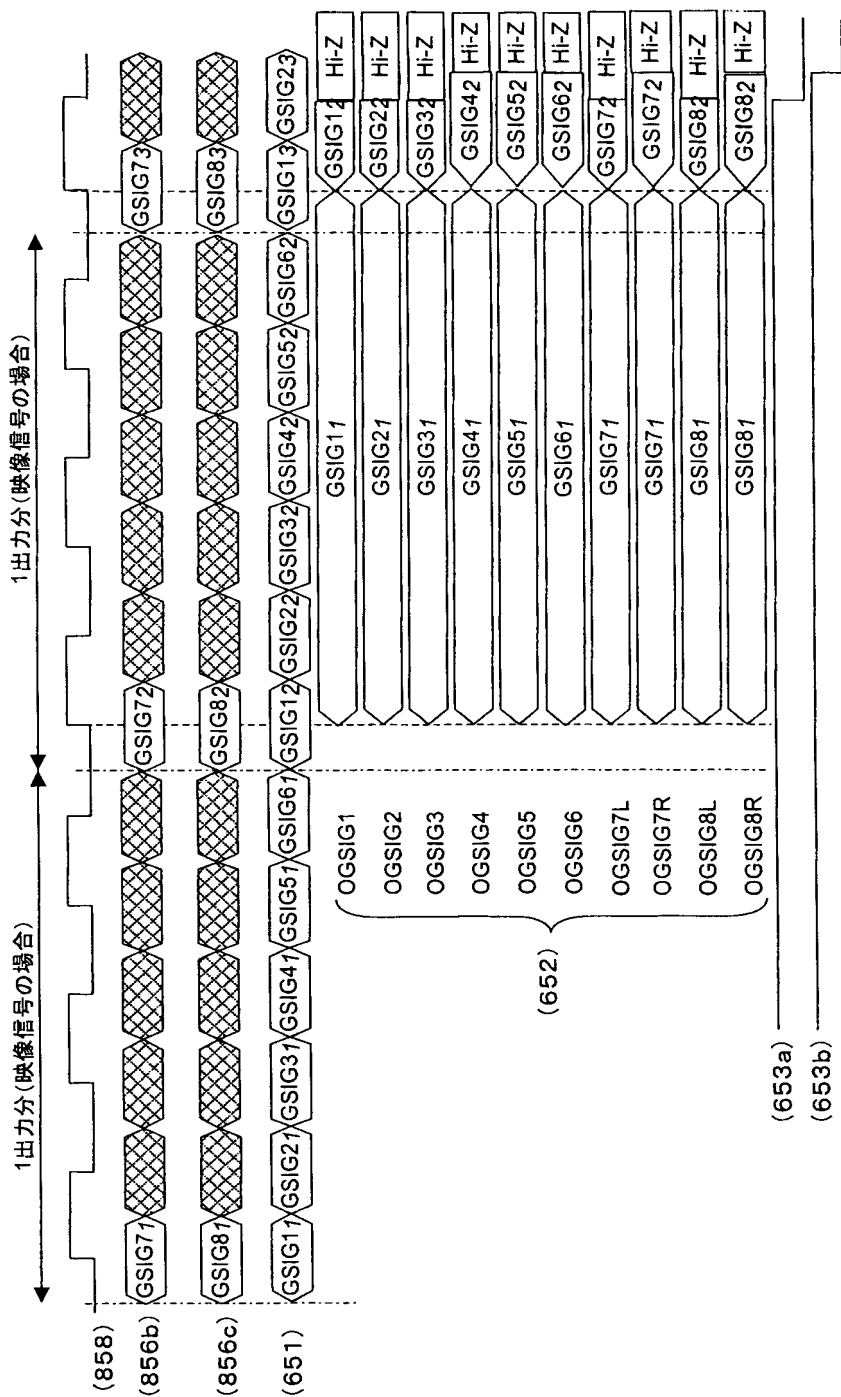
[図64]



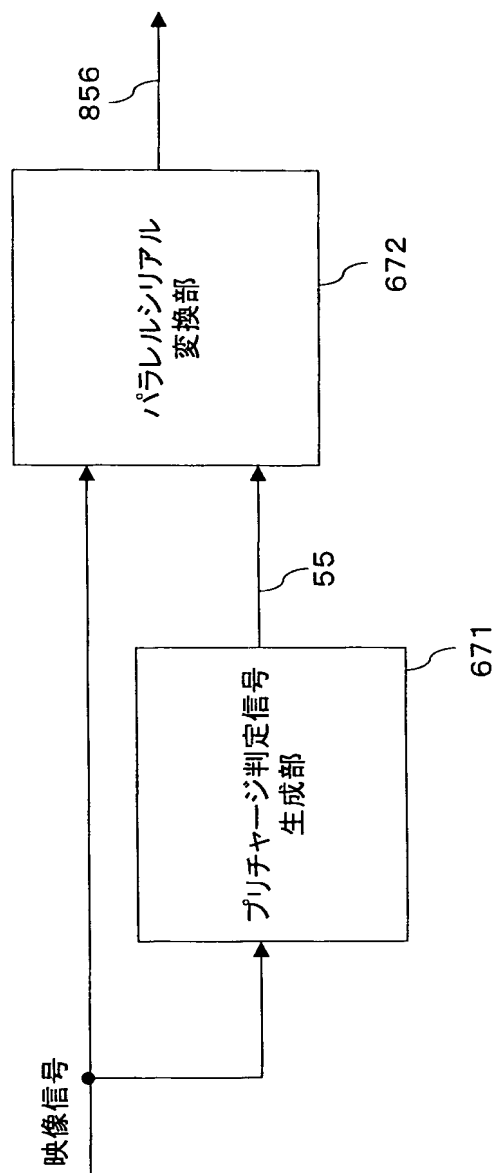
[図65]



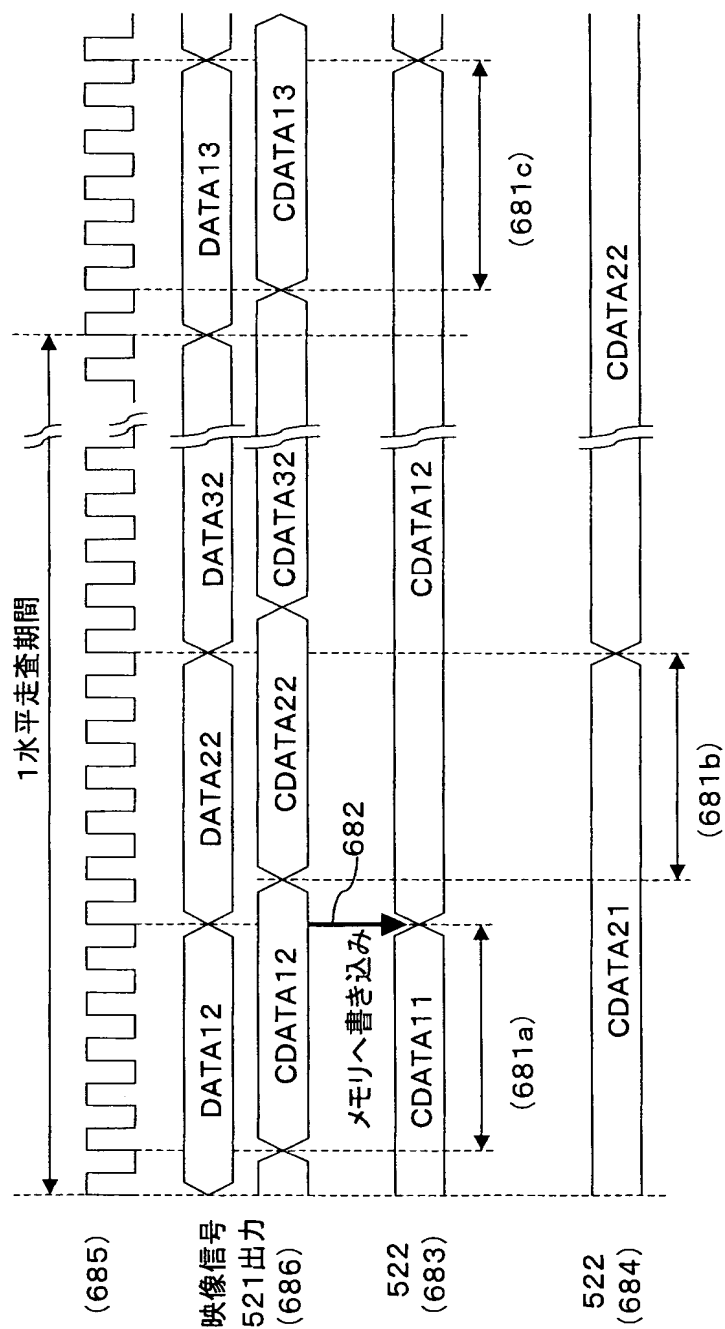
[図66]



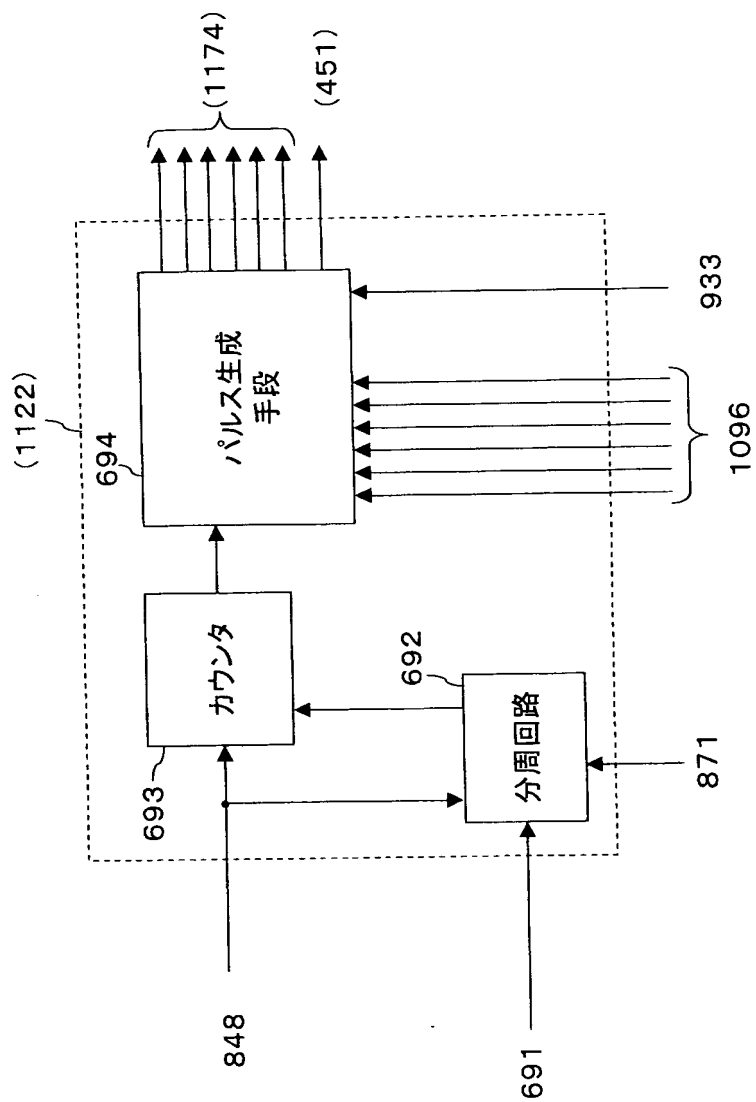
[図67]



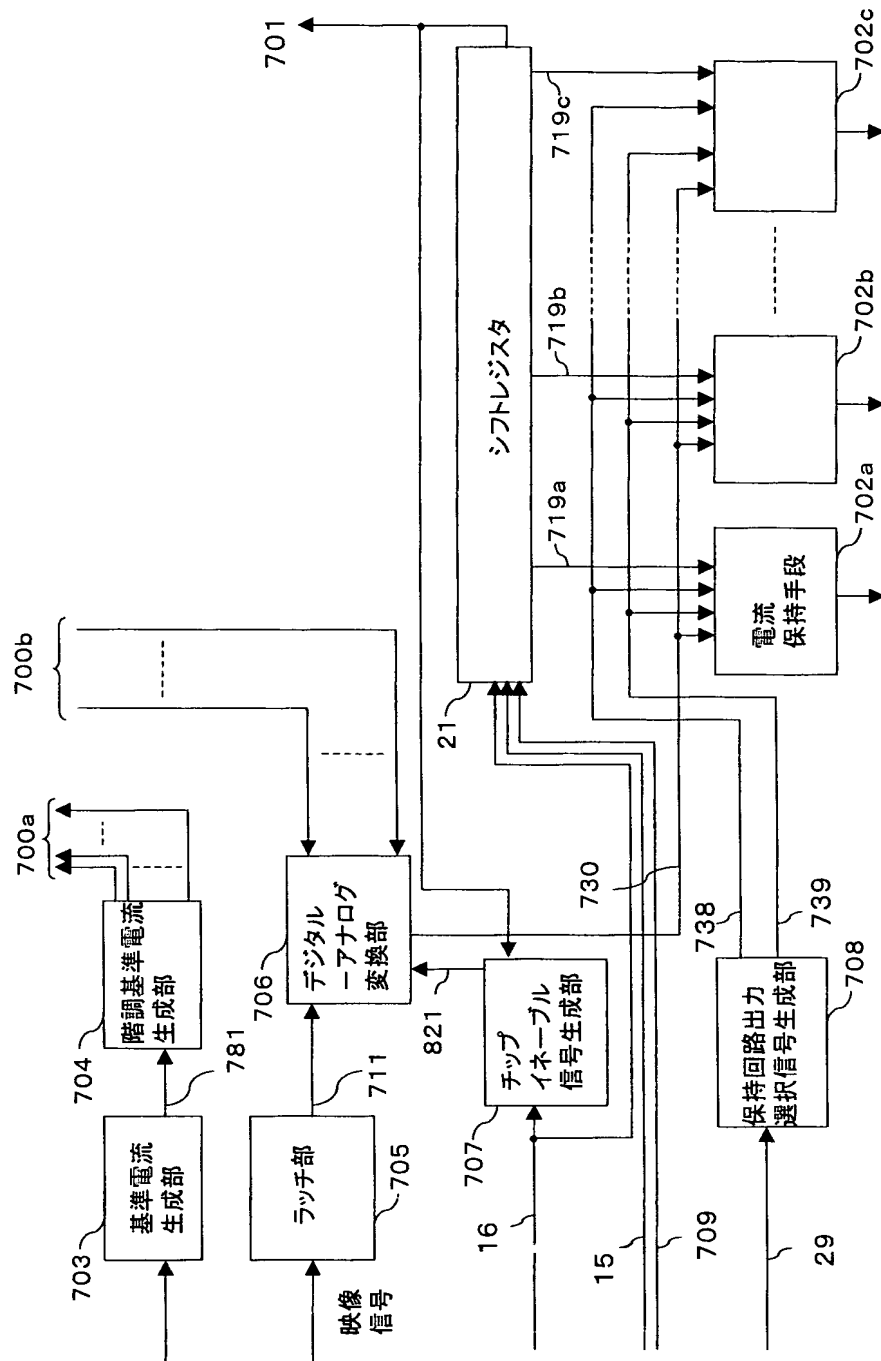
[図68]



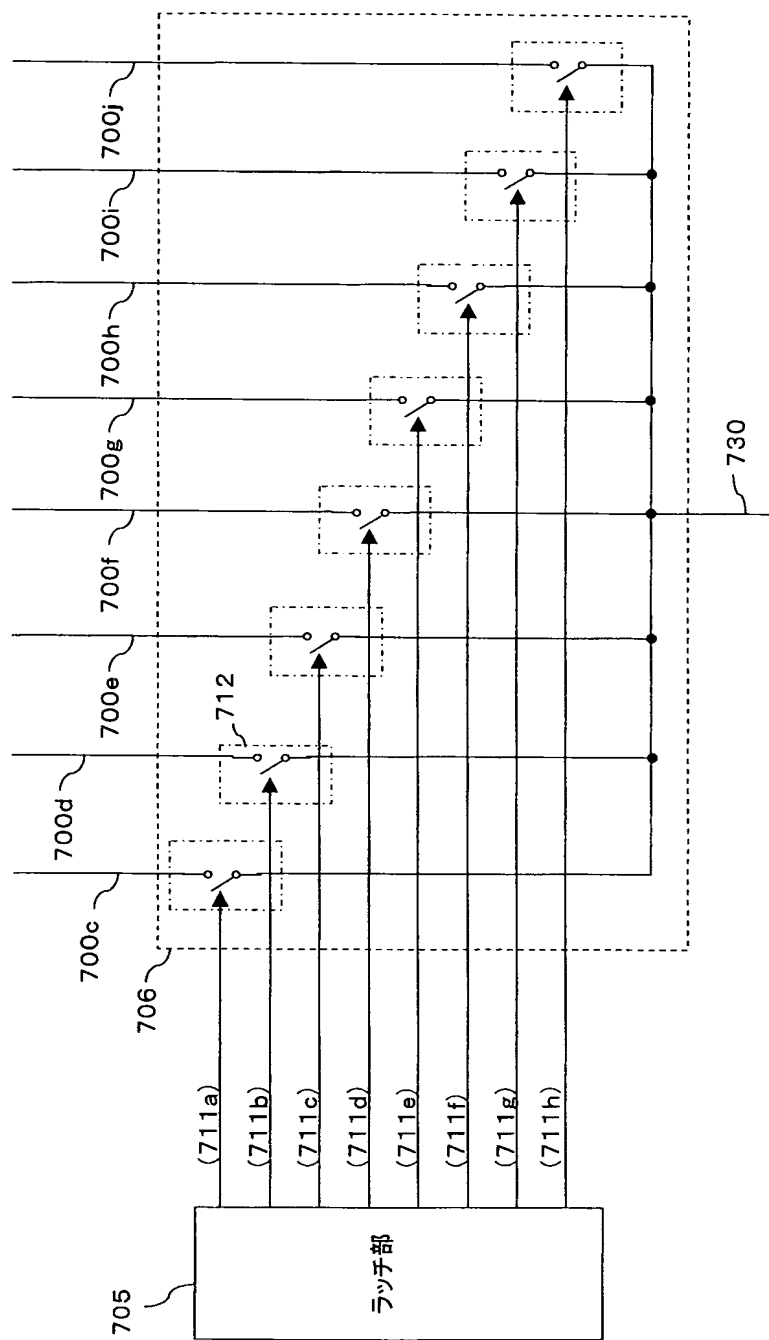
[図69]



[図70]

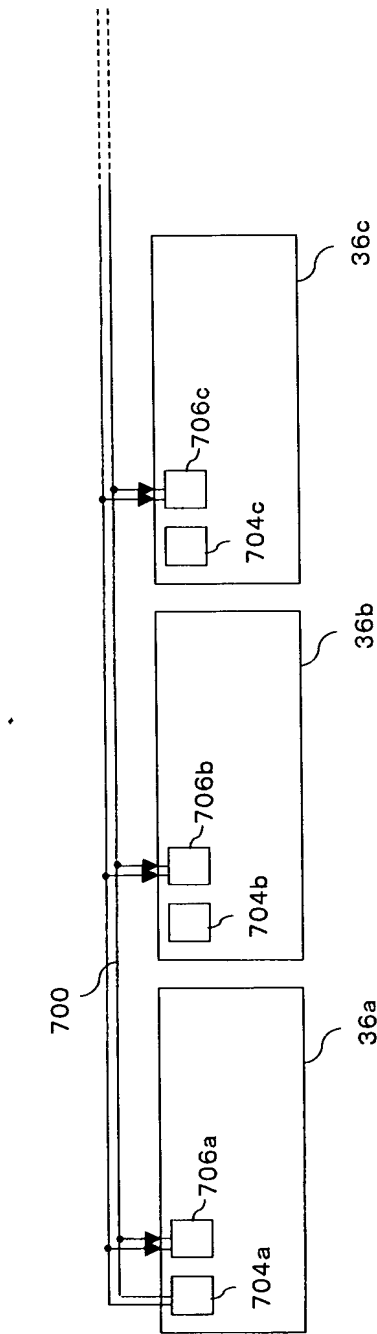


[図71]

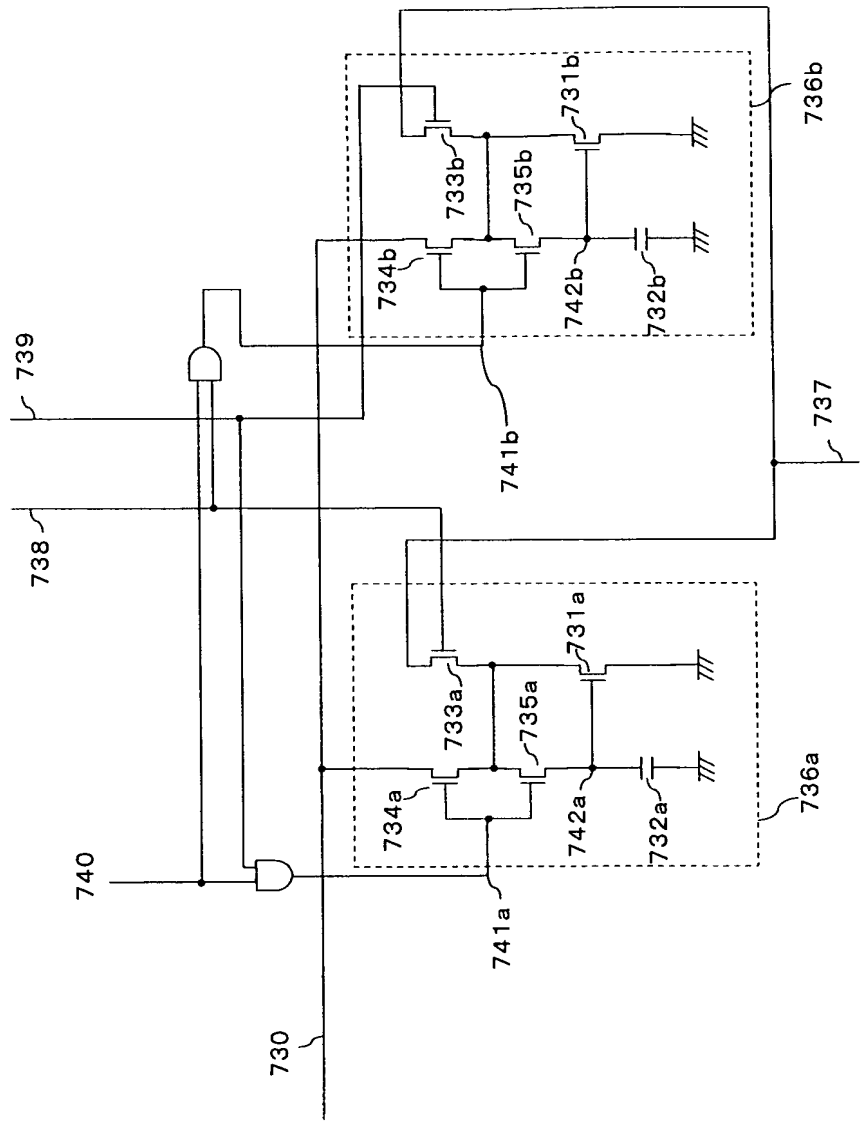




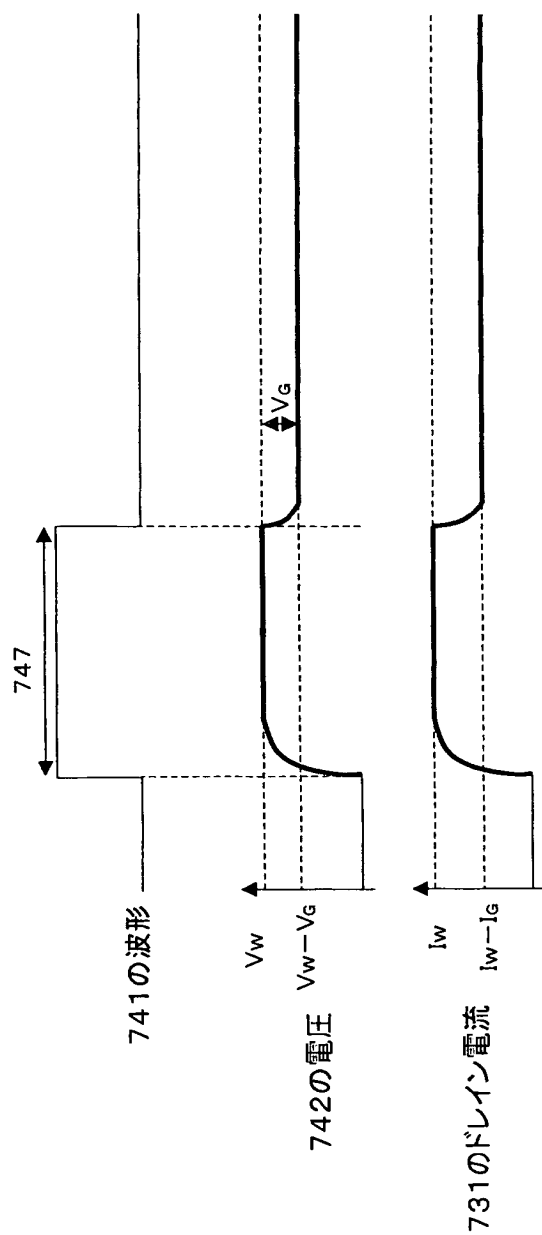
[図72]



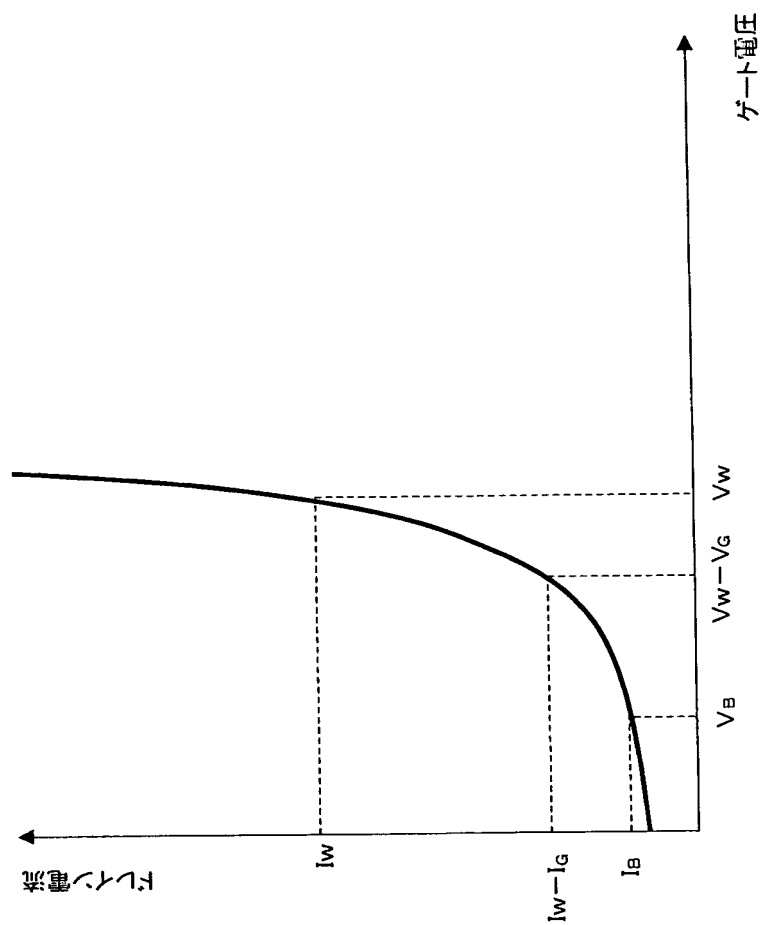
[図73]



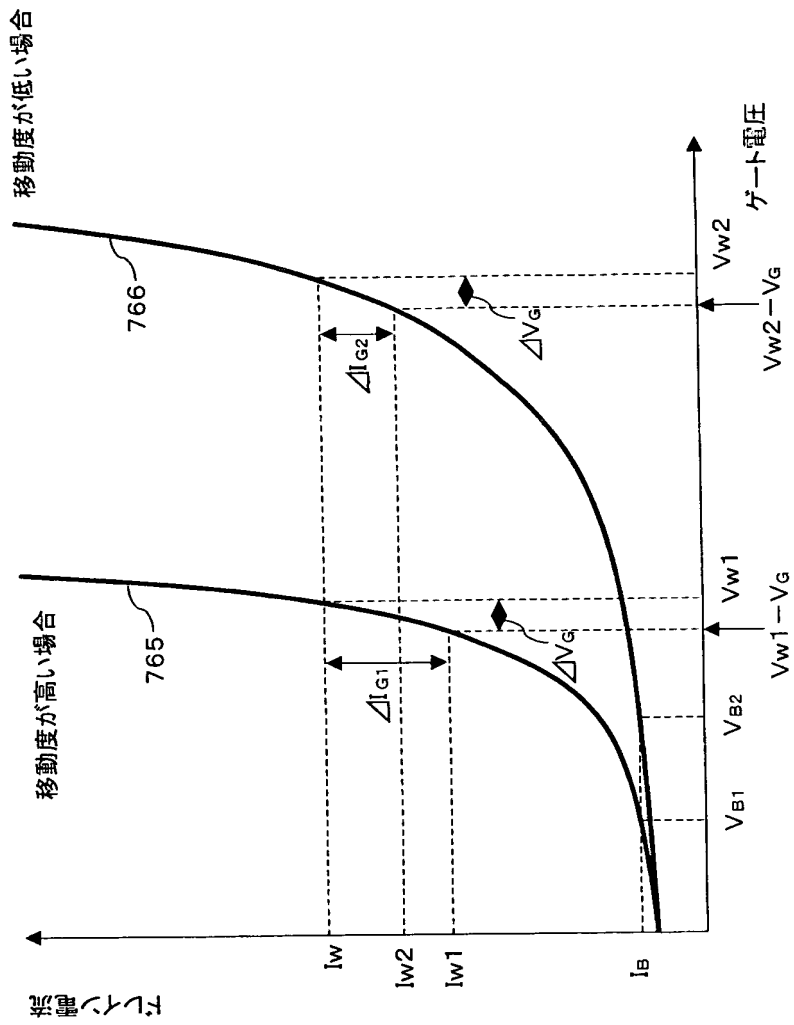
[図74]



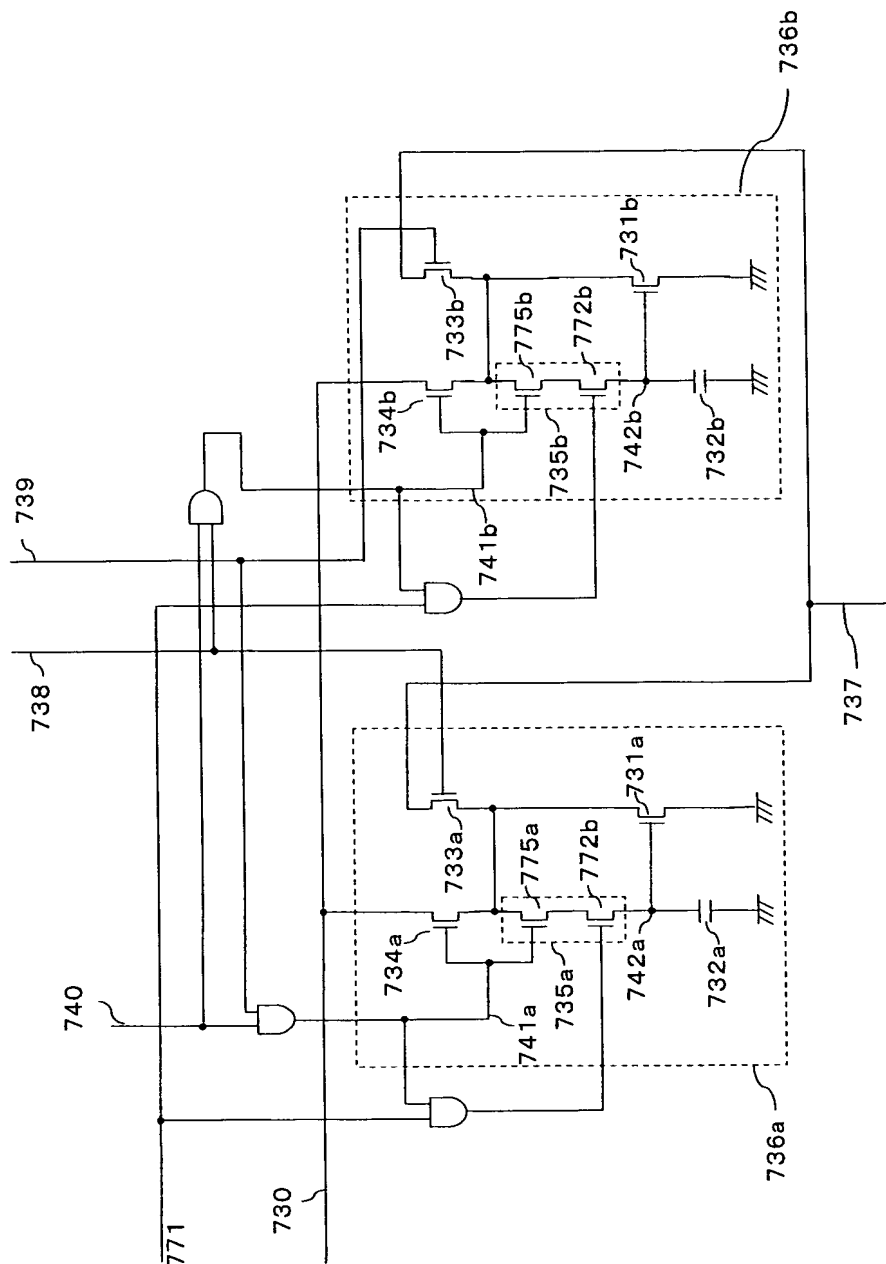
[図75]



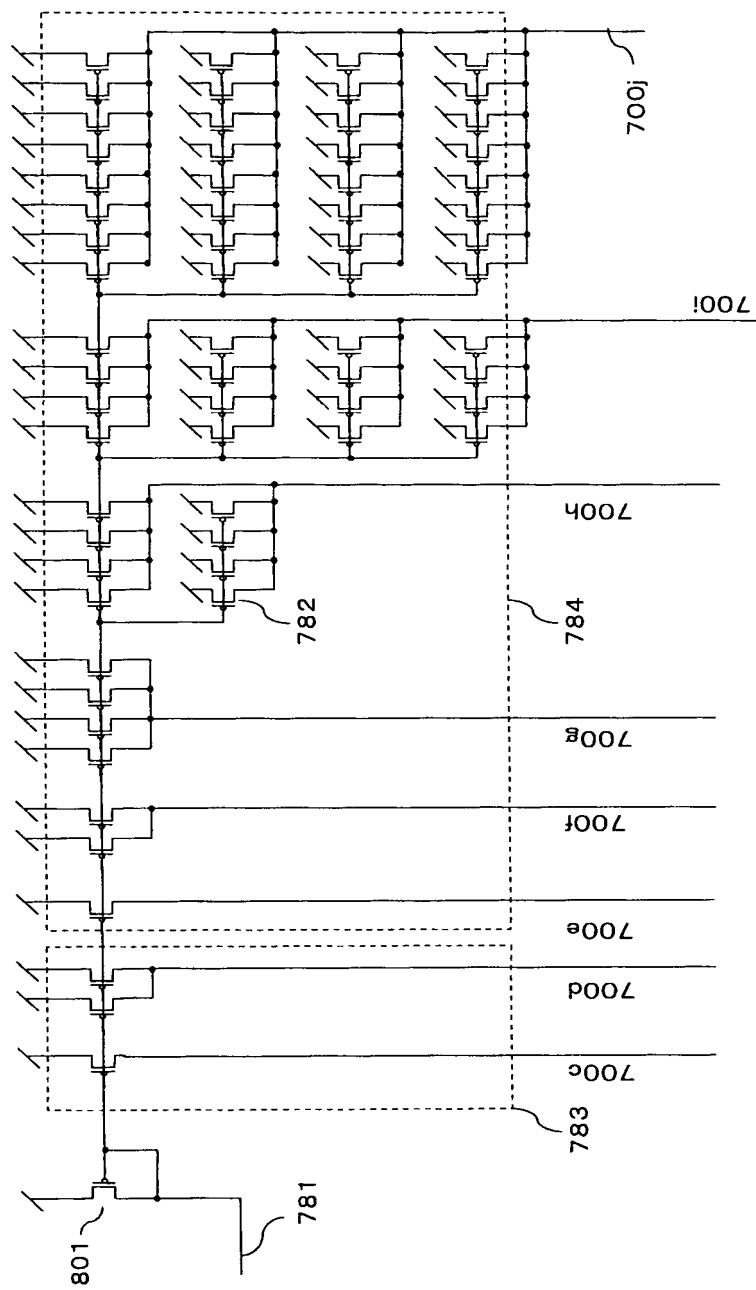
[図76]



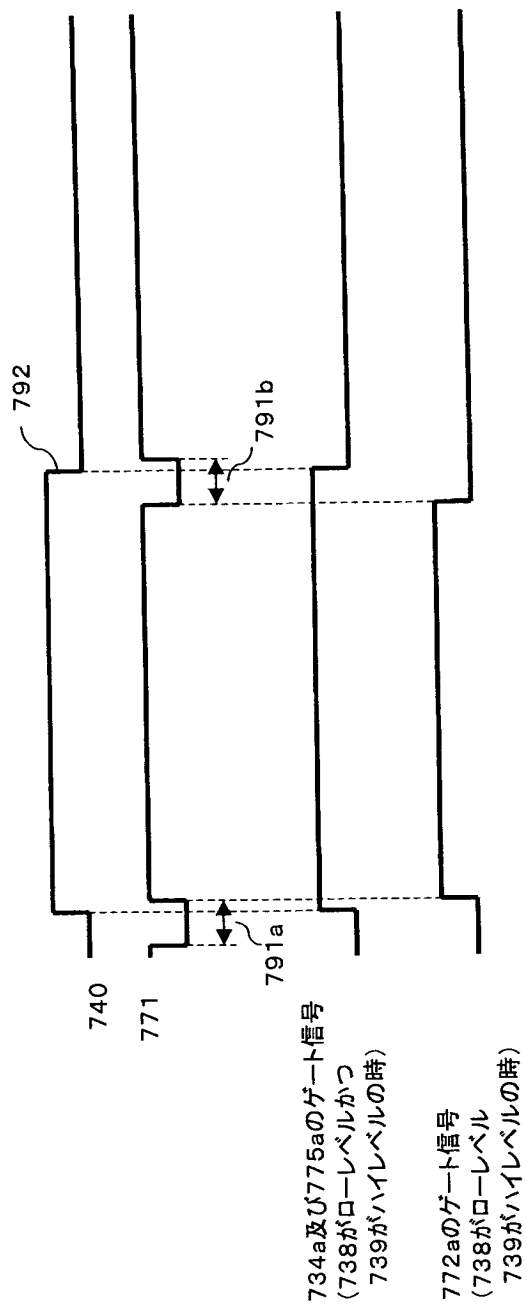
[図77]



[図78]

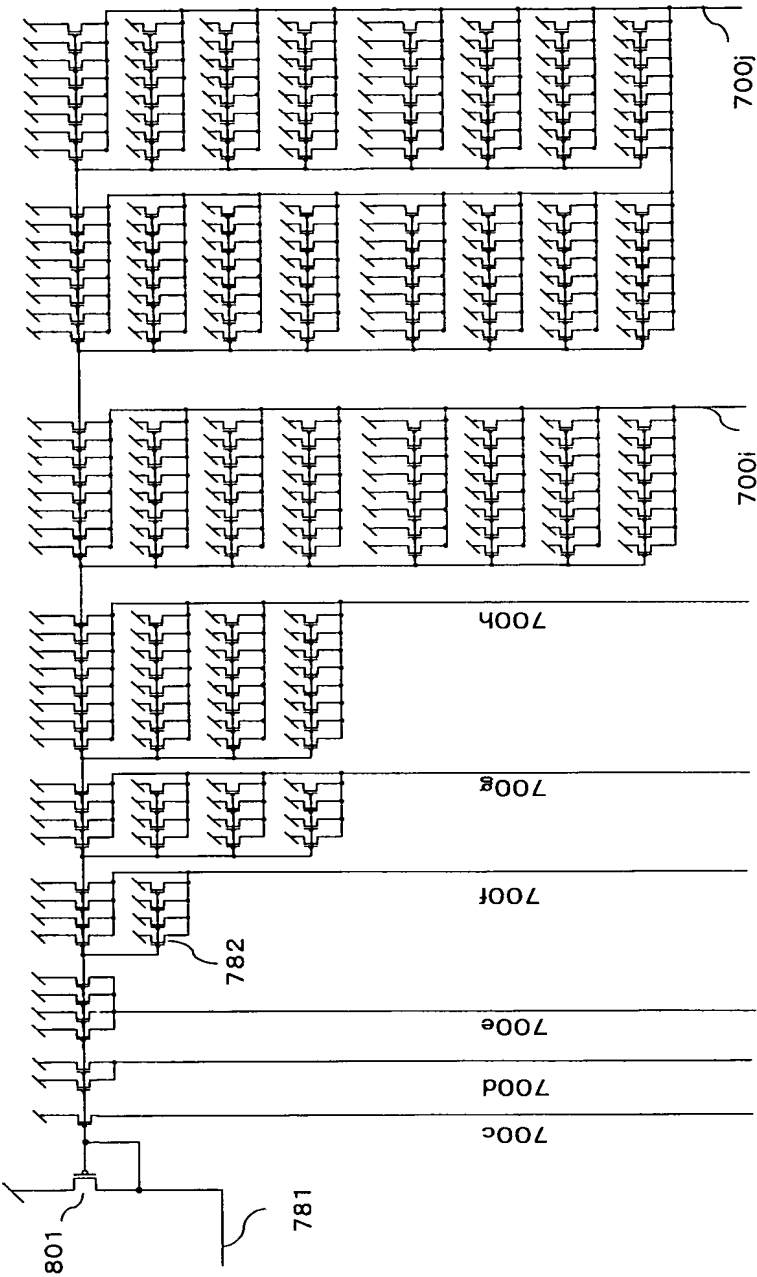


[図79]

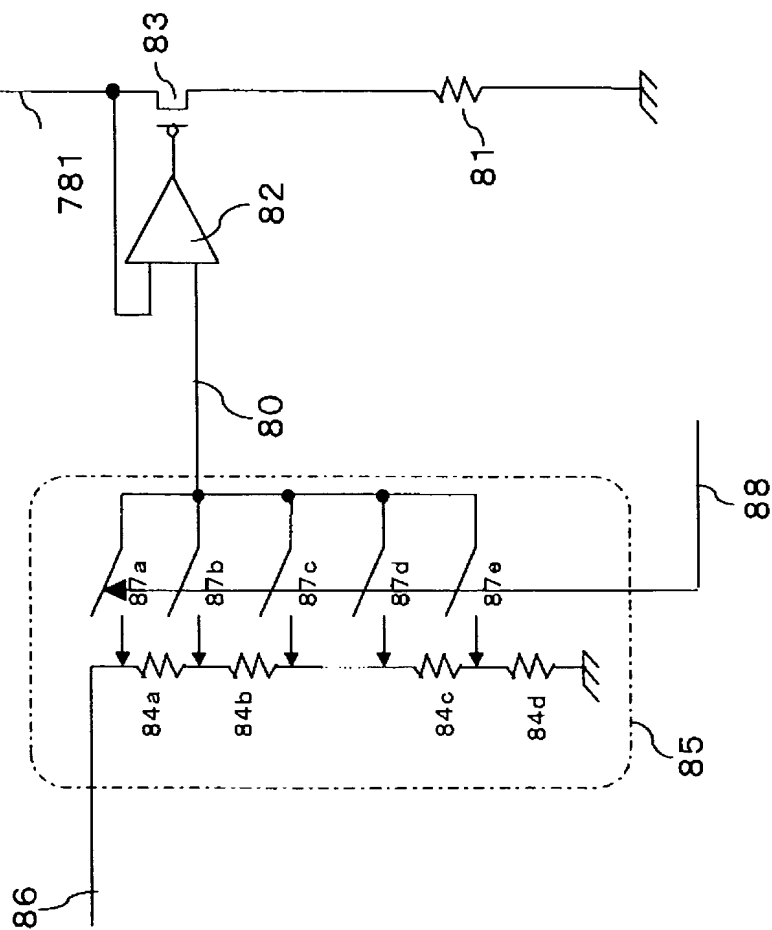




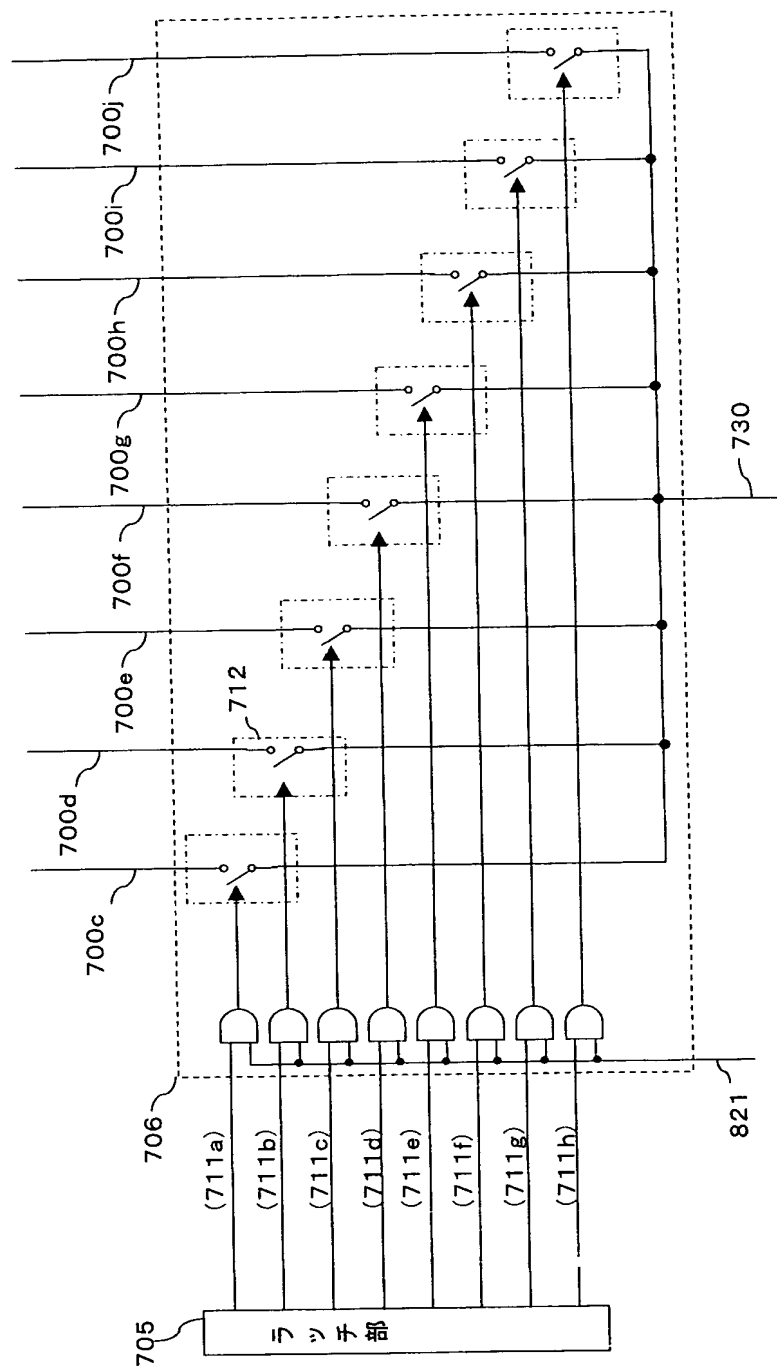
[図80]



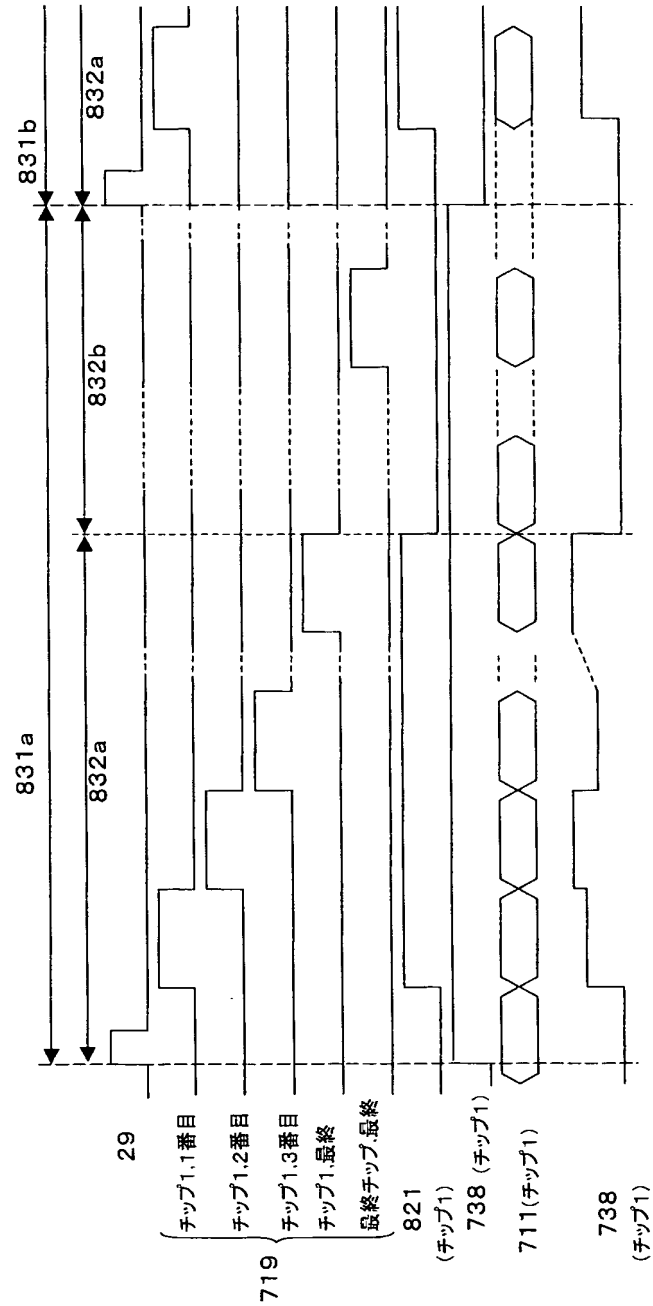
[81]



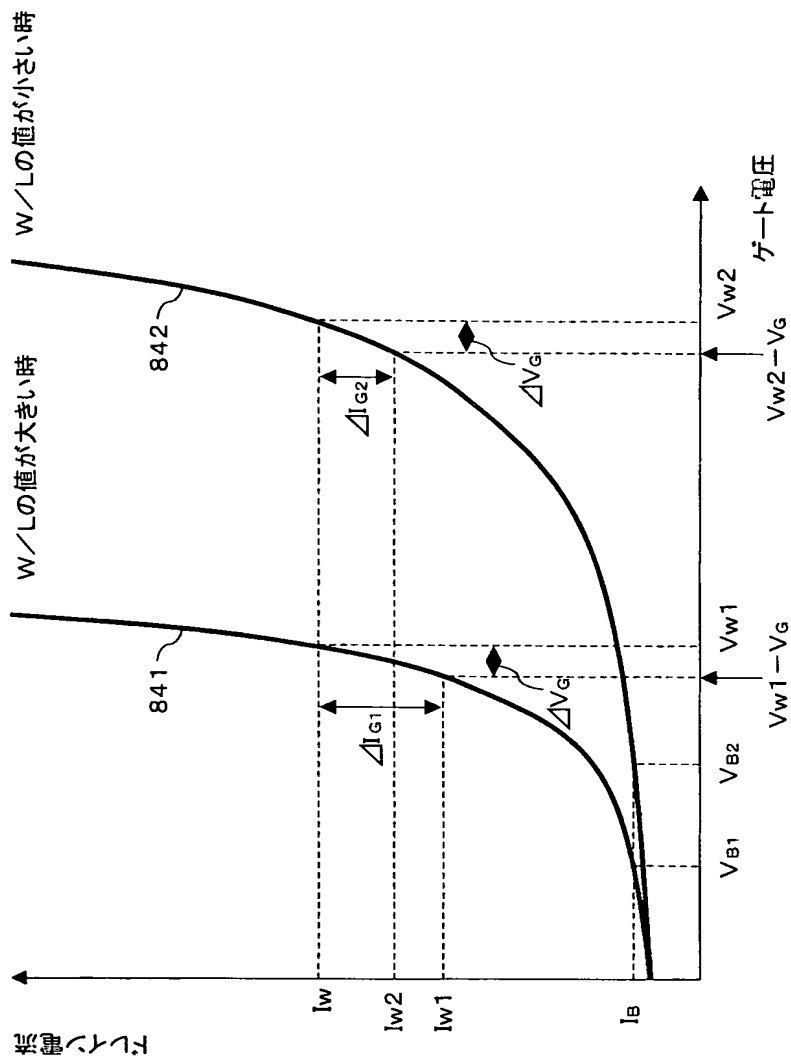
[図82]



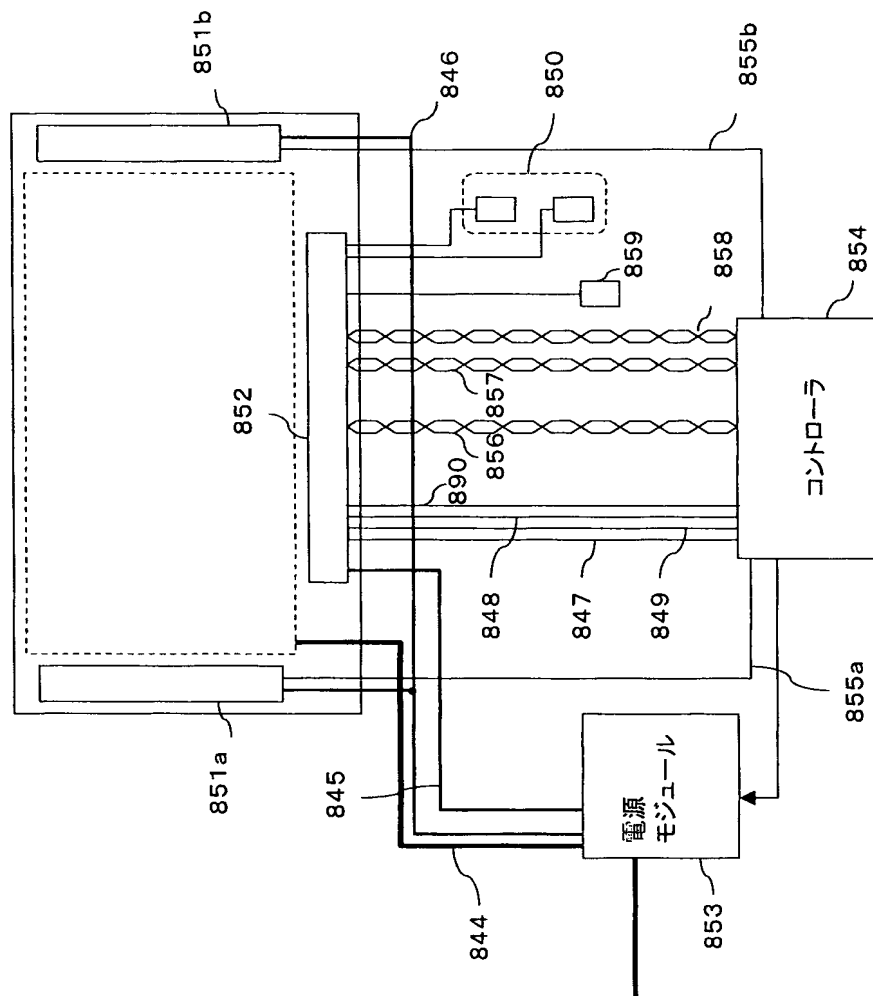
[図83]



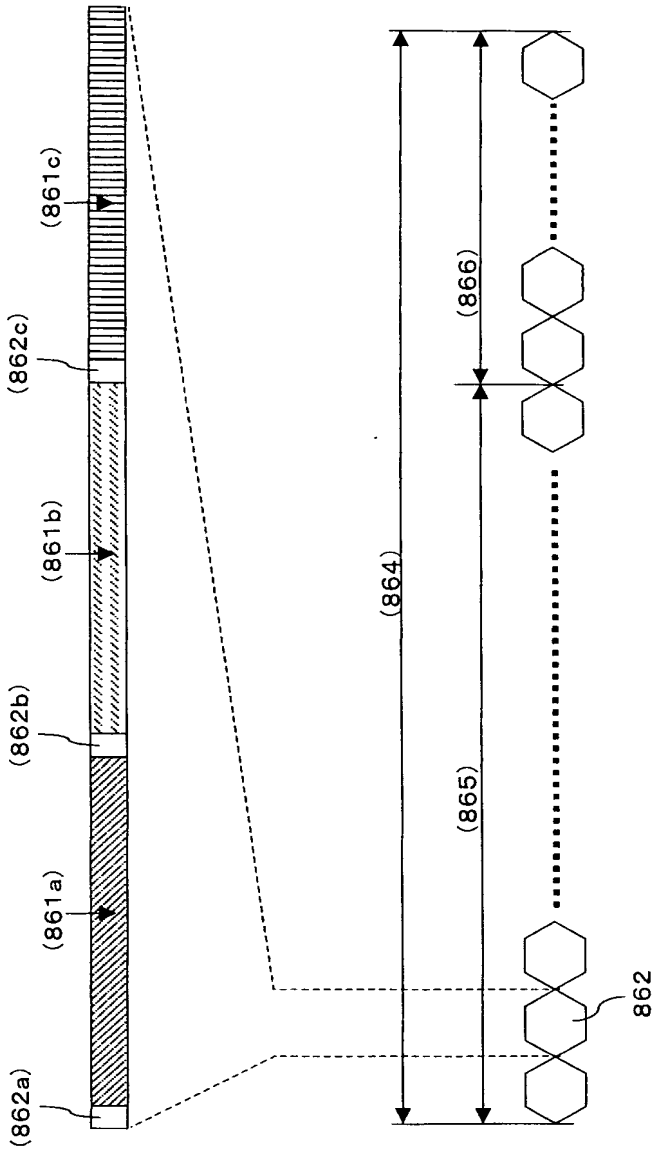
[図84]



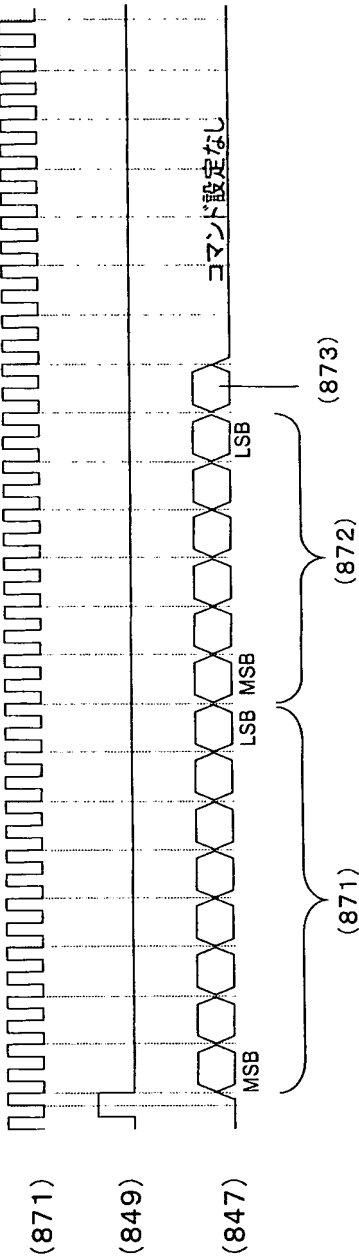
[図85]



[図86]

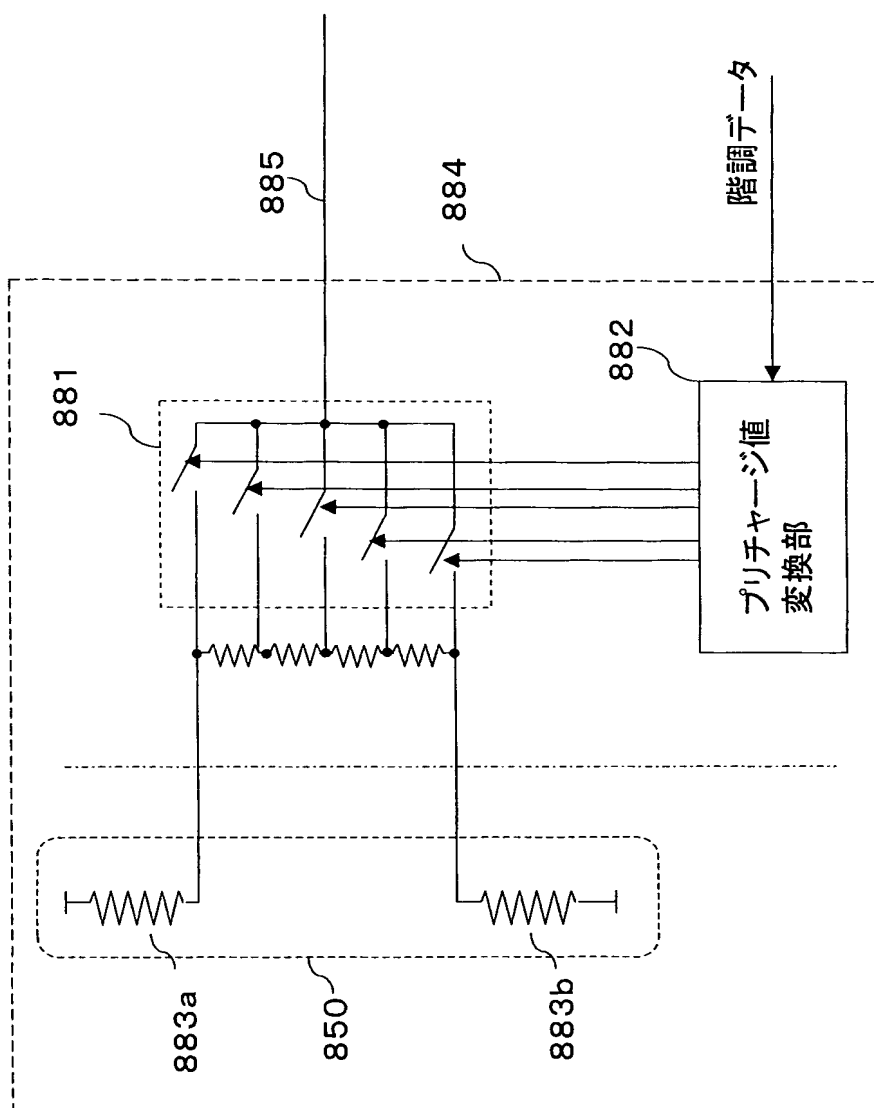


[図87]

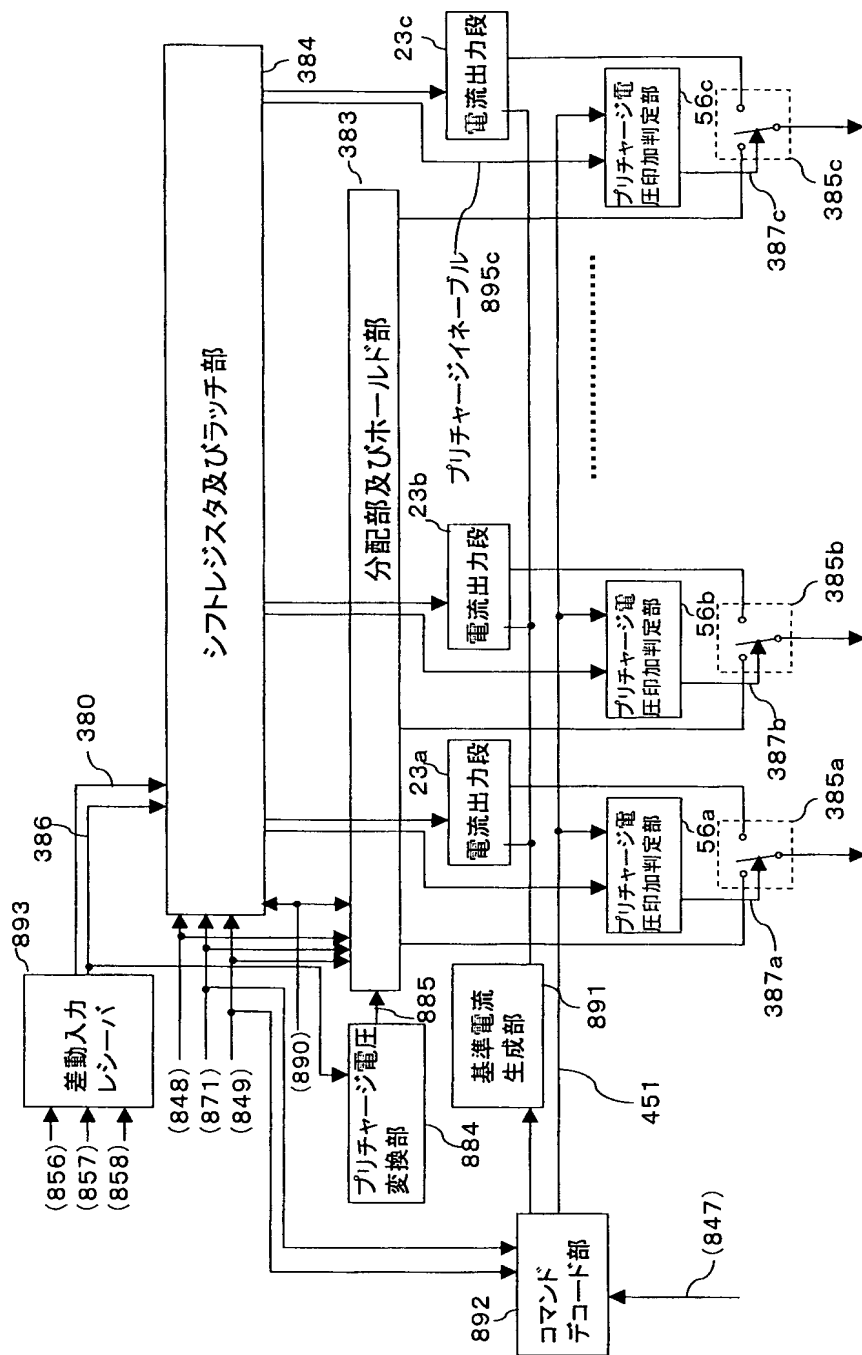




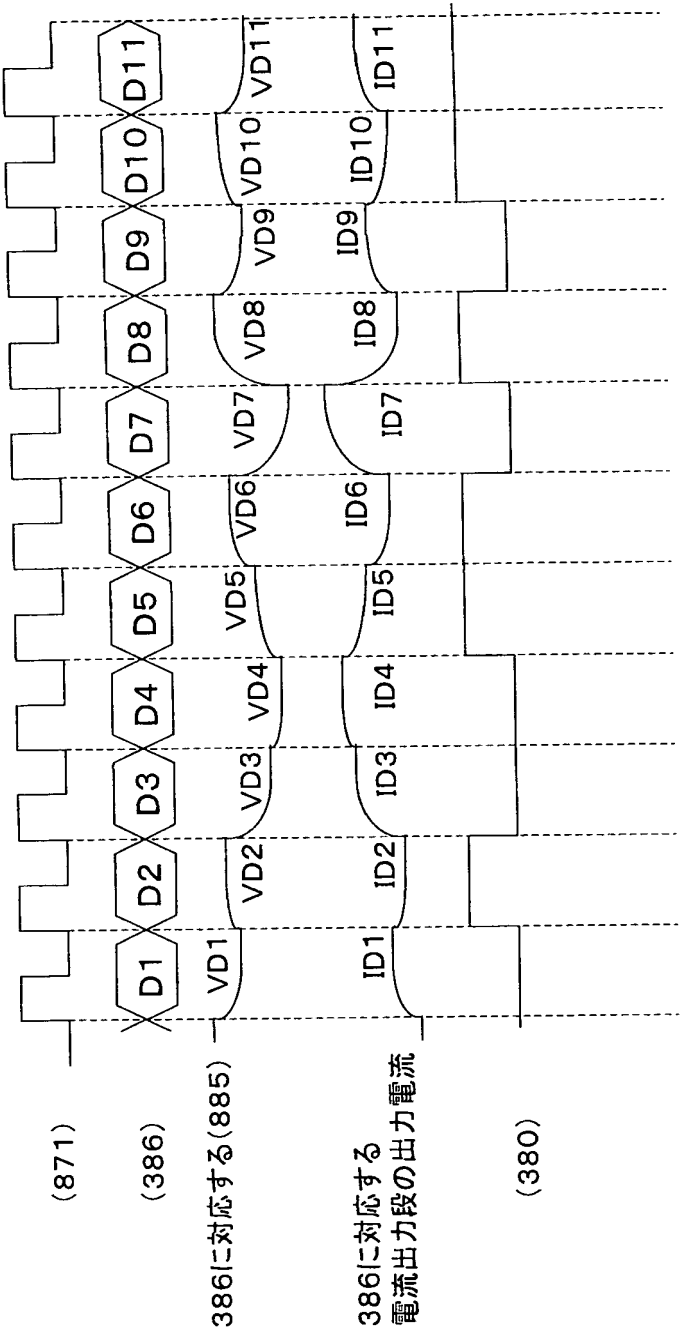
[図88]



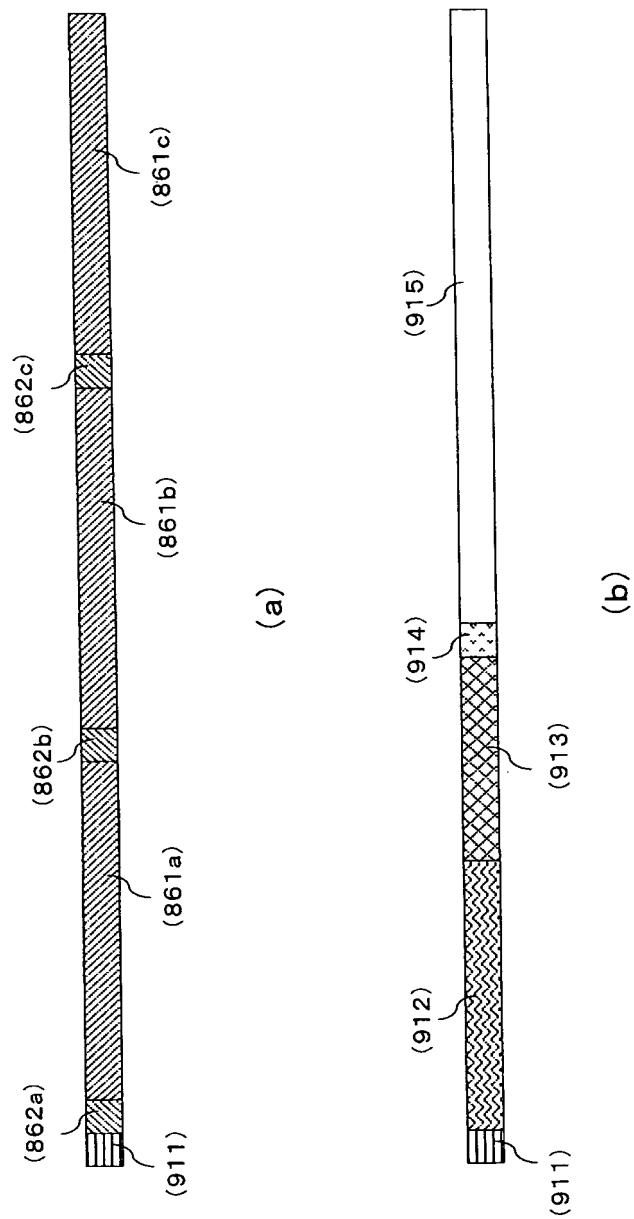
[図89]



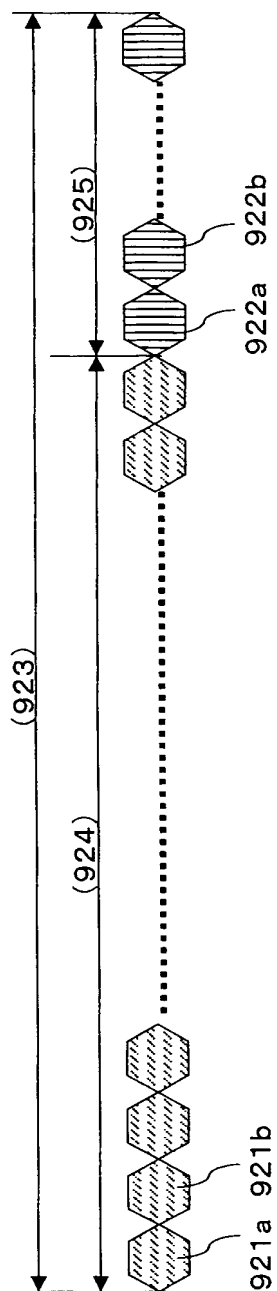
[図90]



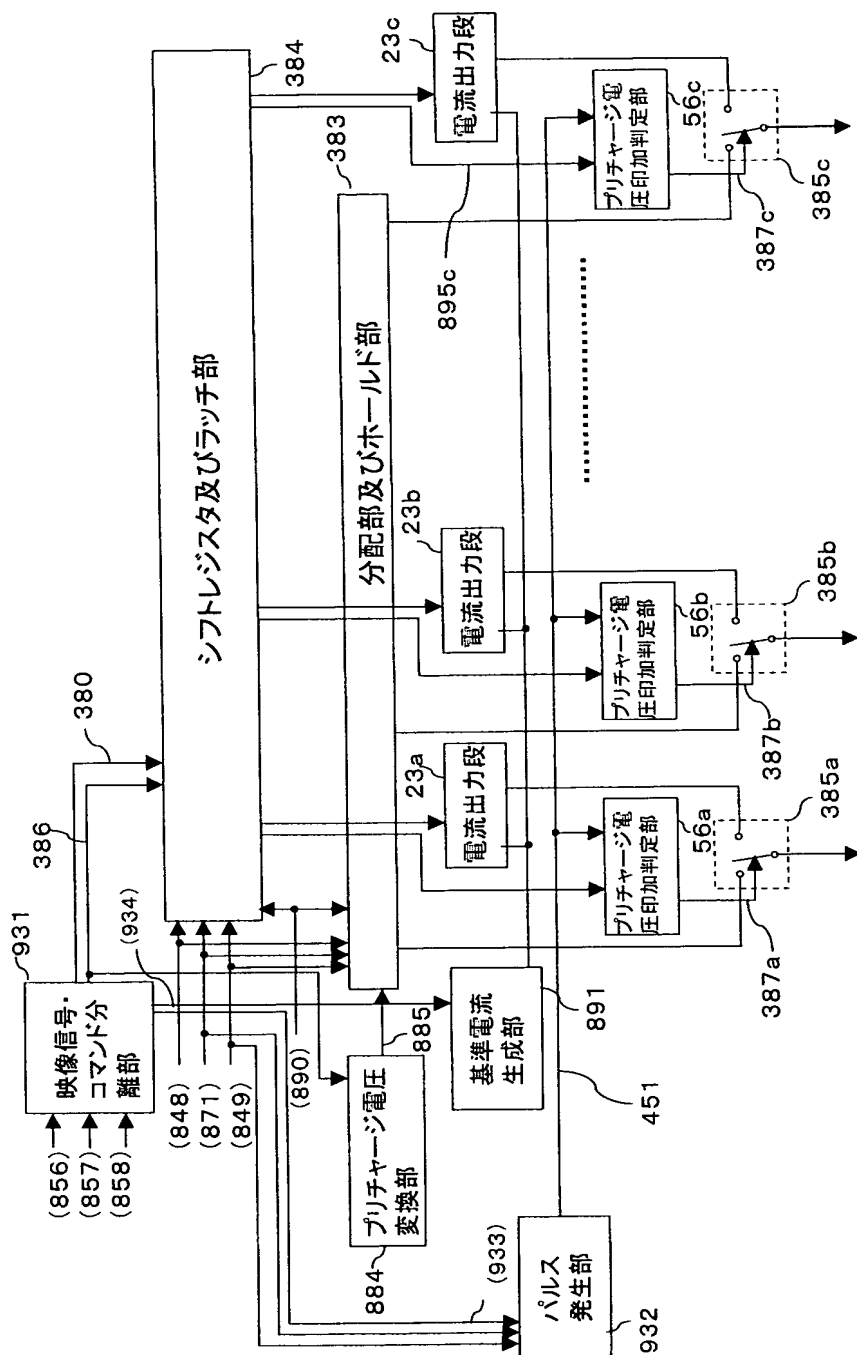
[図91]



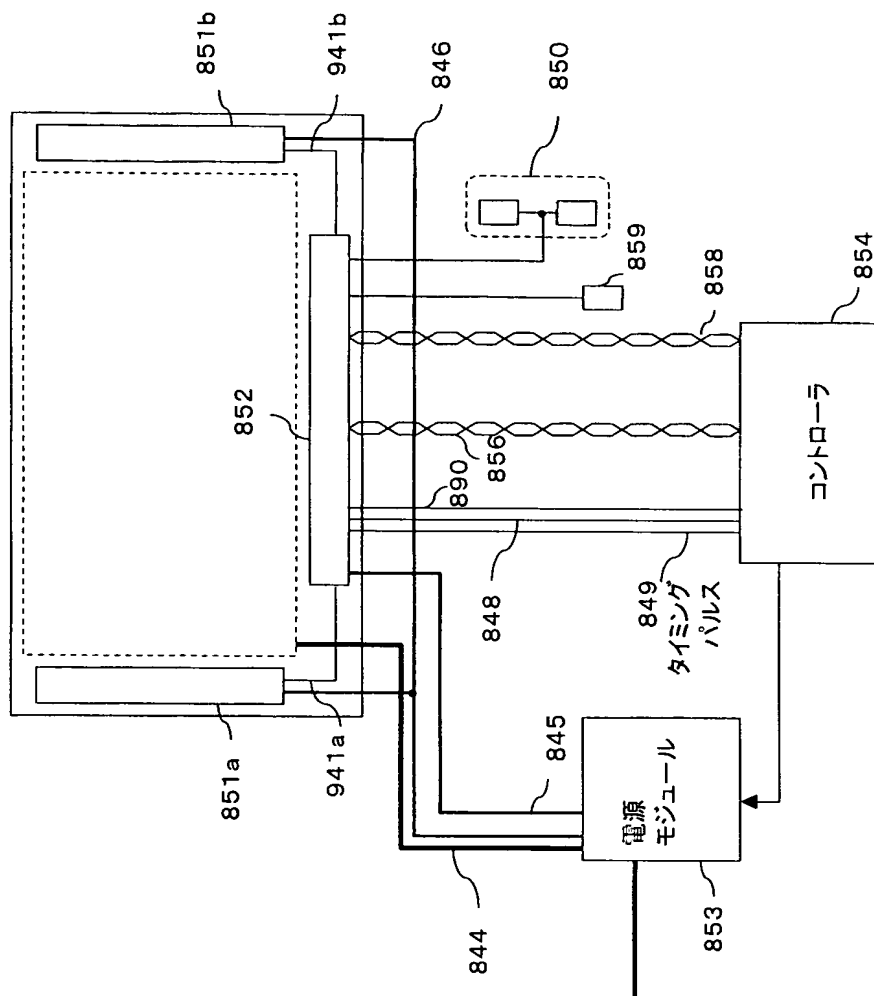
[図92]



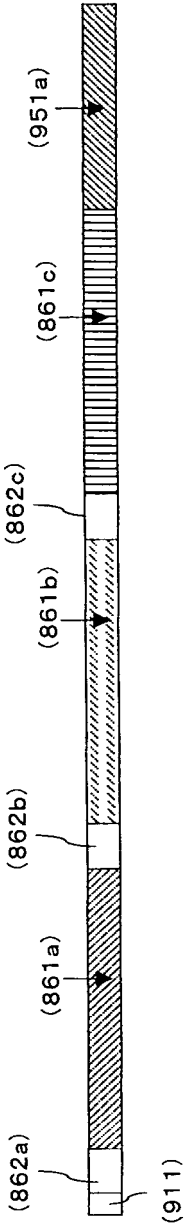
[図93]



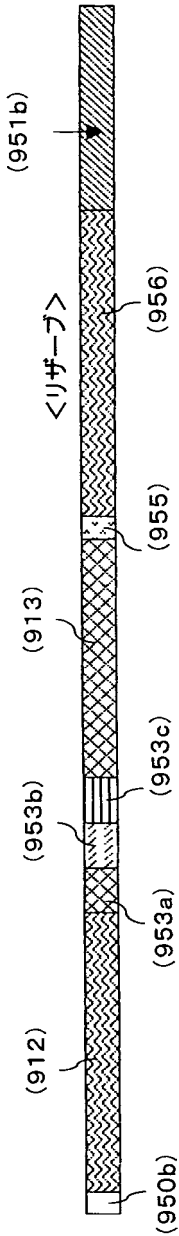
[図94]



[図95]



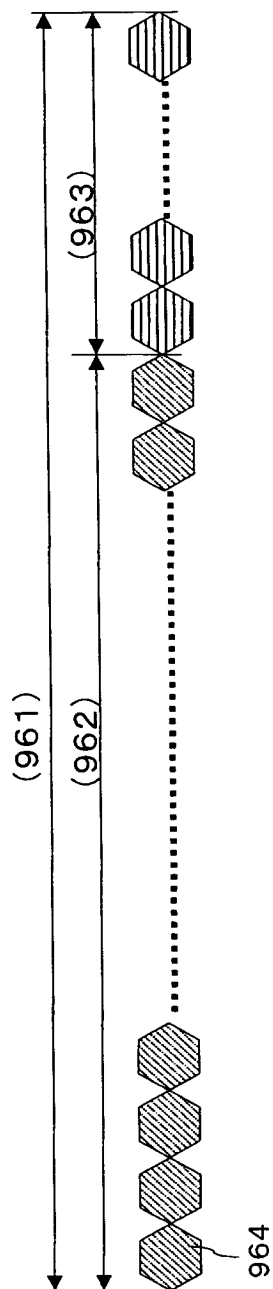
(a)



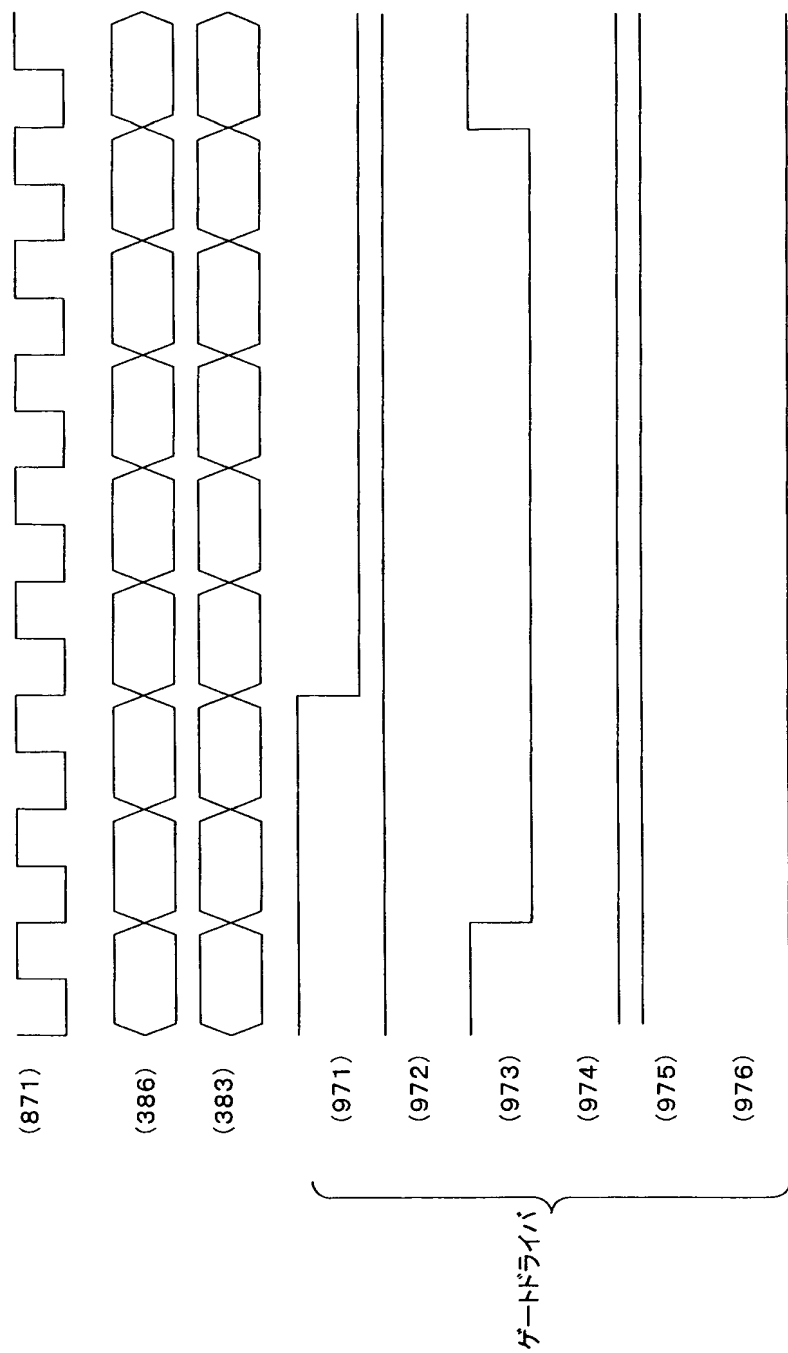
(b)



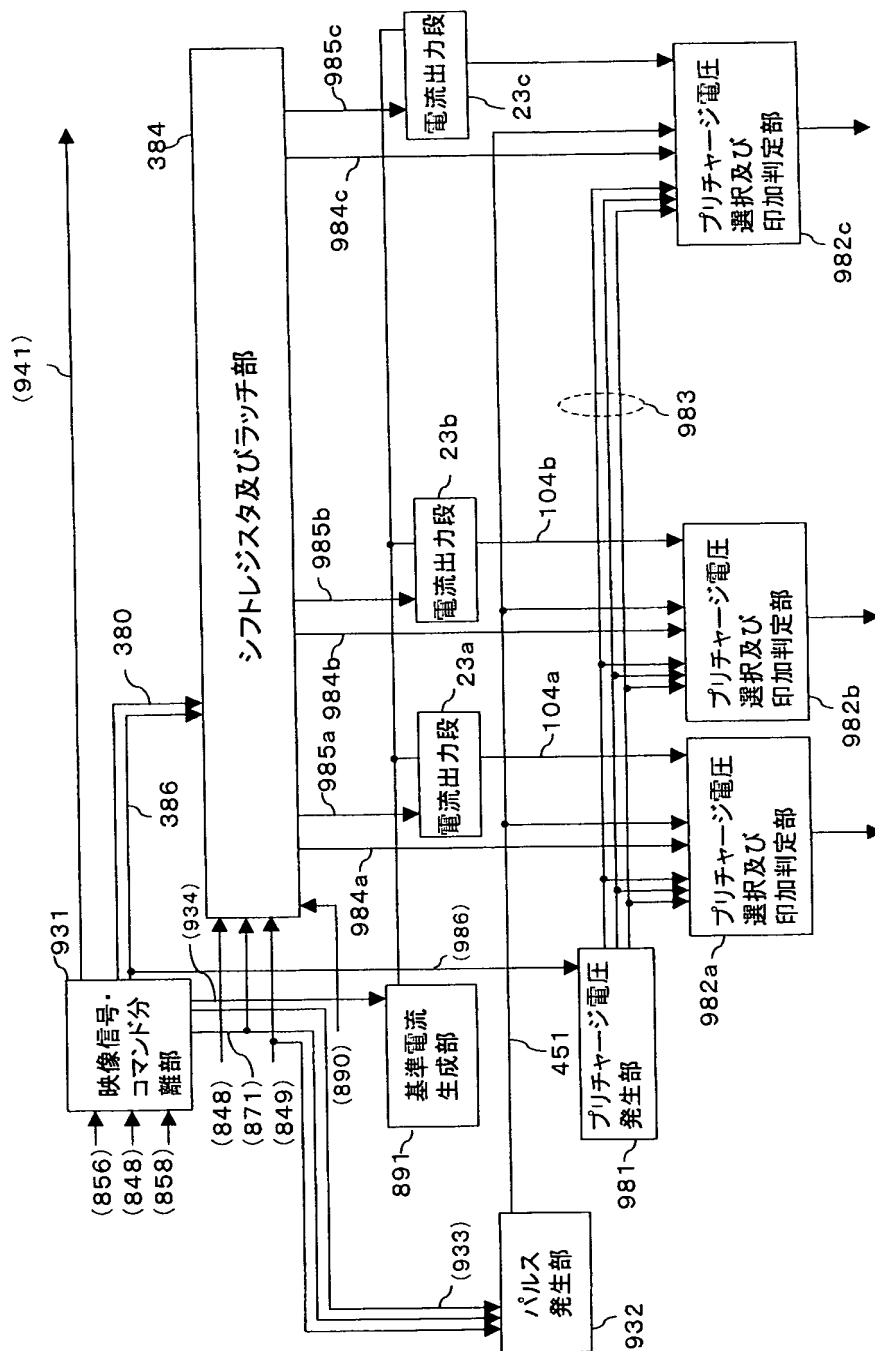
[図96]



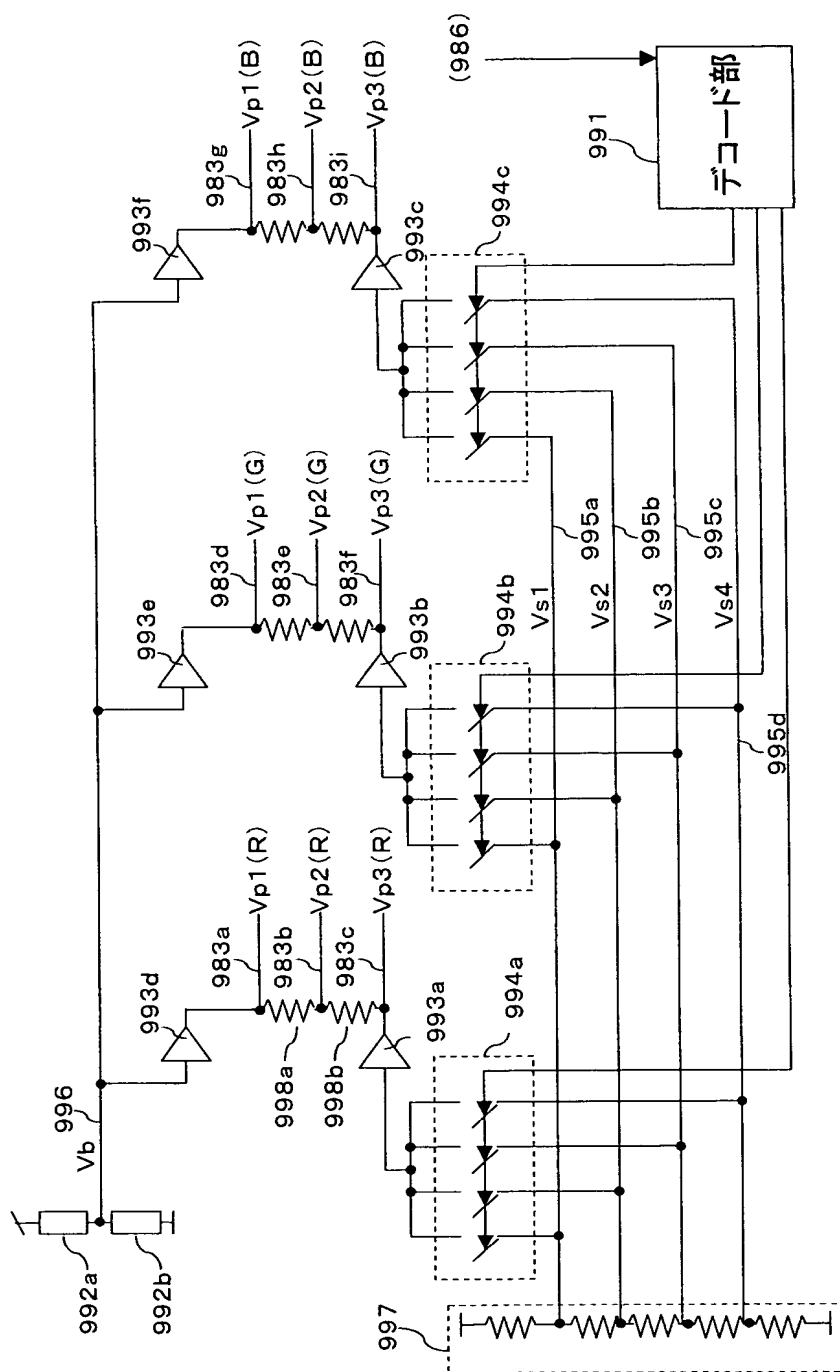
[図97]



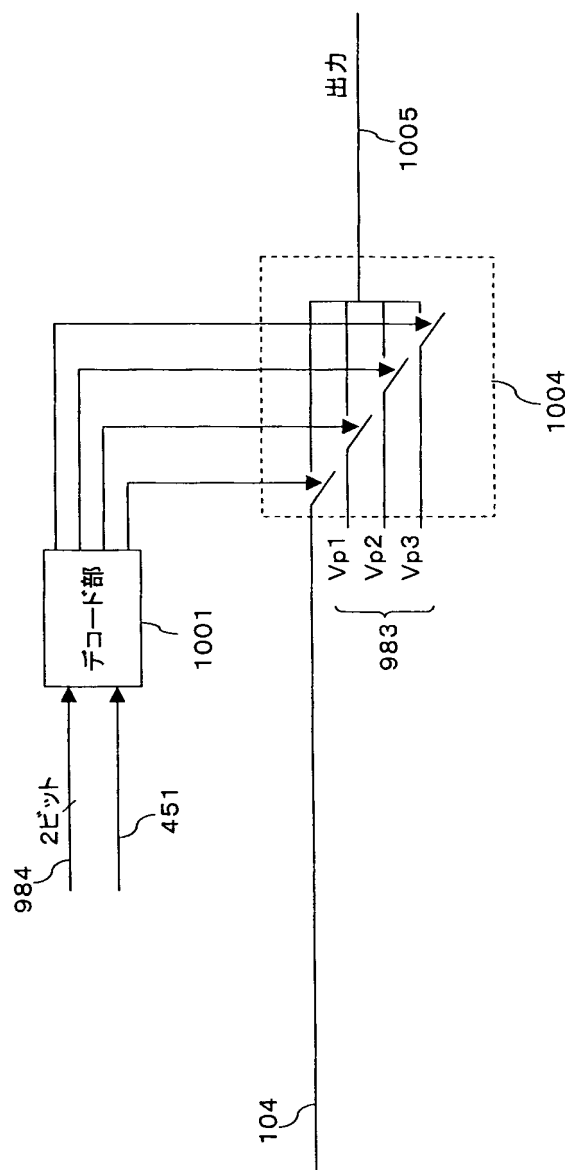
[図98]



[図99]



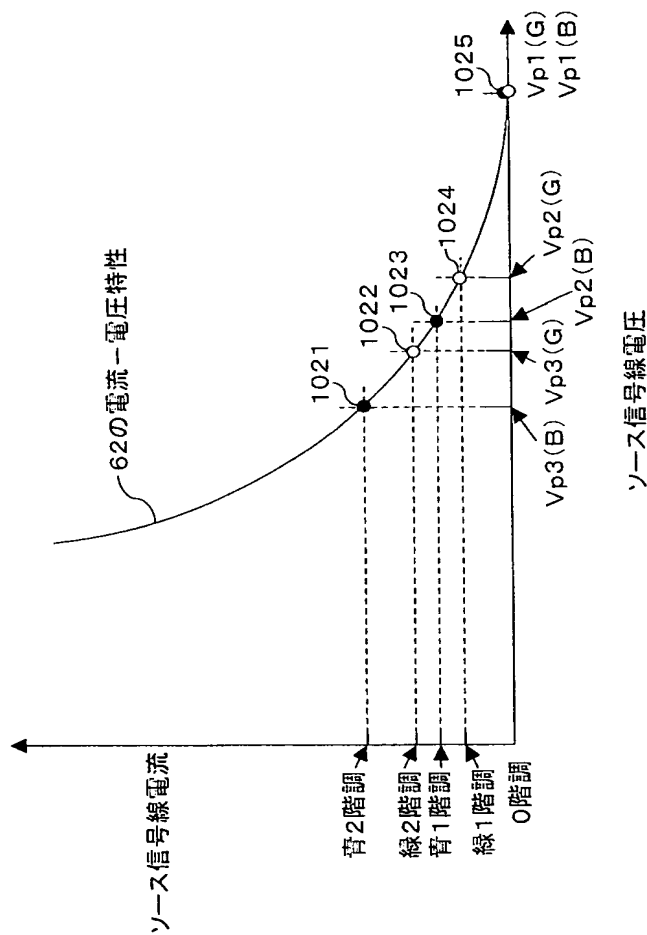
[図100]



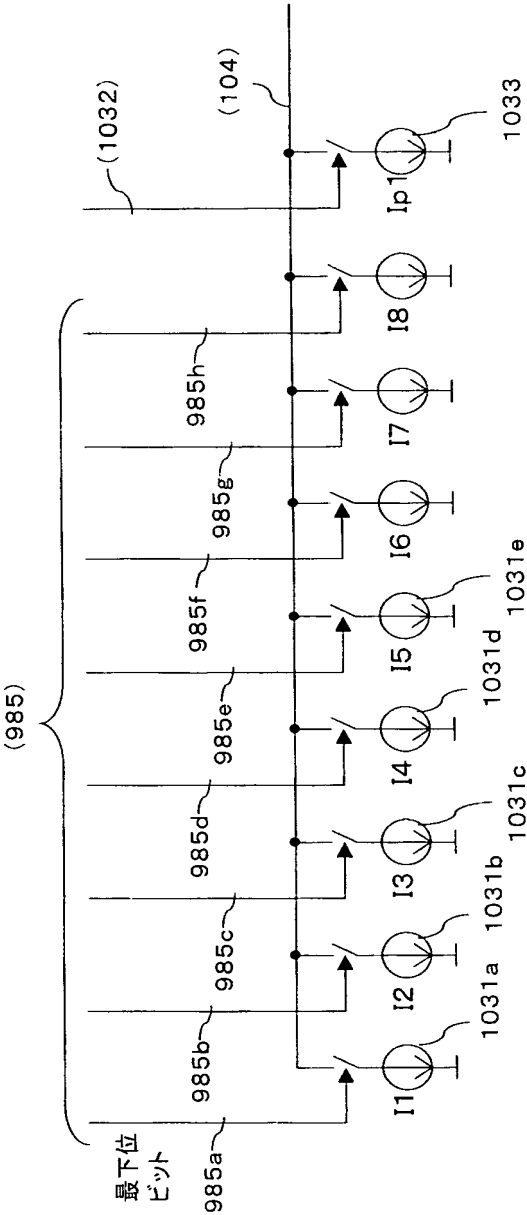
[図101]

プリチャージパルス (451)	プリチャージ判定線 (984)	出力 (1005)
0	0	階調電流(104)
1	0	階調電流(104)
0	1	階調電流(104)
1	1	Vp1
0	2	階調電流(104)
1	2	Vp2
0	3	階調電流(104)
1	3	Vp3

[図102]

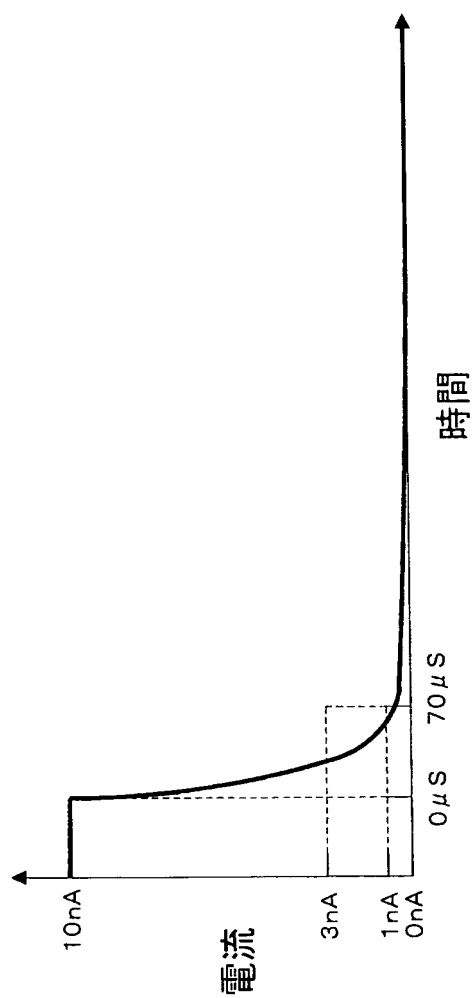


[図103]

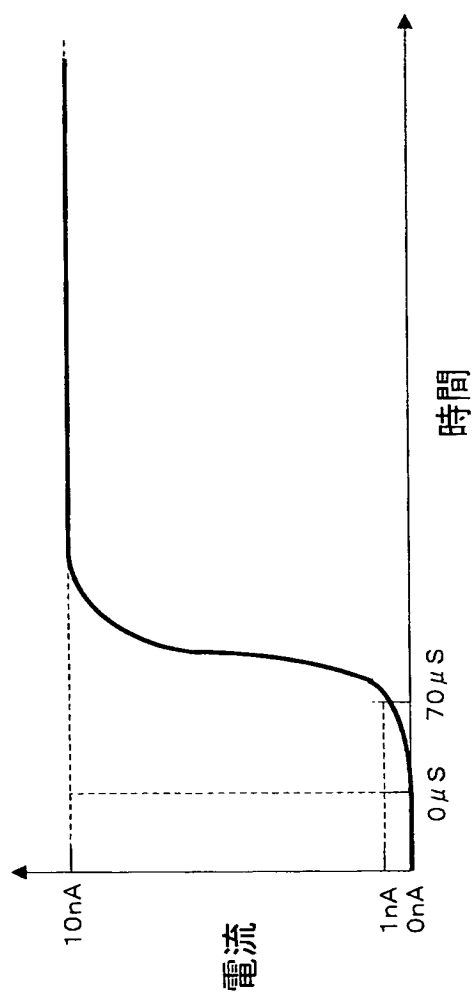




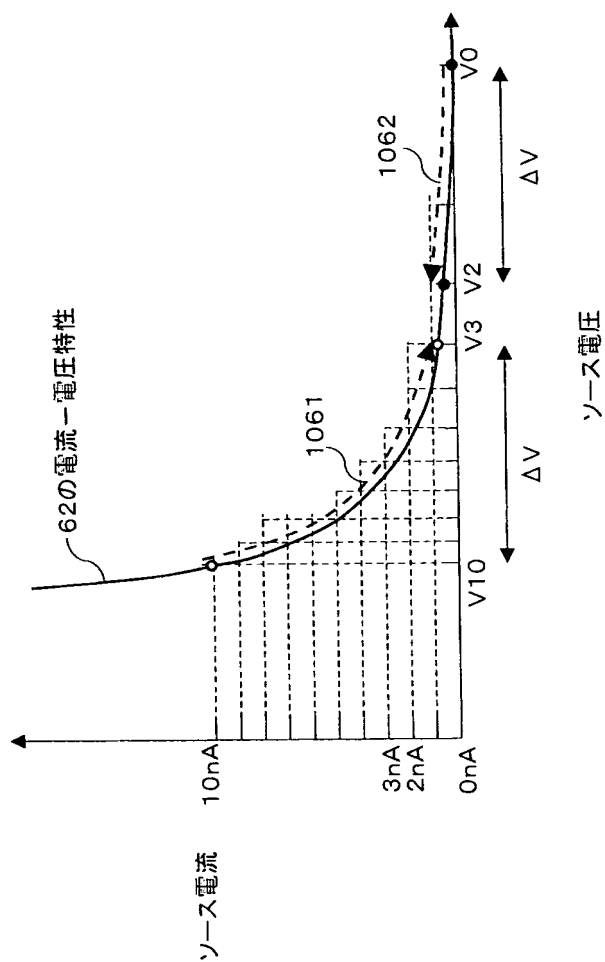
[図104]



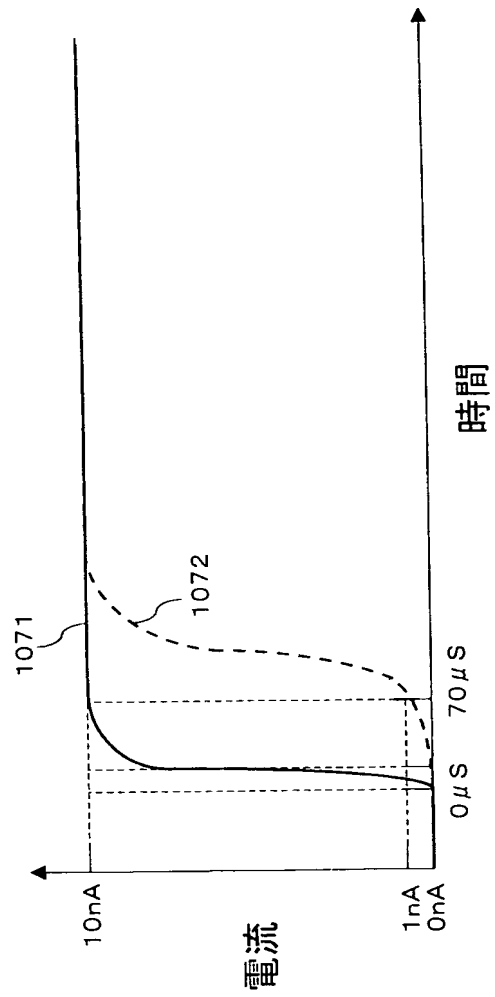
[図105]



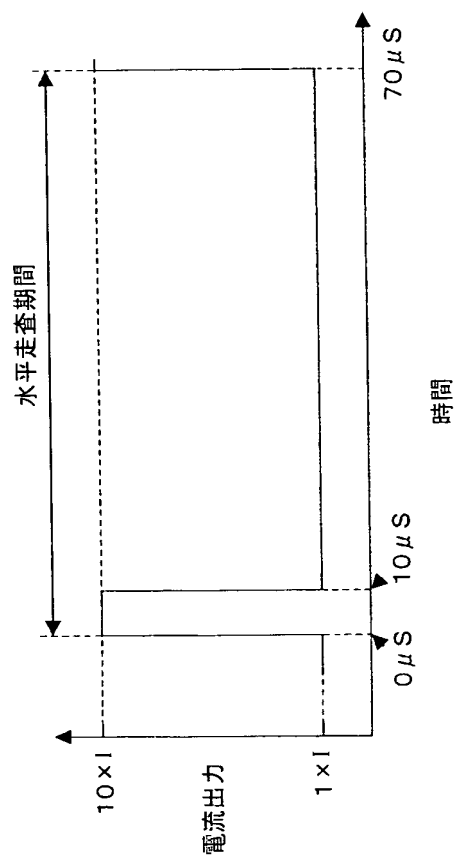
[図106]



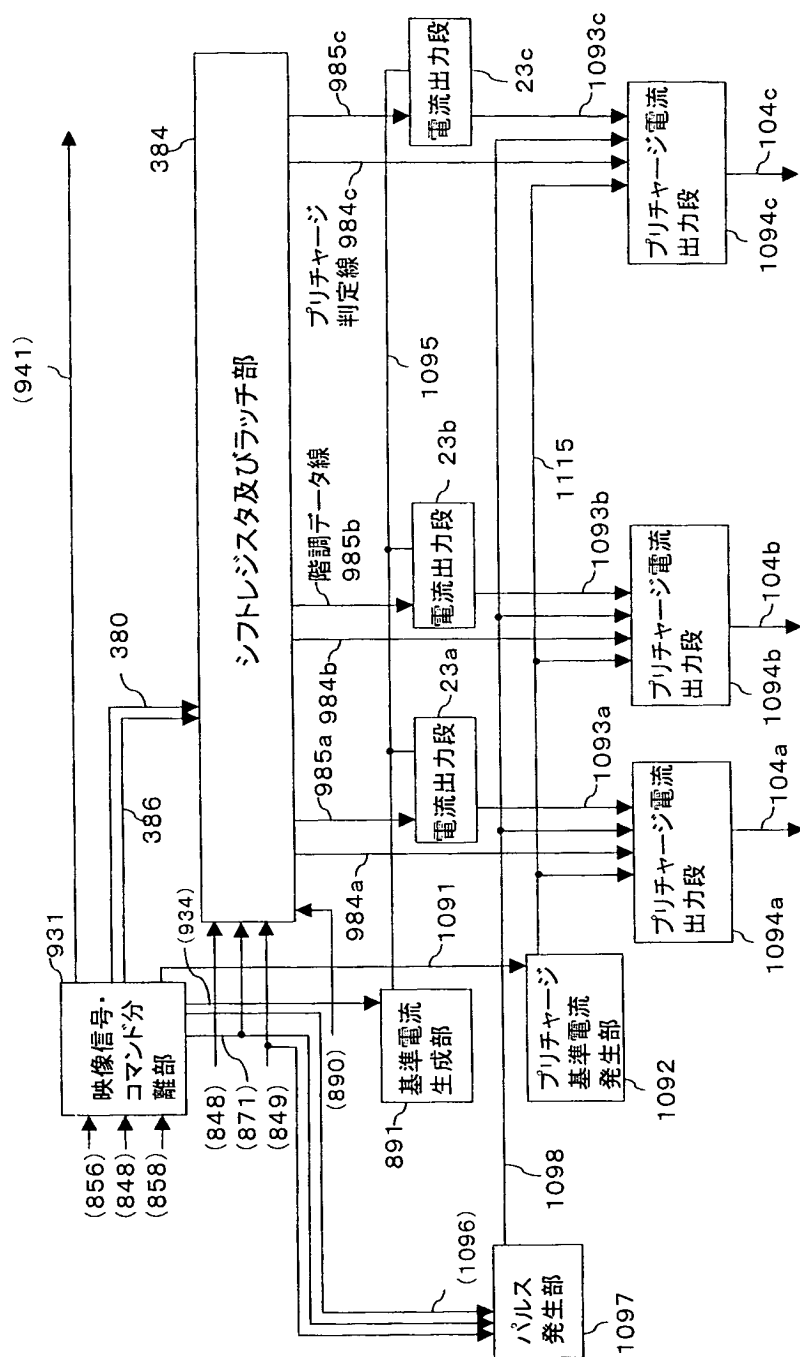
[図107]



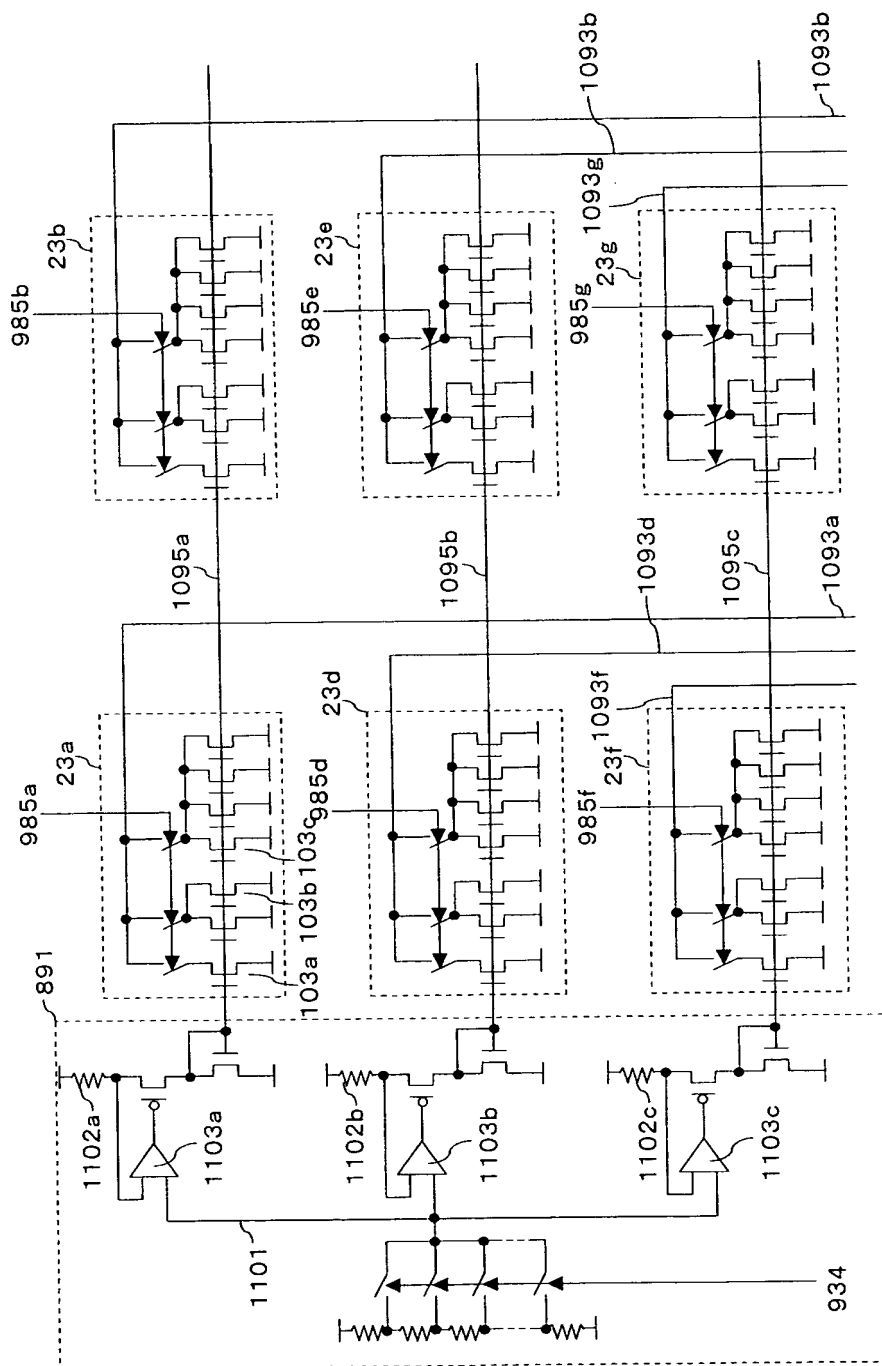
[図108]



[図109]



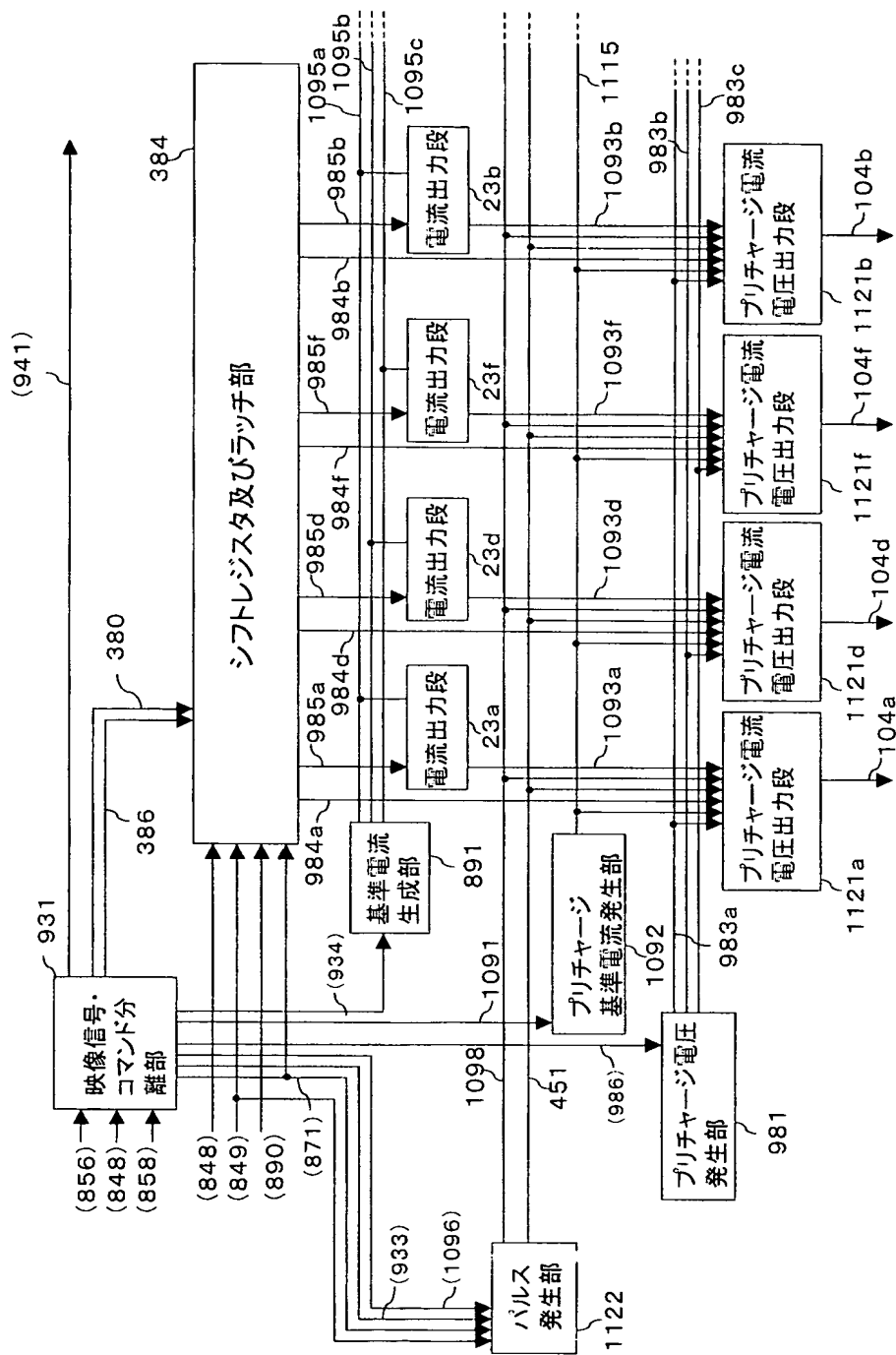
[図110]







[図112]



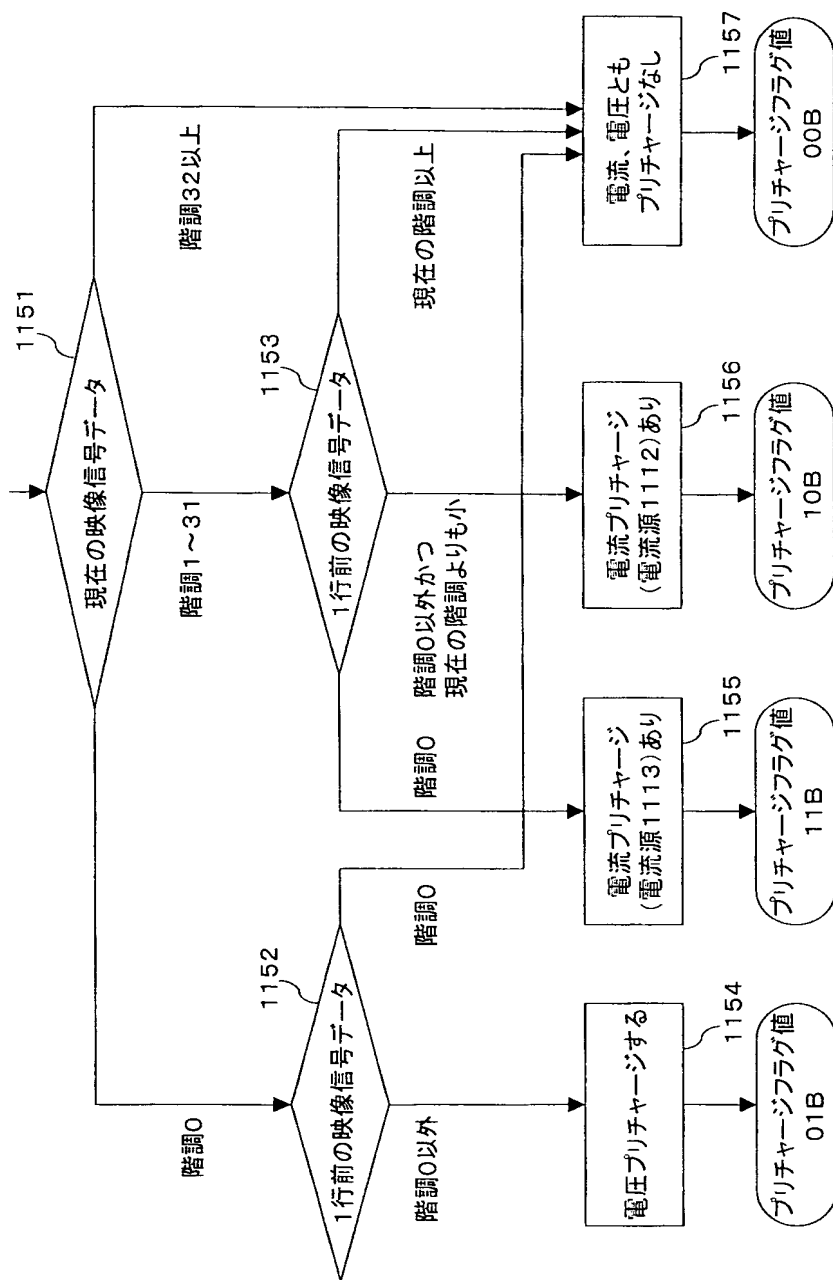


[図114]

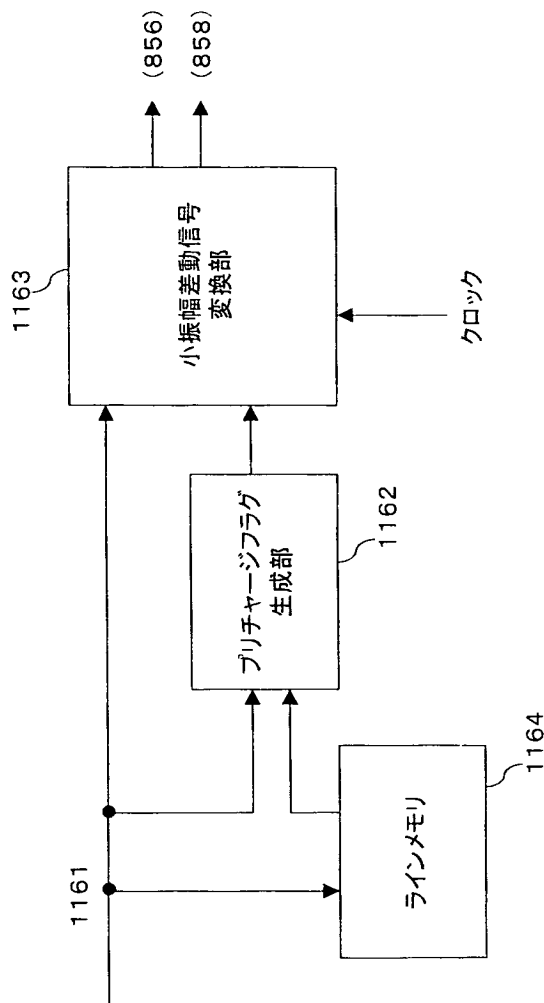
984		451	1098	1132	1133	1134	1135	状態
上位ビット	下位ビット							
0	0	X	X	OFF	OFF	ON	OFF	電流、電圧ともプリチャージなし
0	1	0	X	OFF	OFF	ON	OFF	電圧プリチャージ
		1	X	OFF	OFF	OFF	ON	
1	0	X	0	OFF	OFF	ON	OFF	電流プリチャージ(電流源1112)
		X	1	ON	OFF	OFF	OFF	
1	1	X	0	OFF	OFF	ON	OFF	電流プリチャージ(電流源1113)
		X	1	OFF	ON	OFF	OFF	

XはDon't care のことを示す

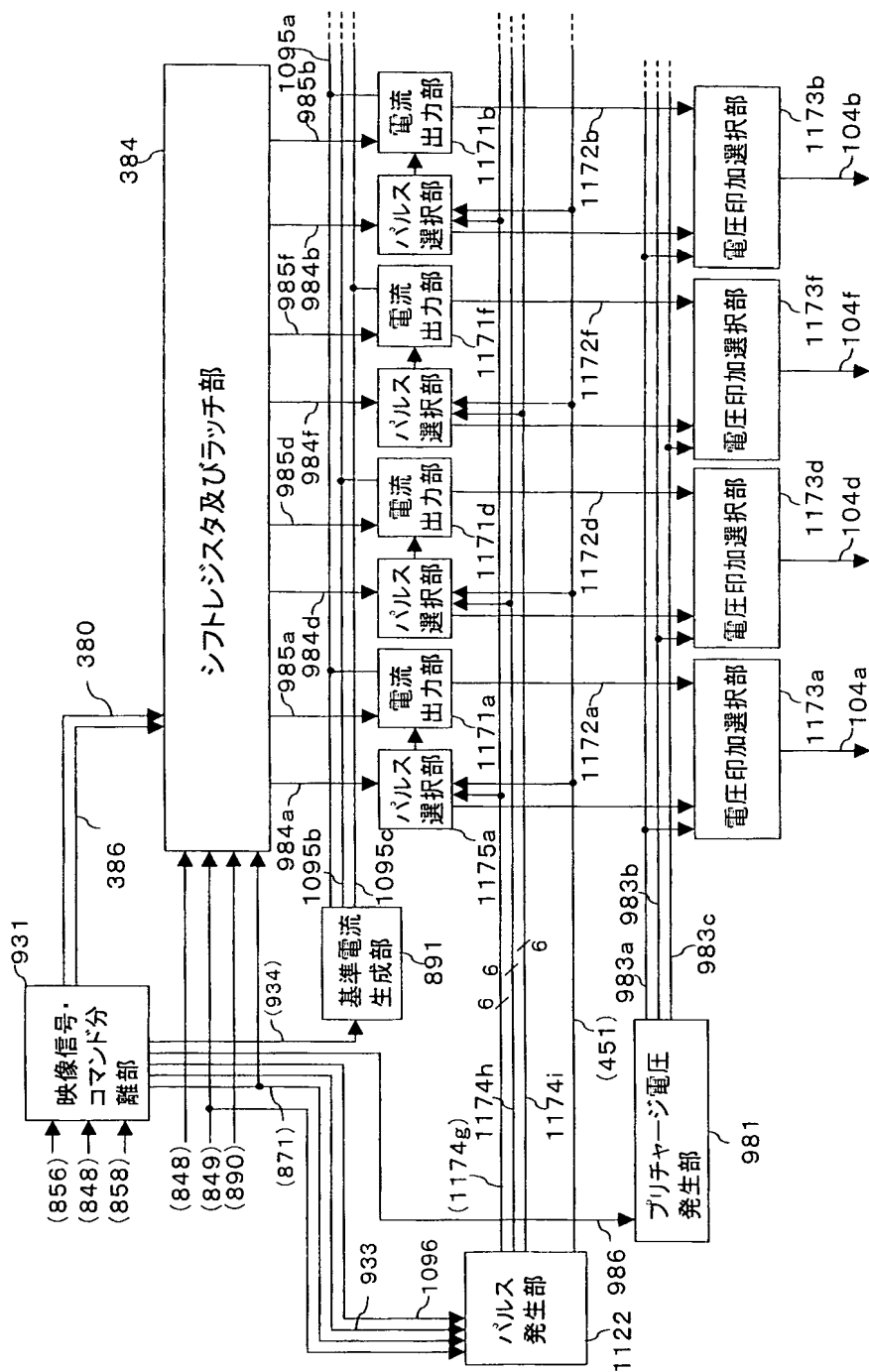
[図115]



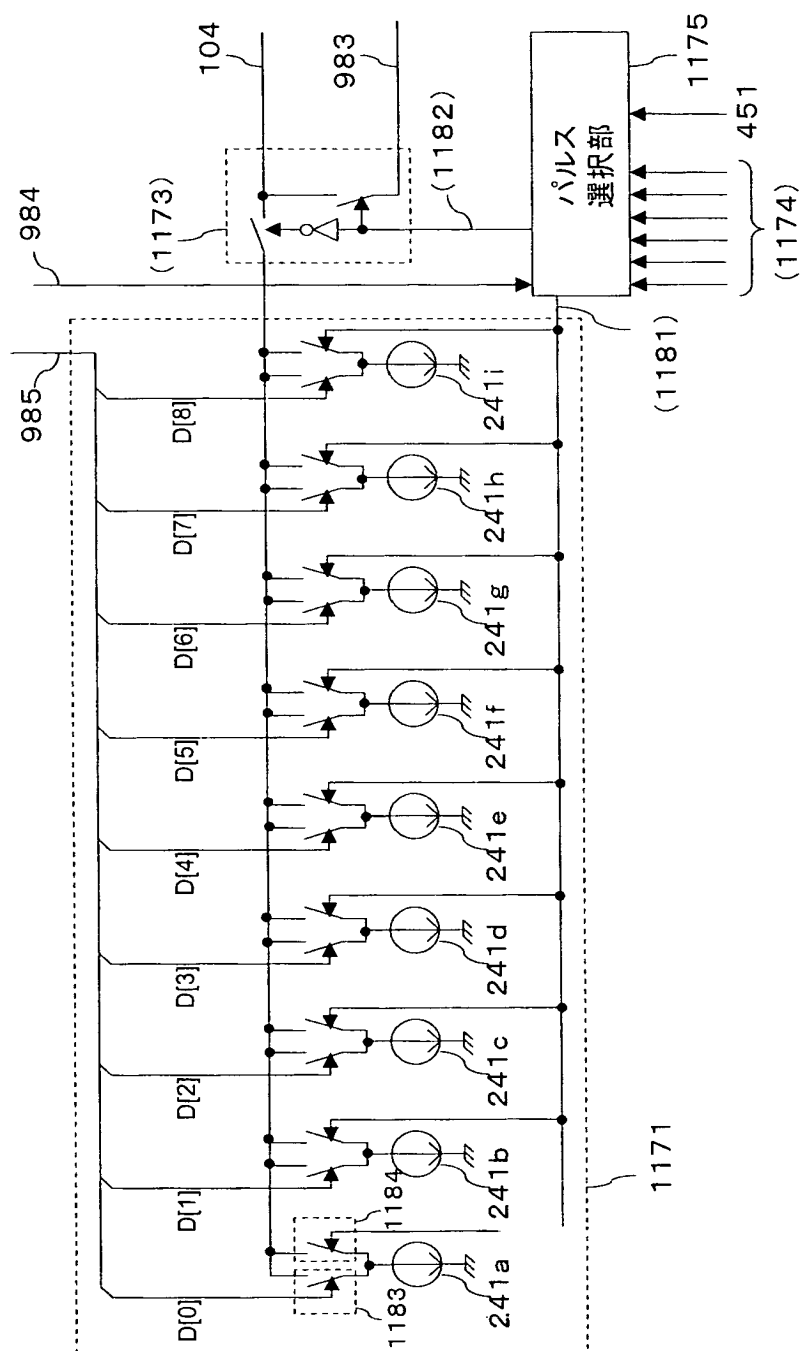
[図116]



[図117]



[図118]

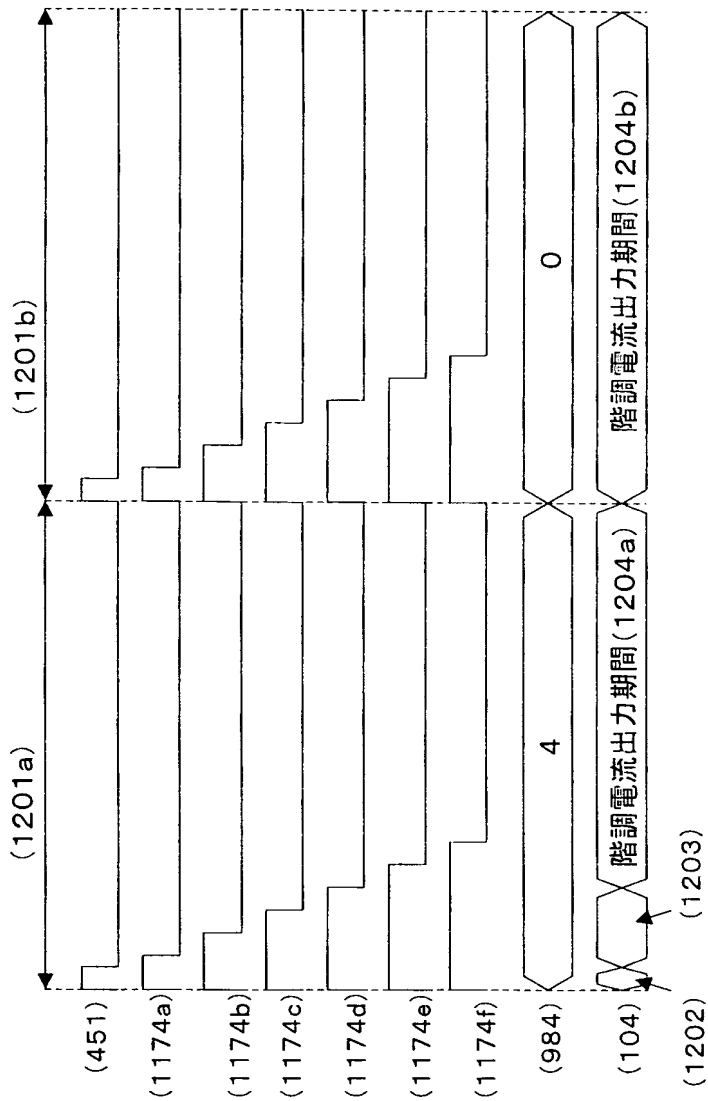


[図119]

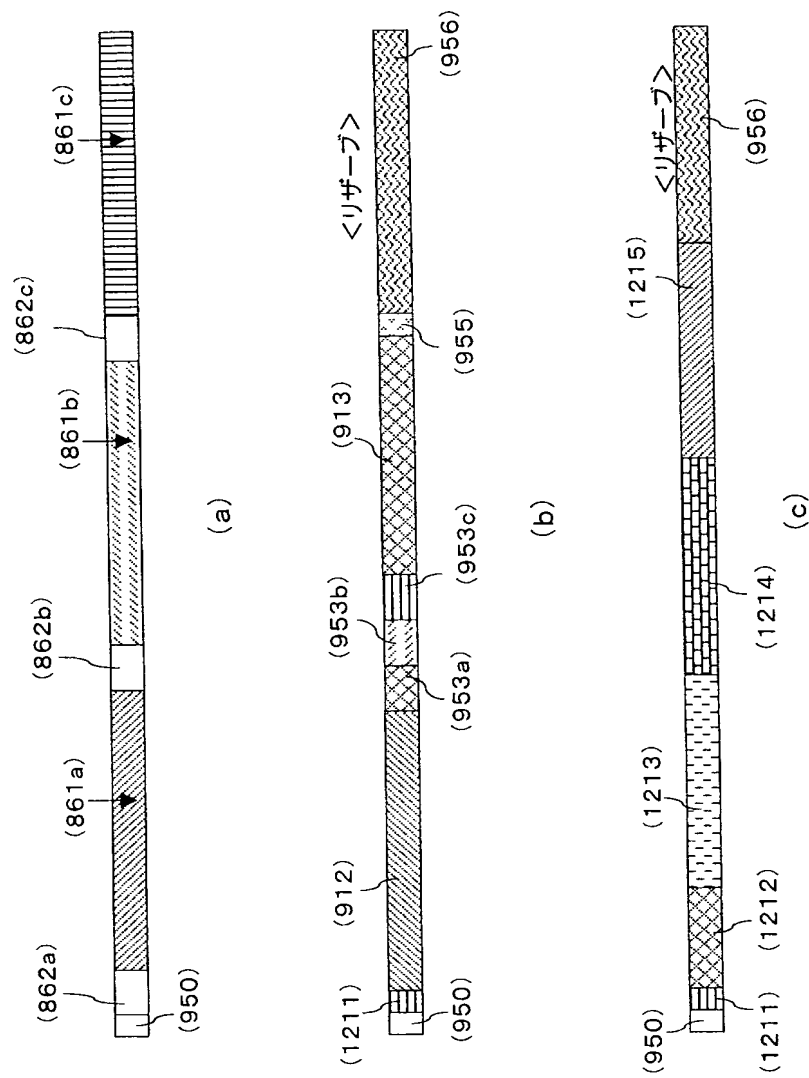
プリチャージ判定線(984)			電流プリチャージ制御線(1181)	電圧プリチャージ制御線(1182)
最上位ビット	真ん中のビット	最下位ビット		
0	0	0	常に“L”レベル	常に“L”レベル
0	0	1	1174aと同一	451と同一
0	1	0	1174bと同一	451と同一
0	1	1	1174cと同一	451と同一
1	0	0	1174dと同一	451と同一
1	0	1	1174eと同一	451と同一
1	1	0	1174fと同一	451と同一
1	1	1	常に“L”レベル	451と同一



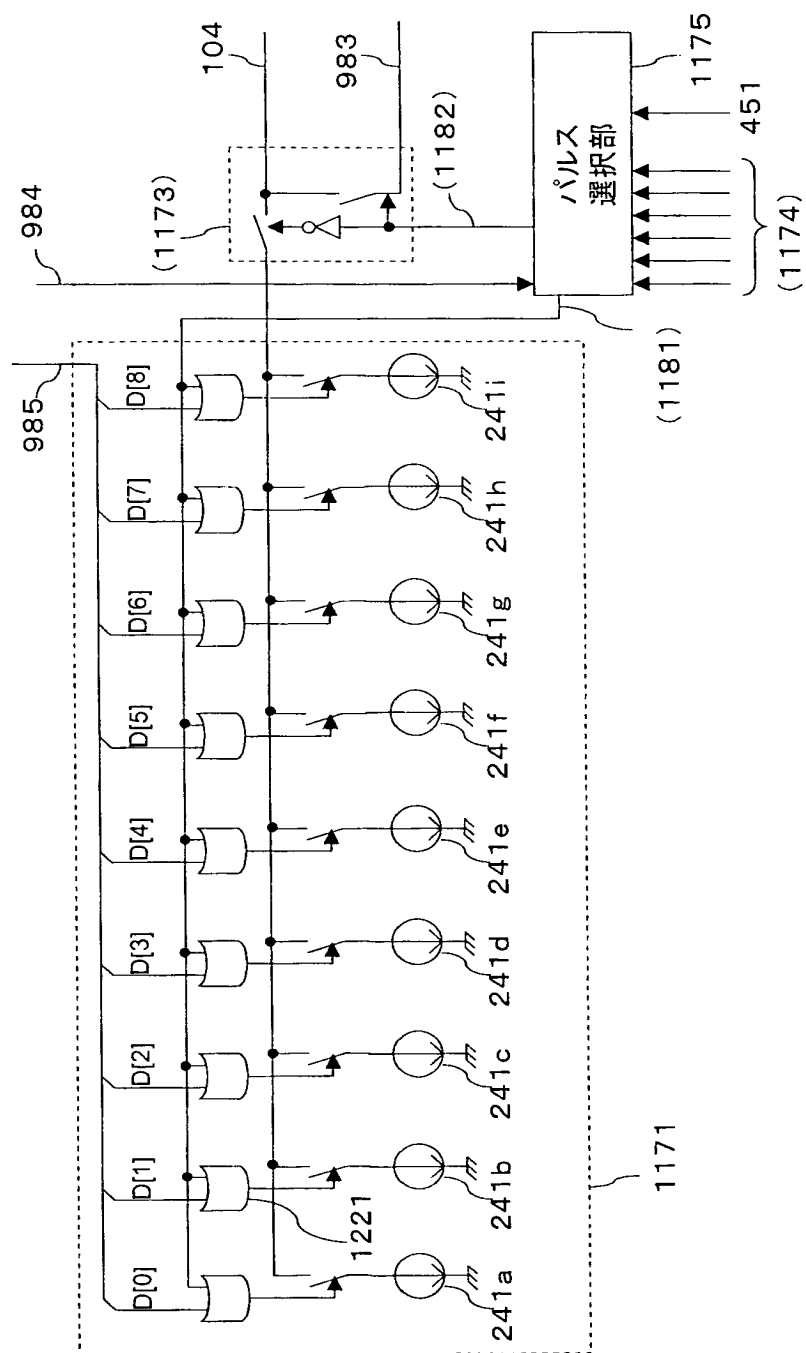
[図120]



[図121]



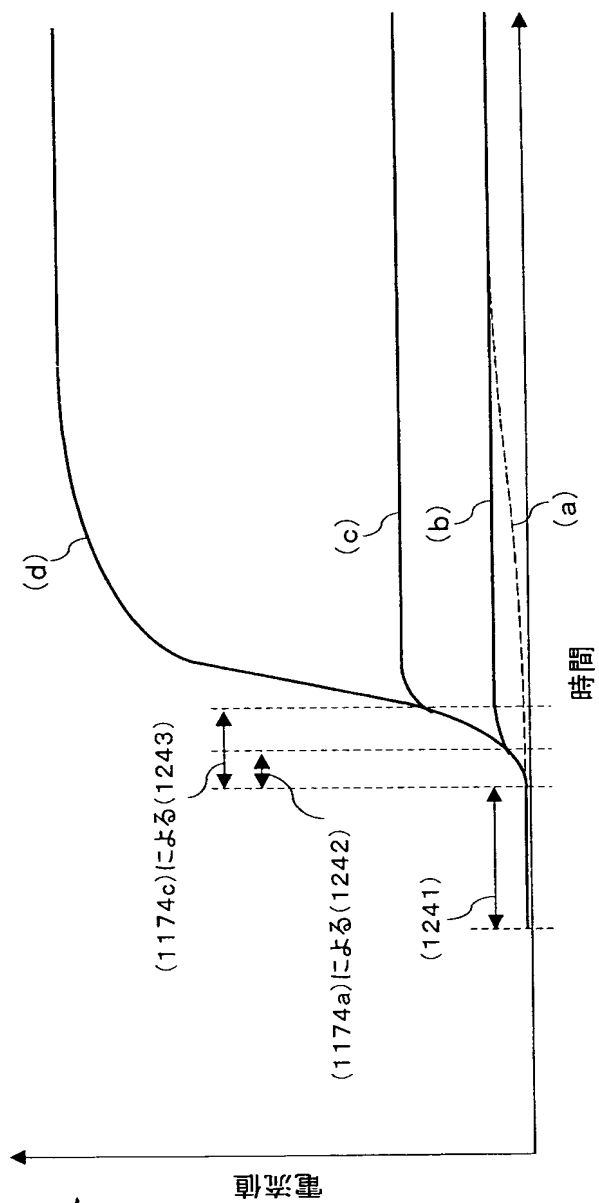
[図122]



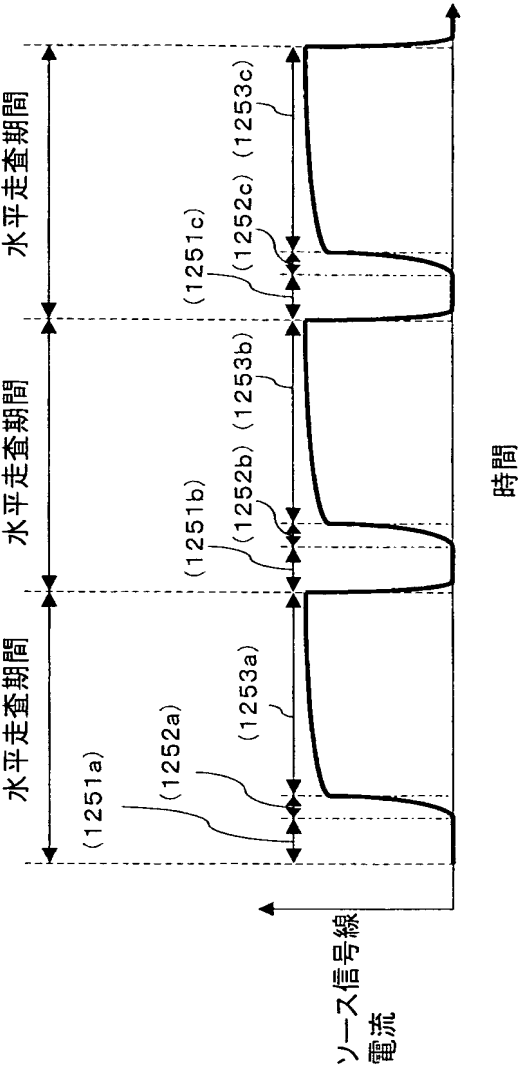
[図123]

階調	プリチャージ電流出力期間	電流プリチャージパルスの対応
0	なし	なし(電圧プリチャージのみ)
1	0.4 $\mu$ 秒	1174a
2	0.8 $\mu$ 秒	1174b
3	1.2 $\mu$ 秒	1174c
4	1.6 $\mu$ 秒	1174d
5	2.0 $\mu$ 秒	1174e
6~35	2.4 $\mu$ 秒	1174f
36~255	なし	なし

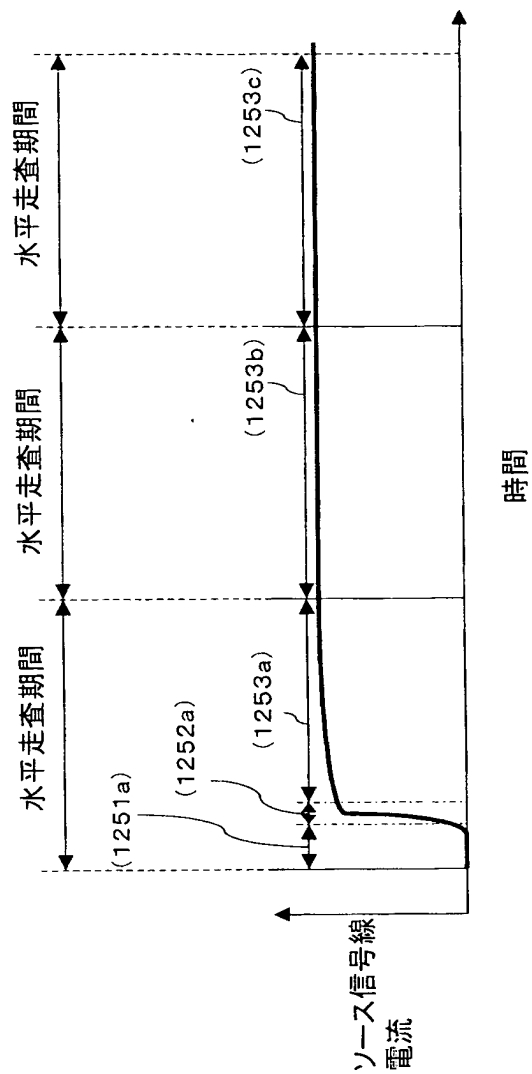
[図124]



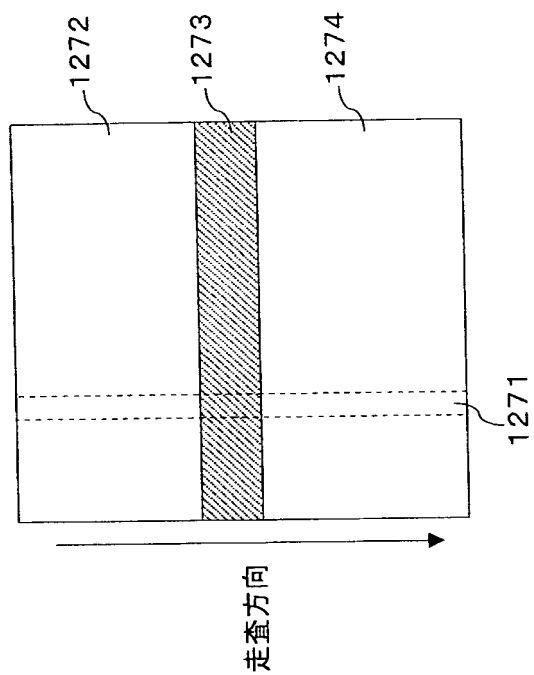
[図125]



[図126]

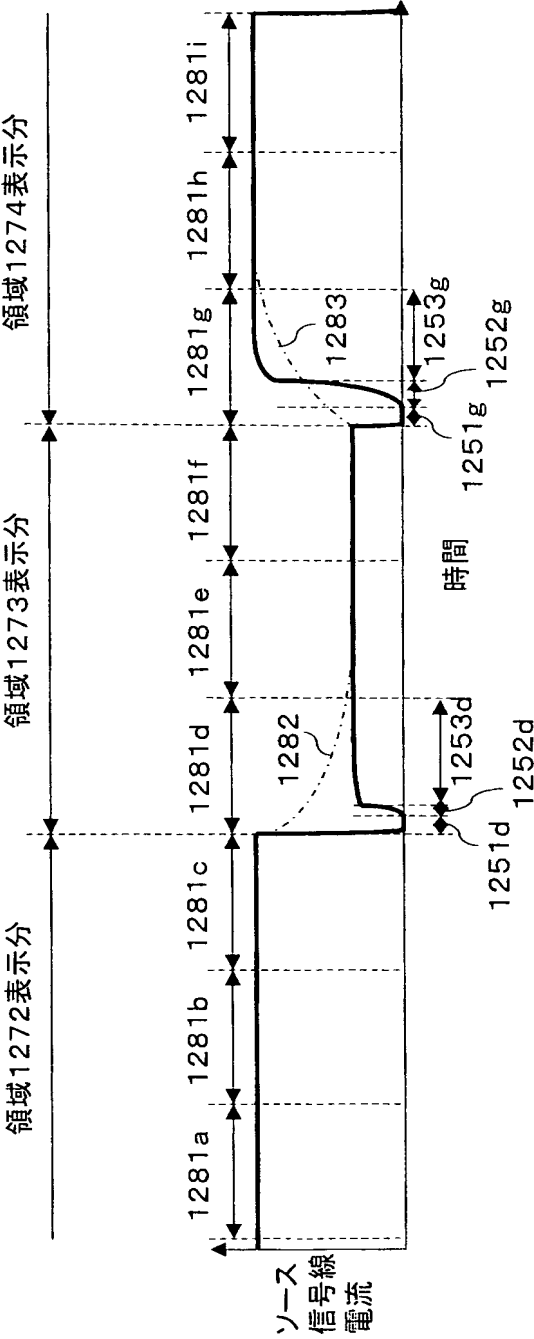


[図127]

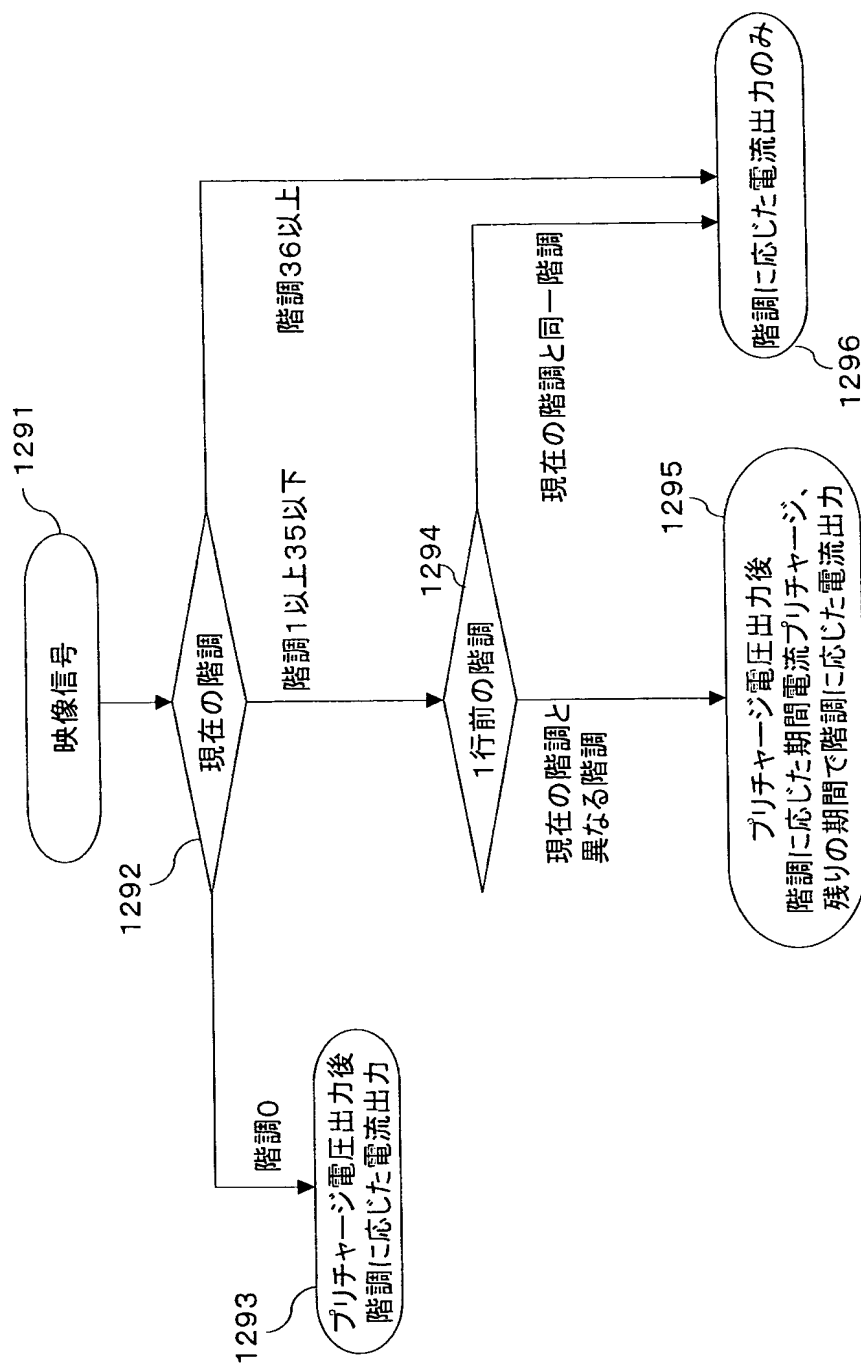




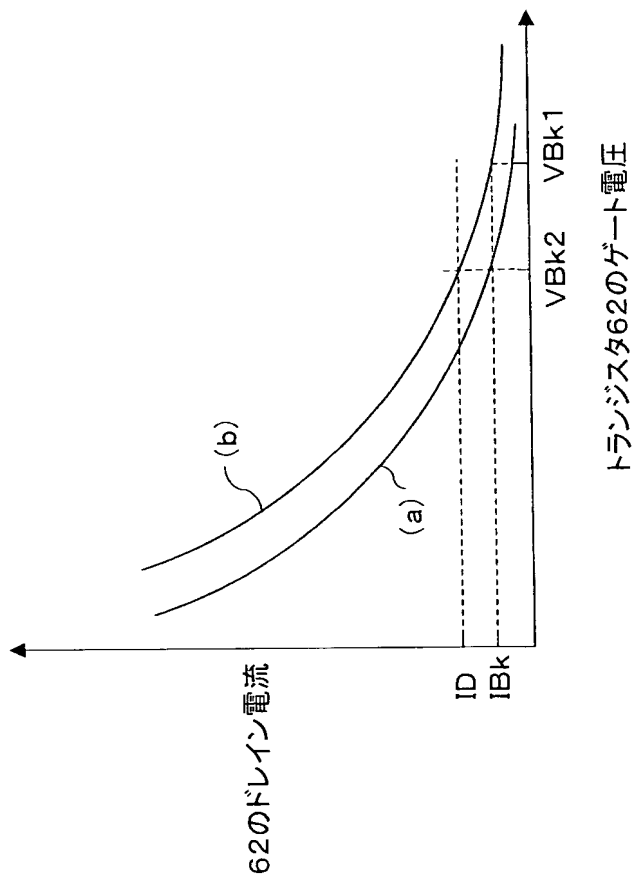
[図128]



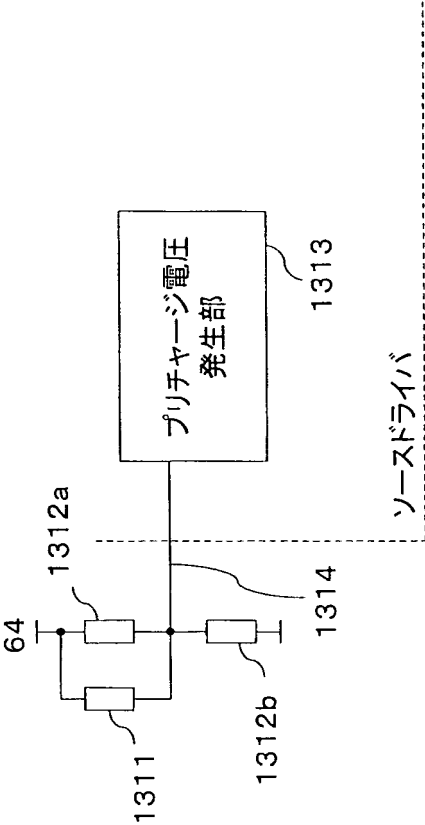
[図129]



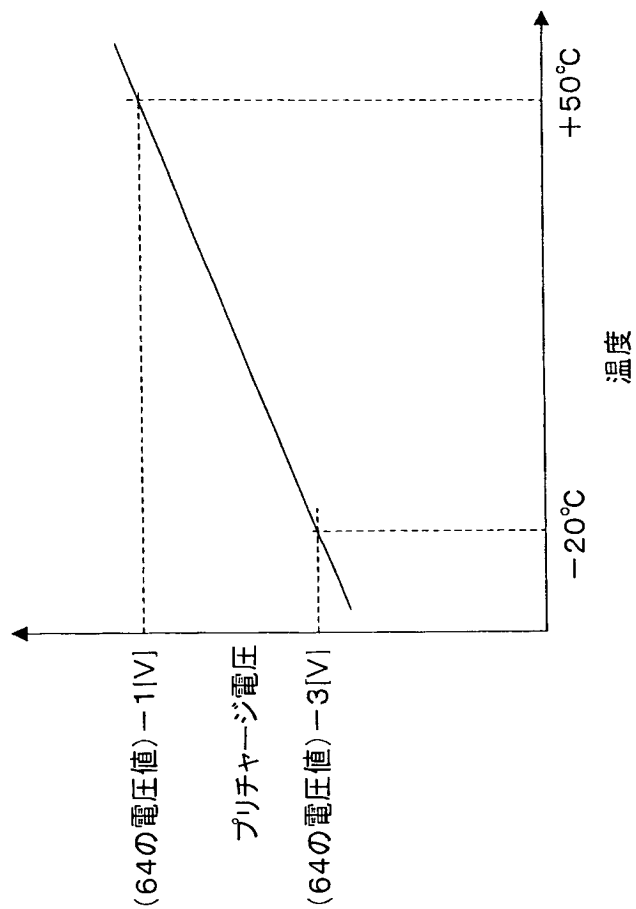
[図130]



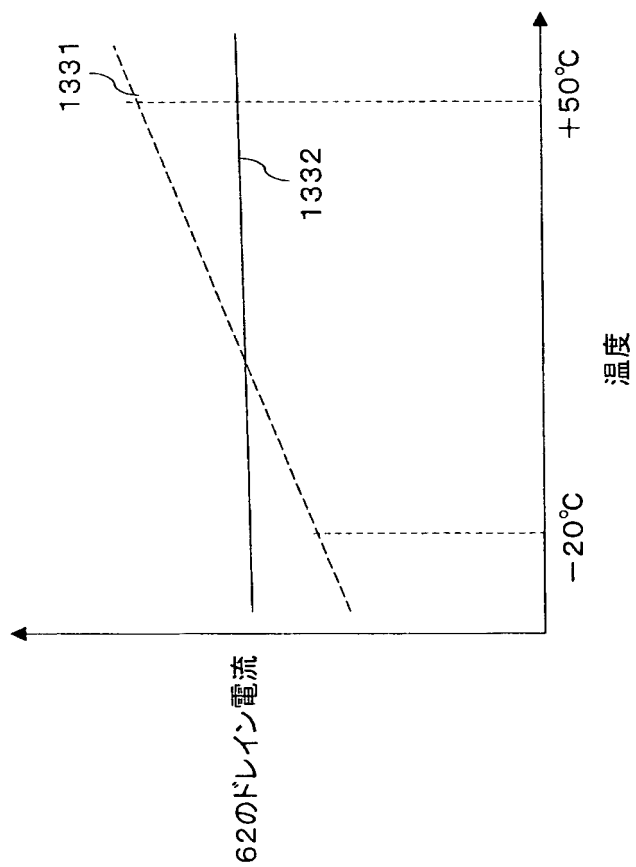
[図131]



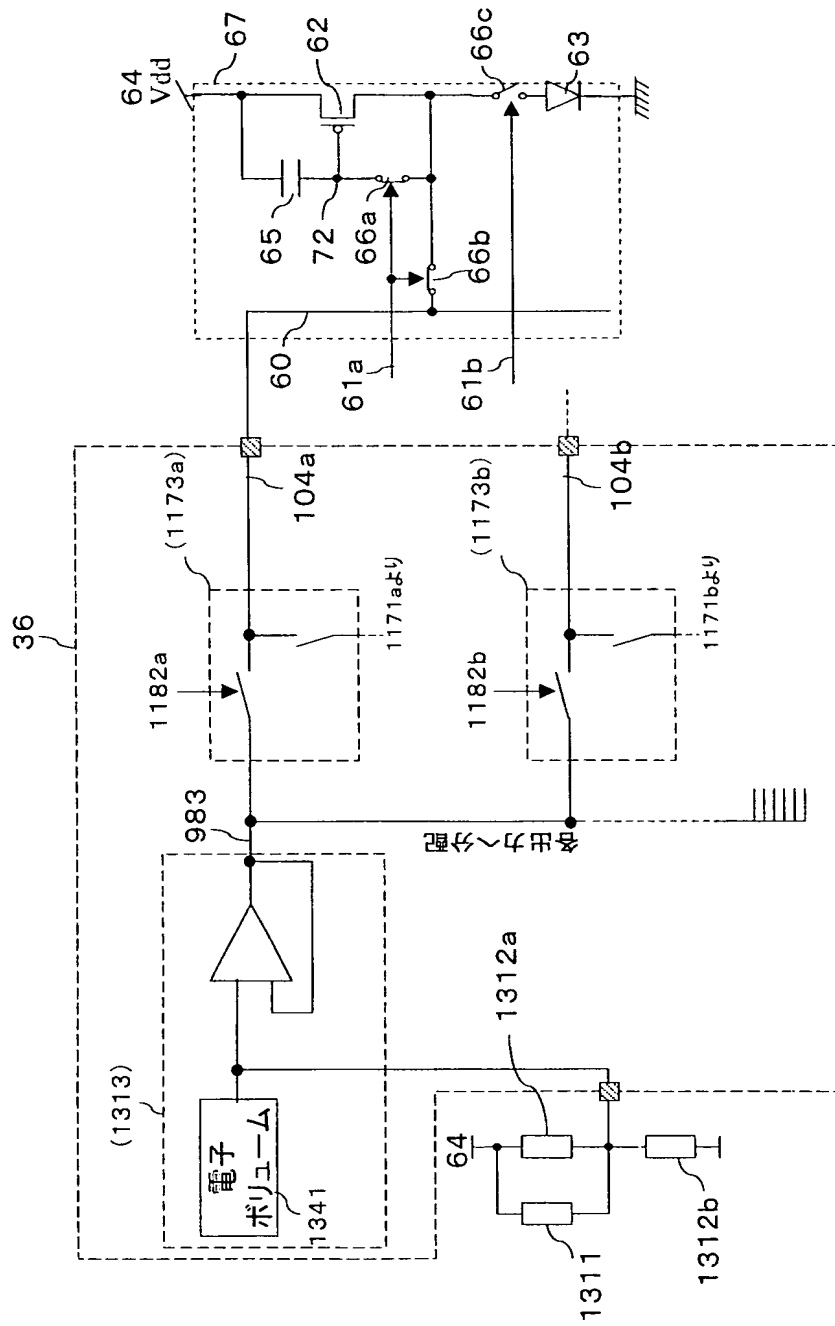
[図132]



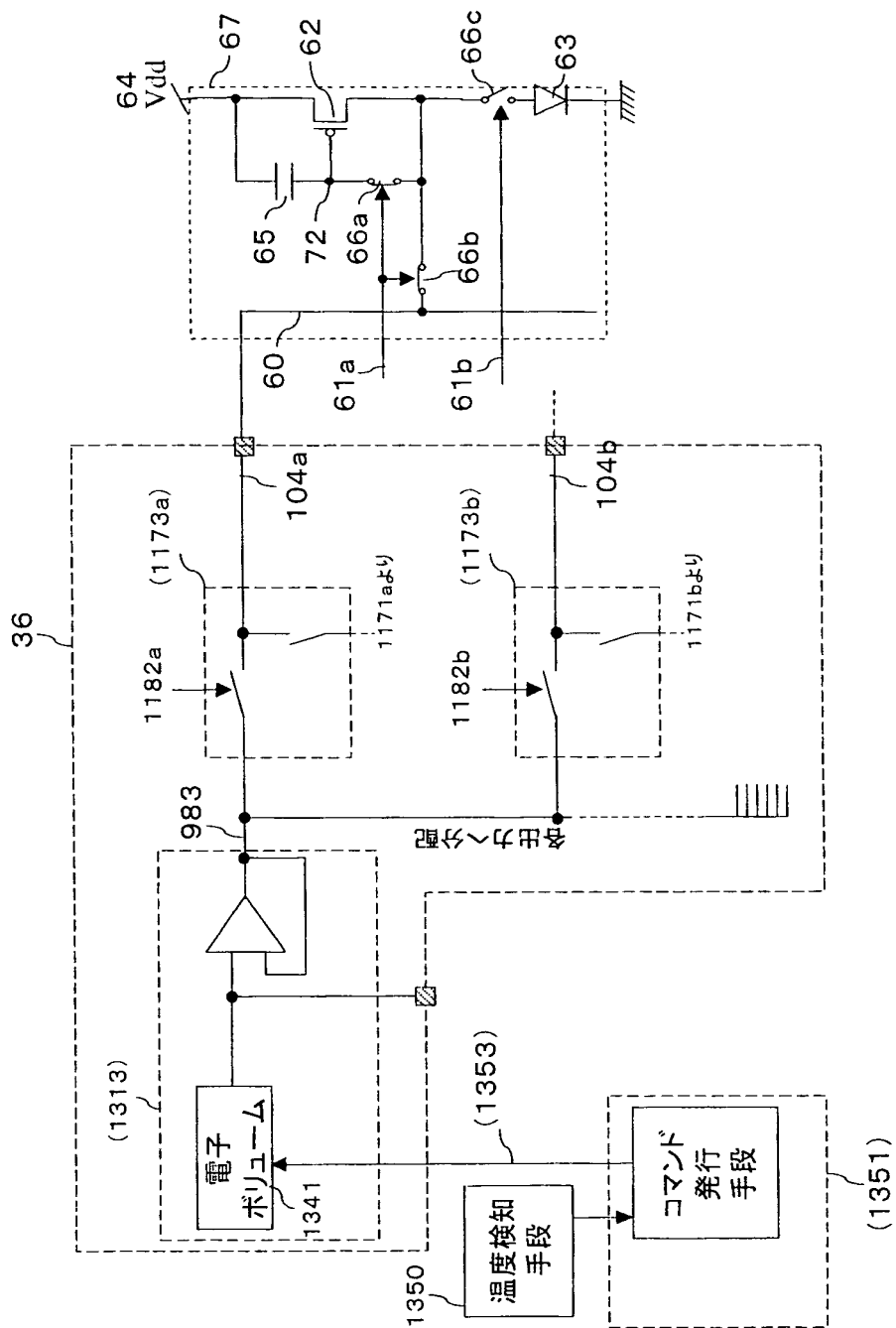
[図133]



[図134]

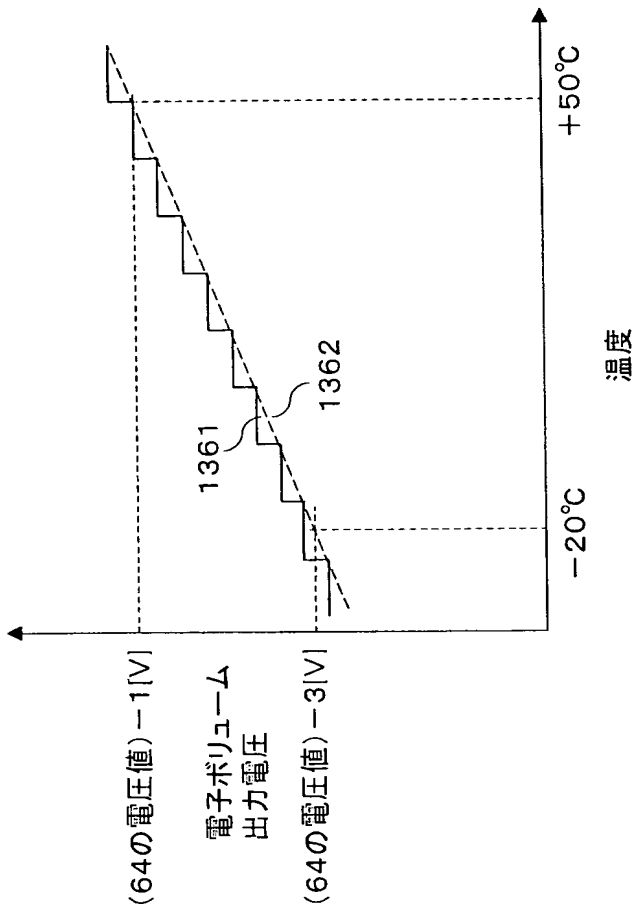


[図135]

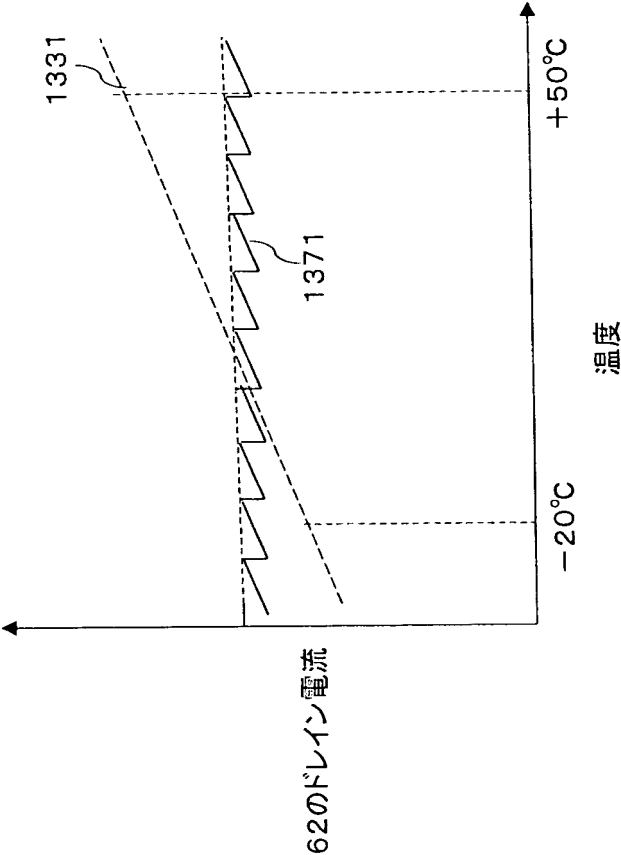




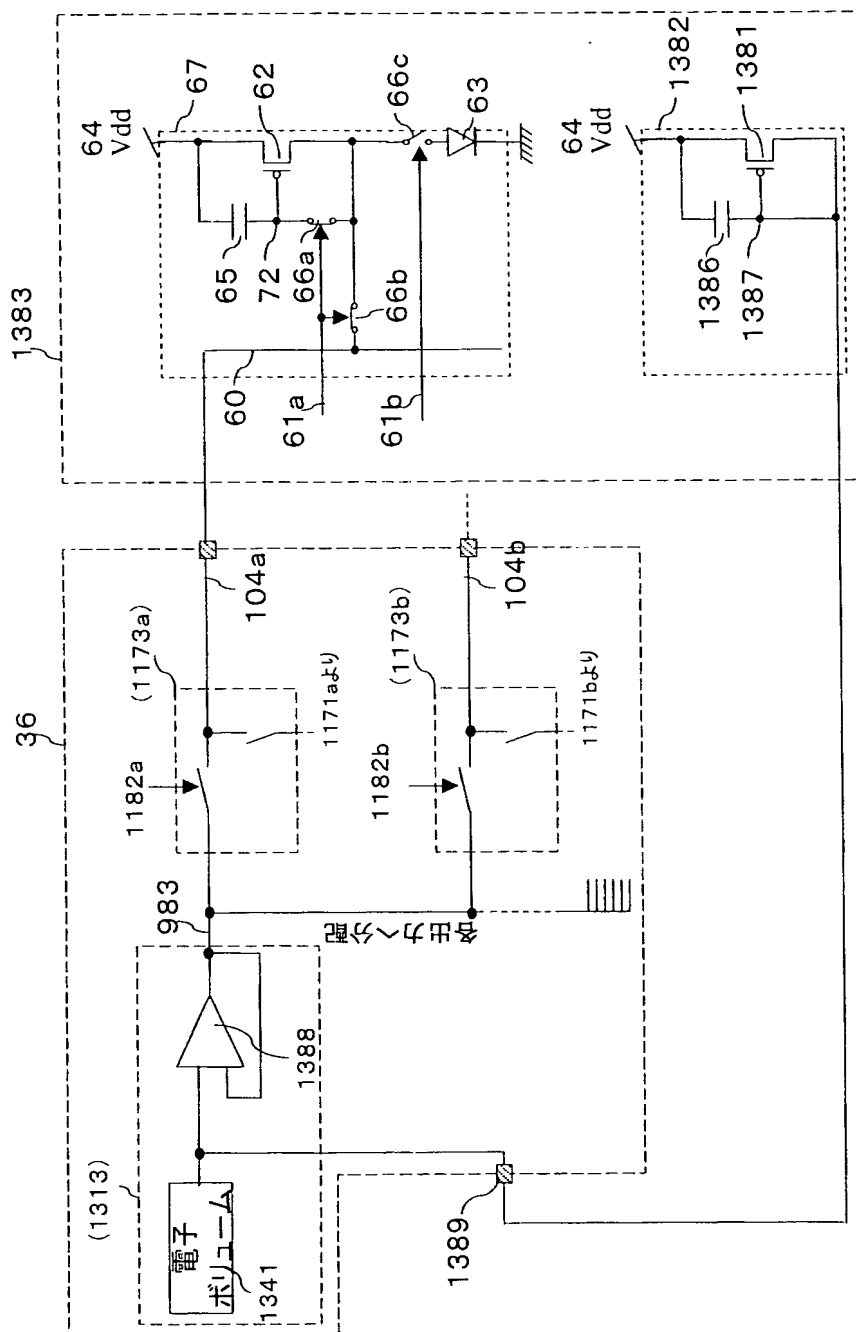
[図136]



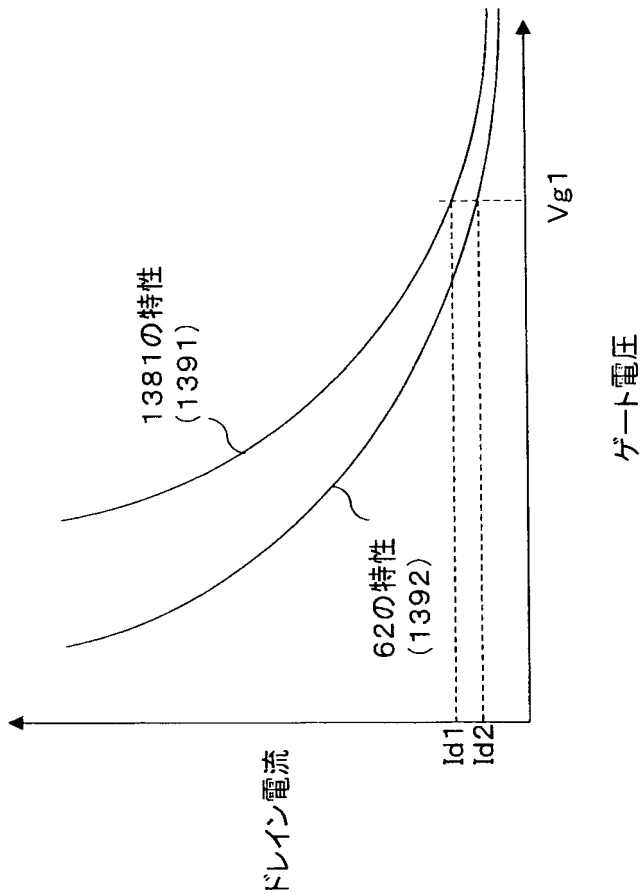
[図137]



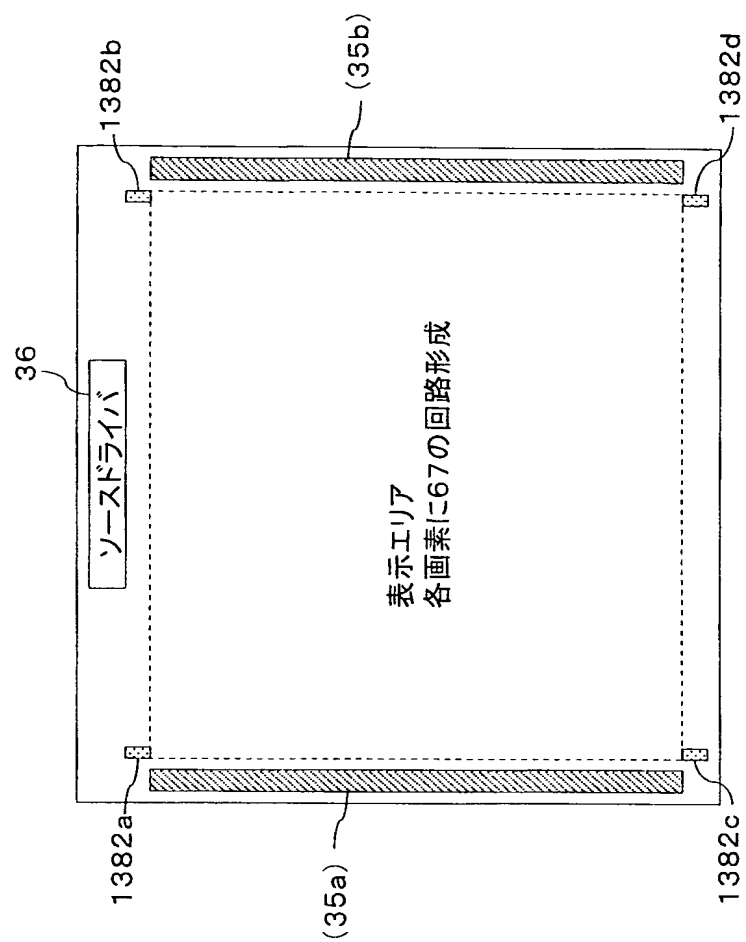
[図138]



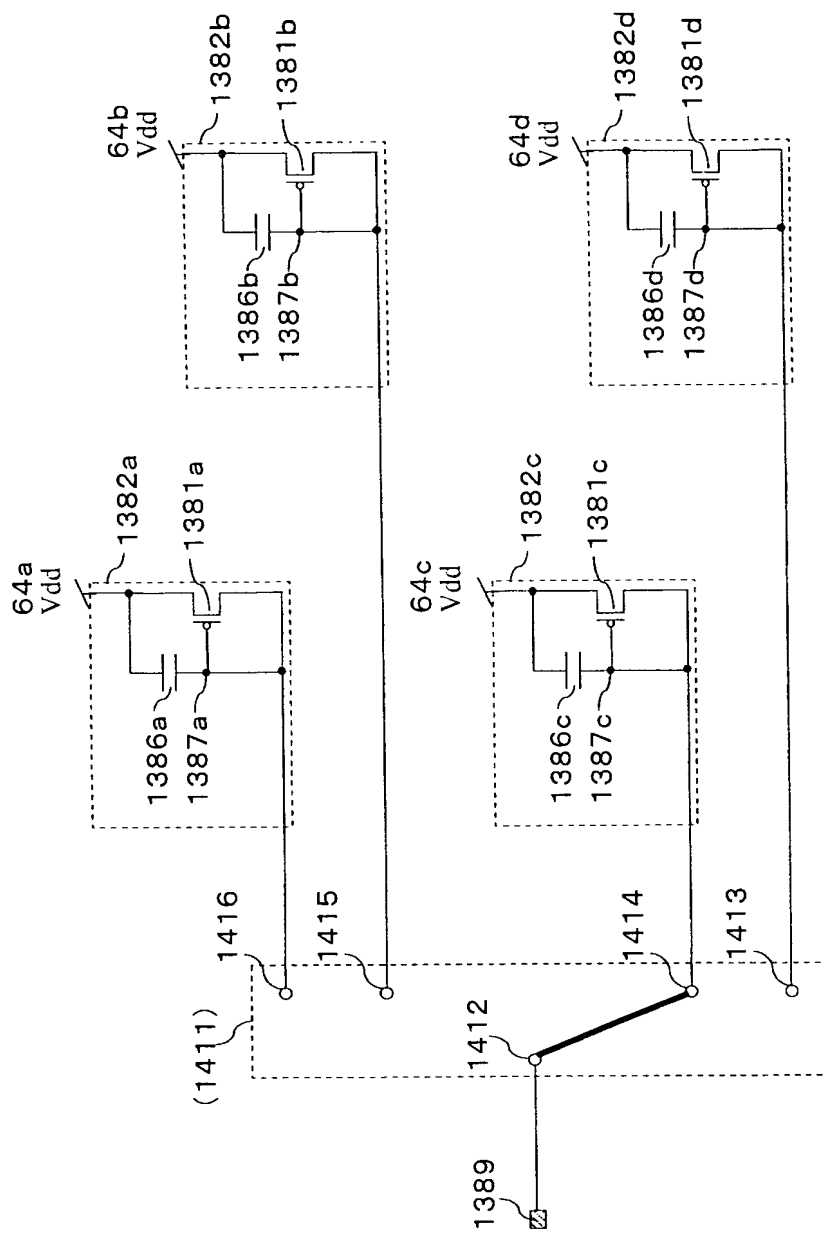
[図139]



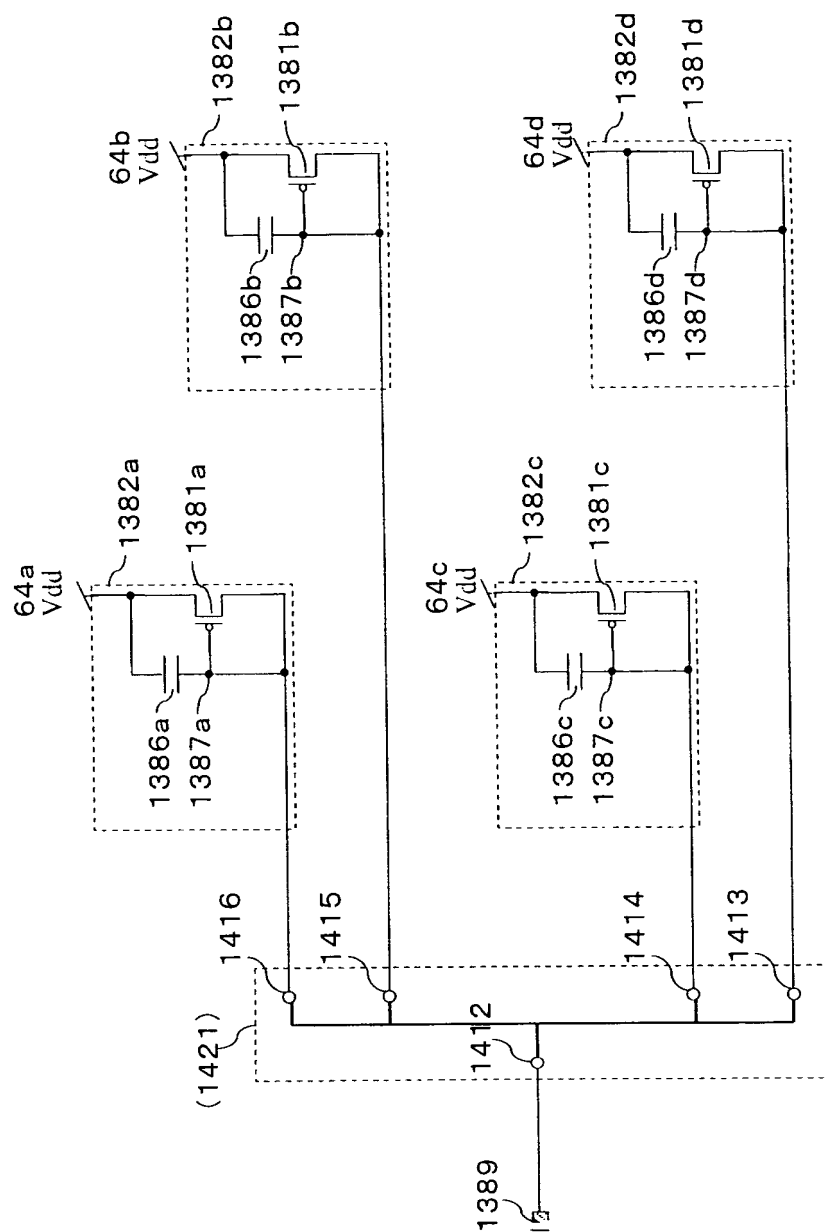
[図140]



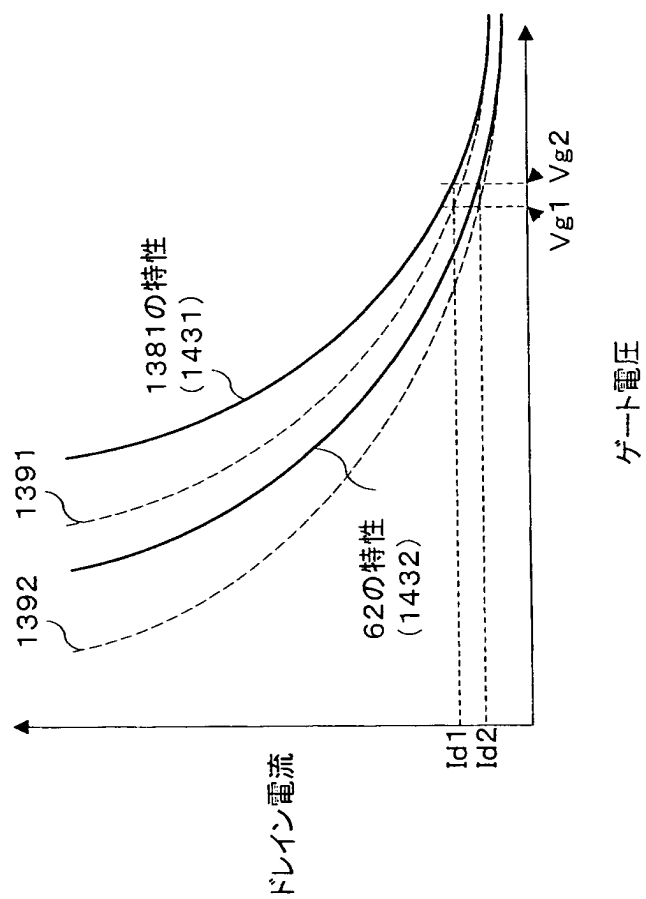
[図141]



[図142]

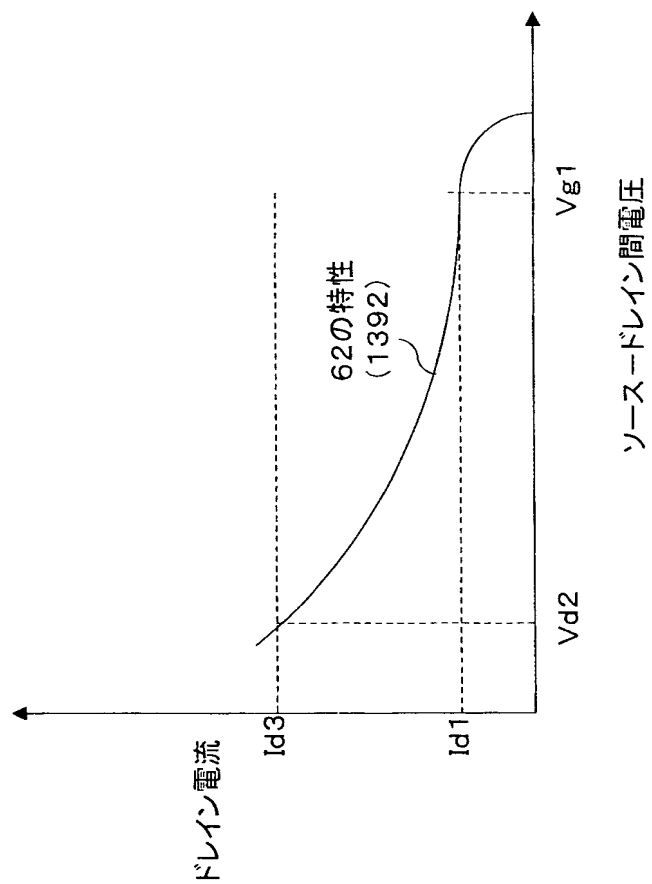


[図143]

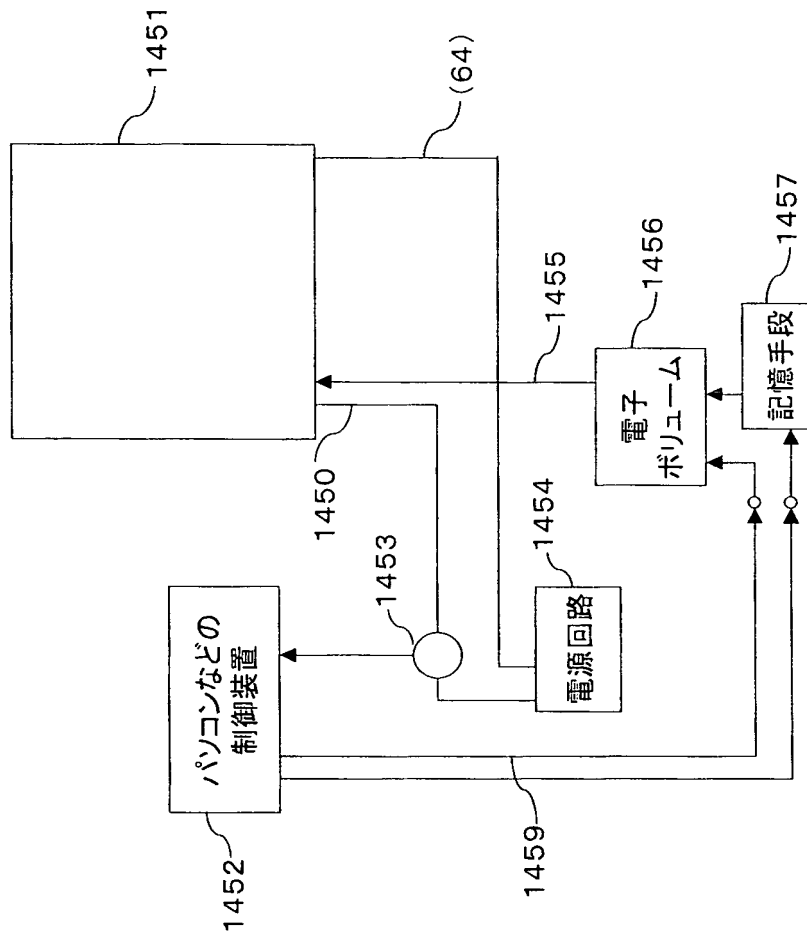




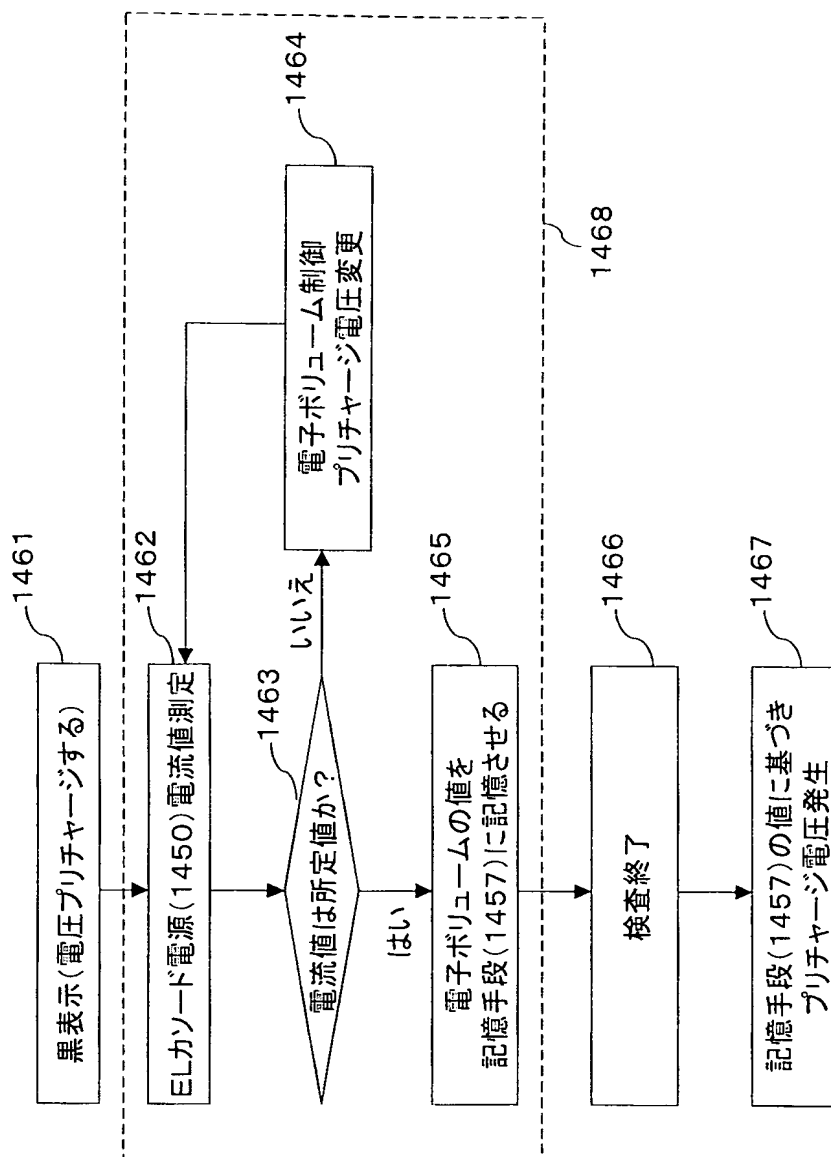
[図144]



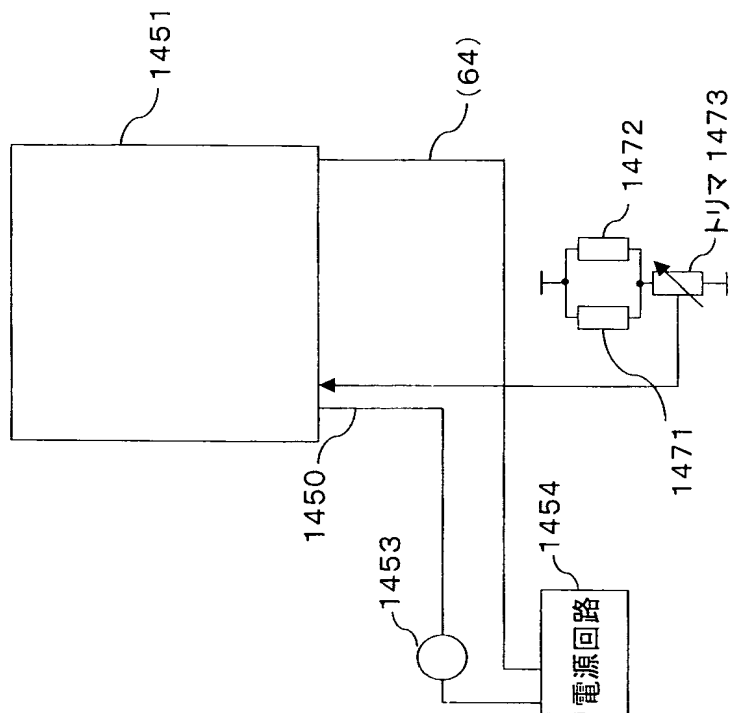
[図145]



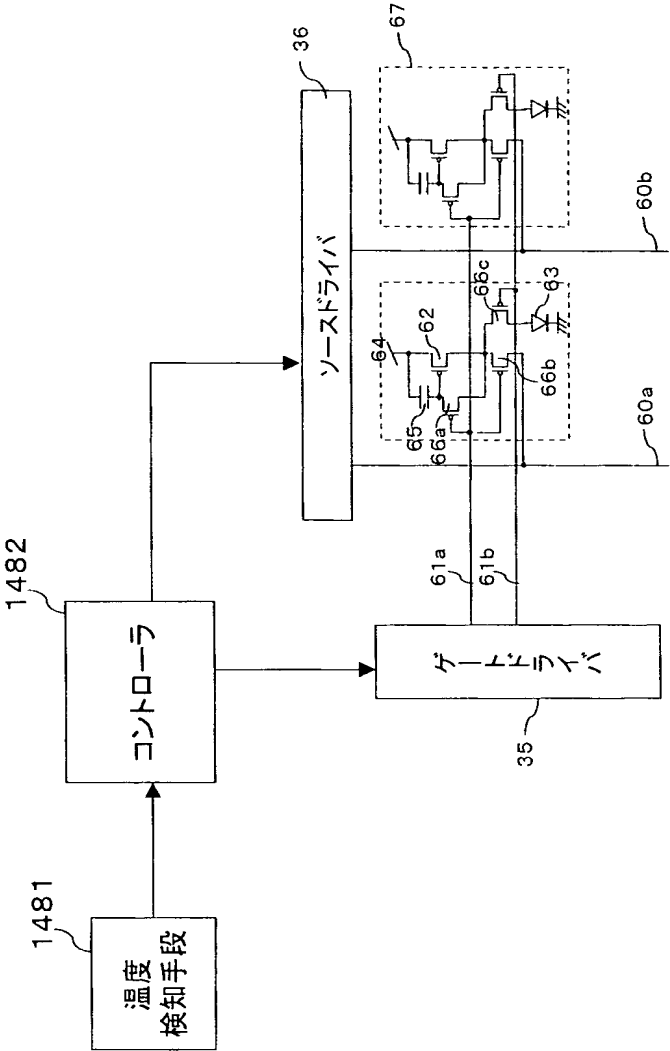
[図146]



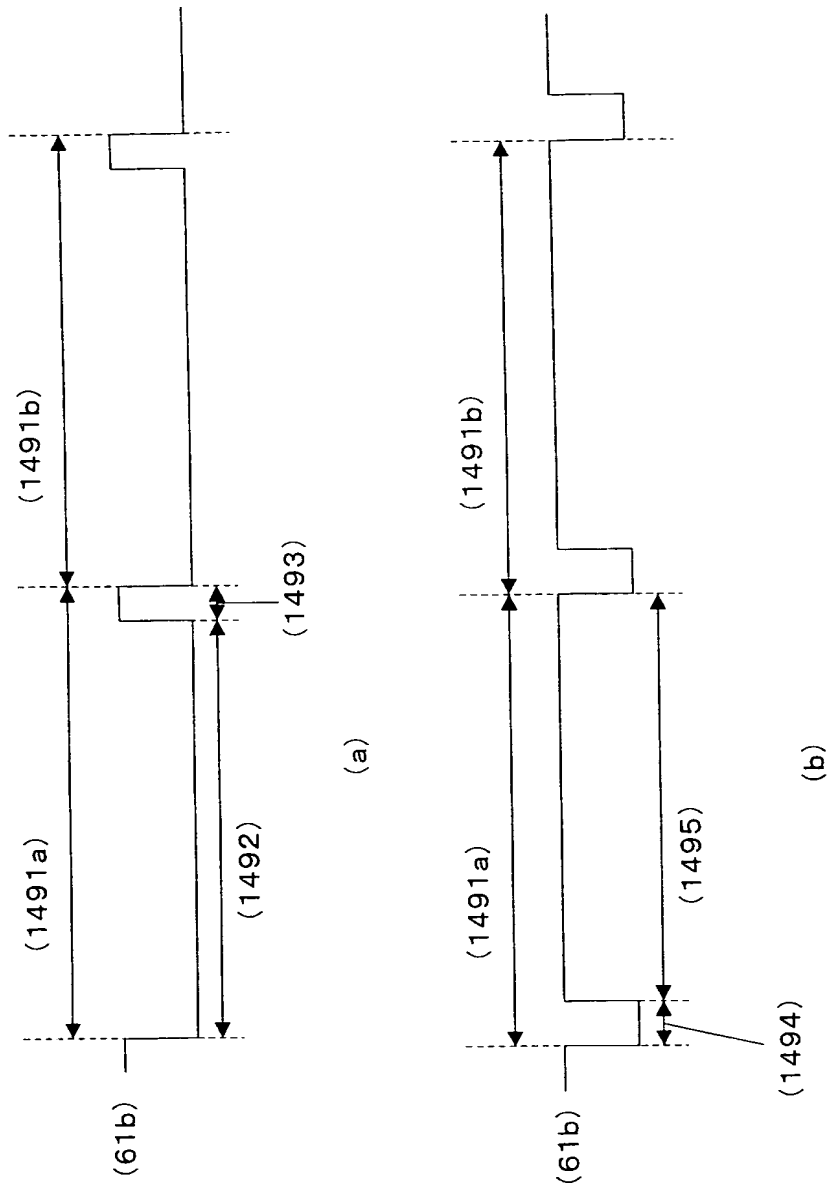
[図147]



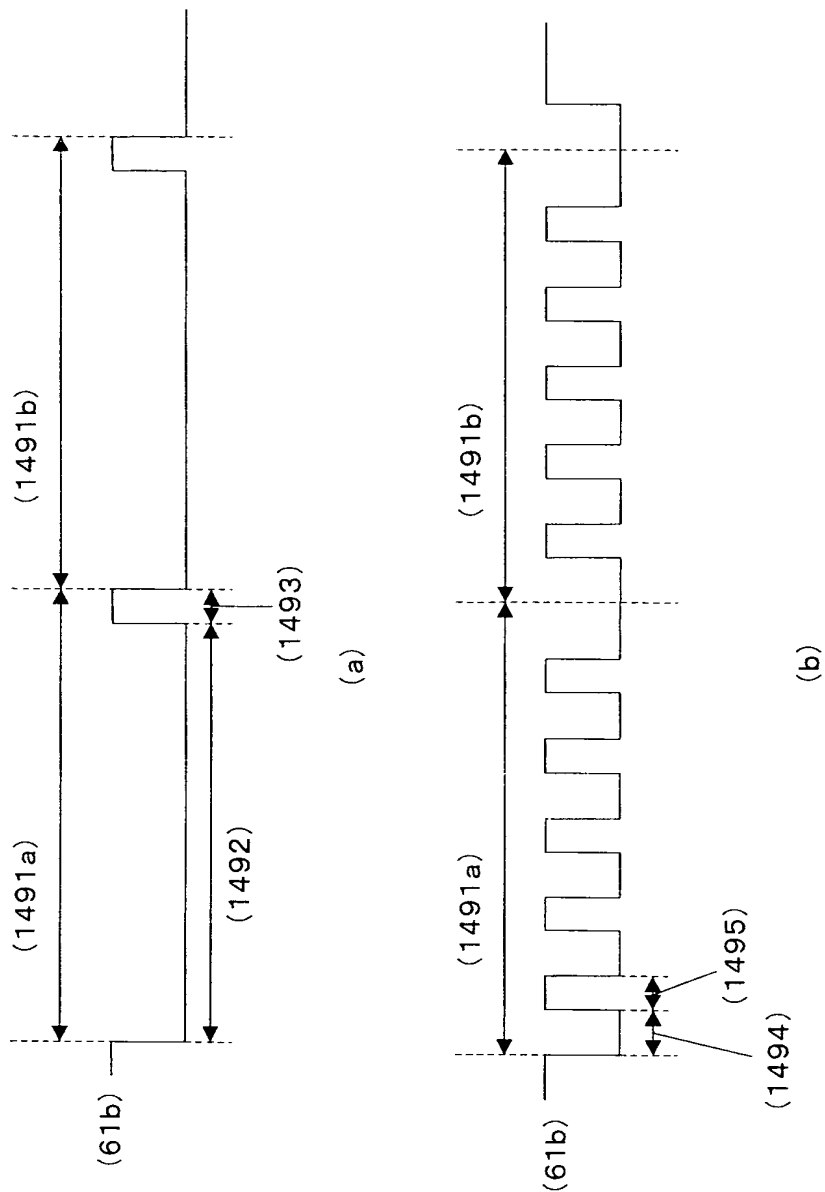
[図148]



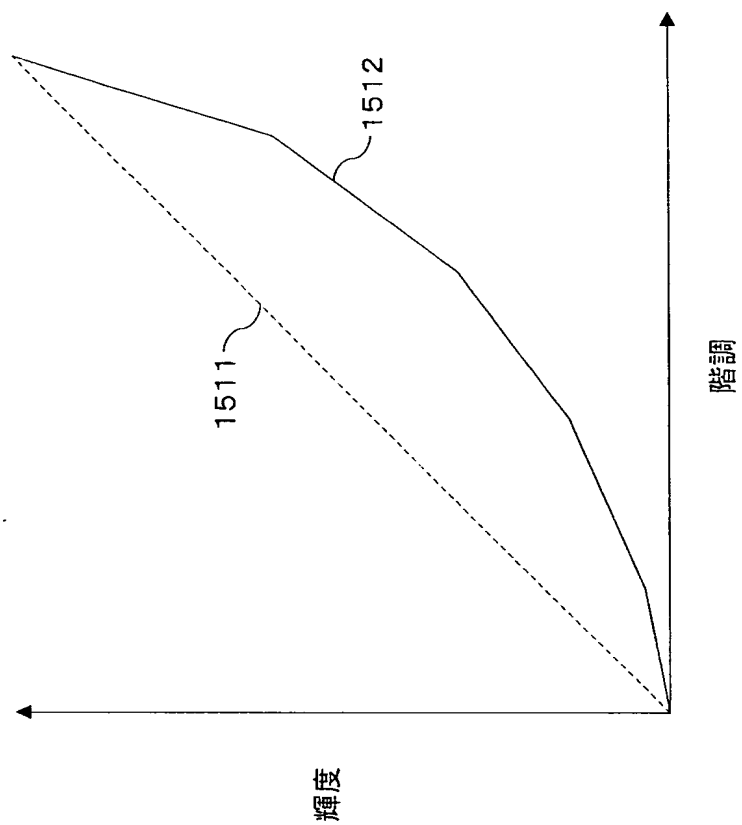
[図149]



[図150]

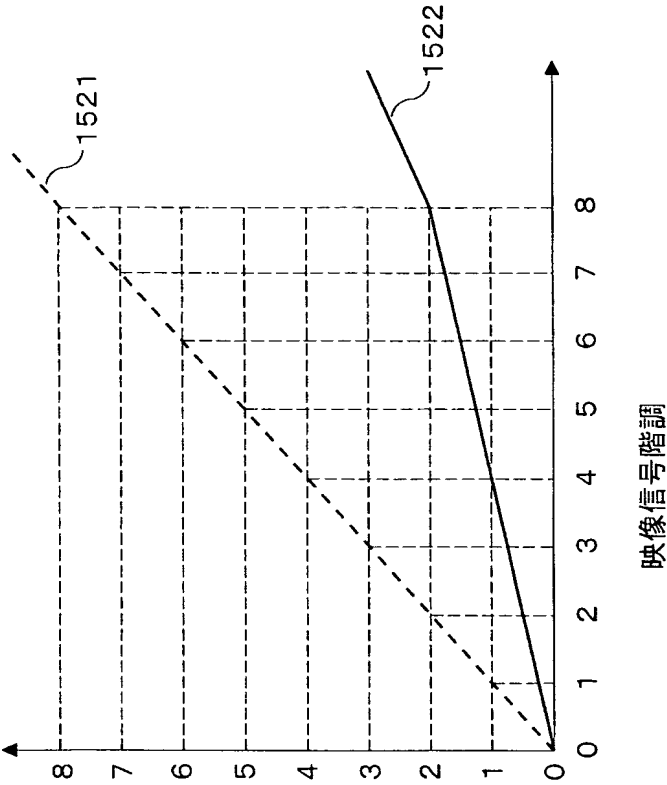


[図151]



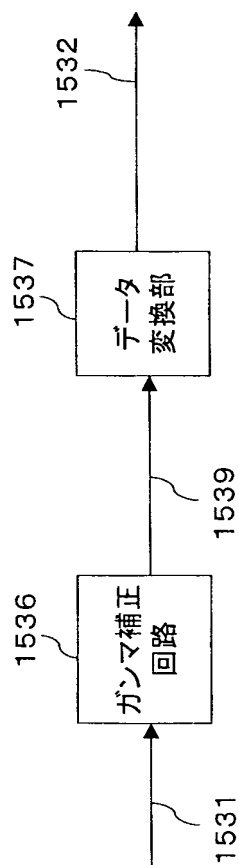


[図152]

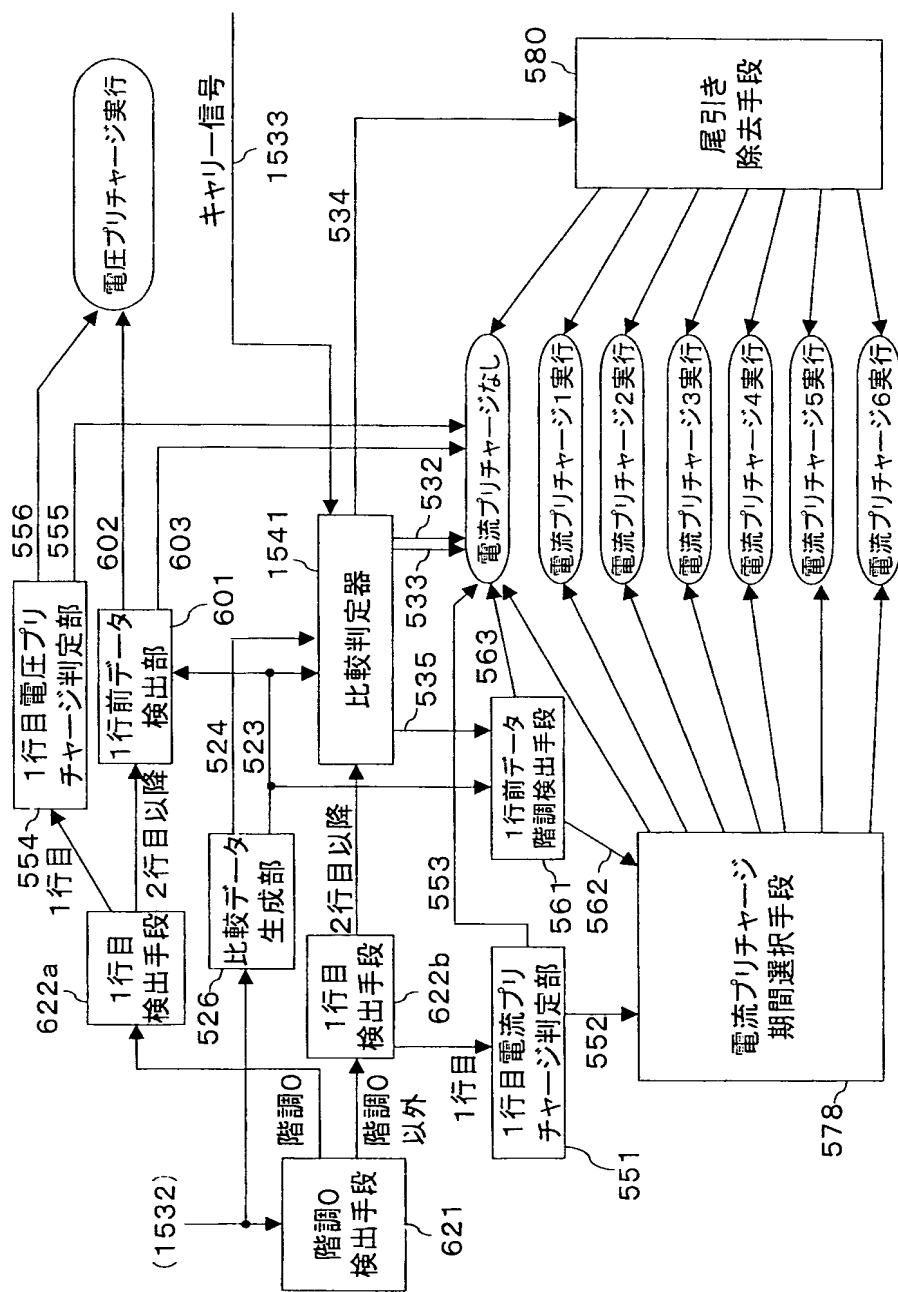


ソースドライバ階調  
( $\propto$  ソースドライバ電流出力)

[図153]



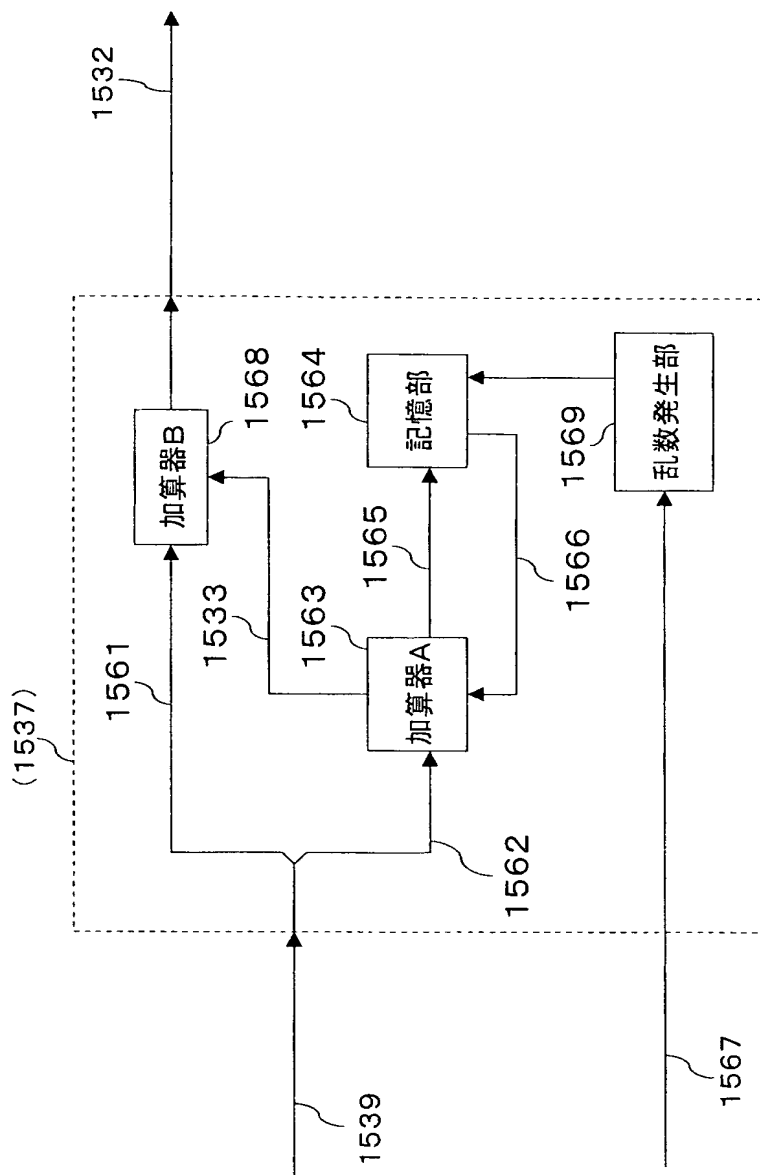
[図154]



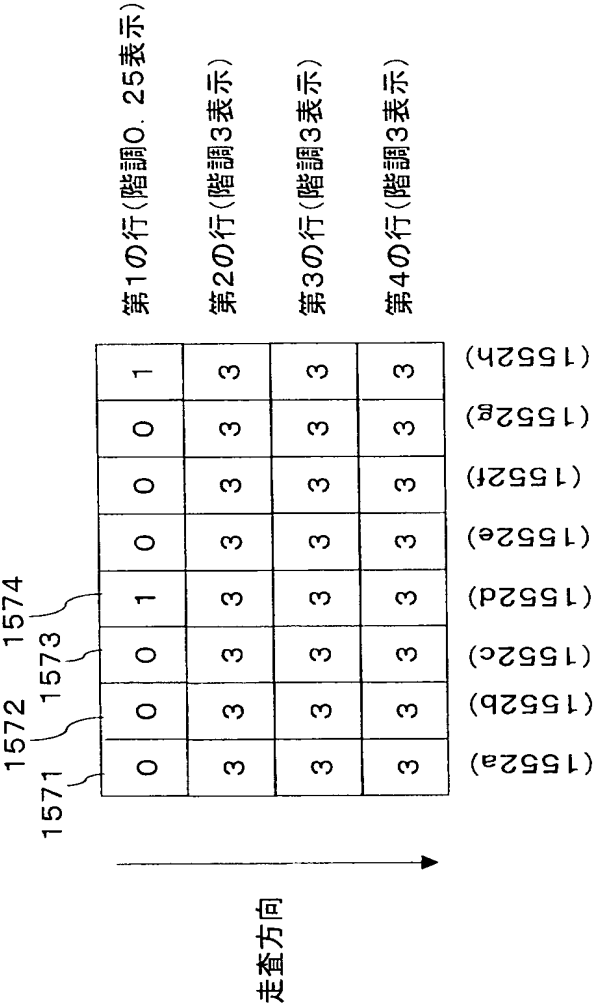
[図155]

1555									
1553	1554	1556	1557			(1551a)			
0	0	0	1	0	0	1	(1552h)	(1552g)	(1552f)
0	1	0	0	0	1	0	(1552e)	(1552d)	(1552c)
0	0	1	0	0	0	0	(1552b)	(1552a)	
0	0	1	0	0	1	0			
0	0	0	1	0	0	1			
1	0	0	0	0	0	0			
						(1551b)	(1551c)	(1551d)	

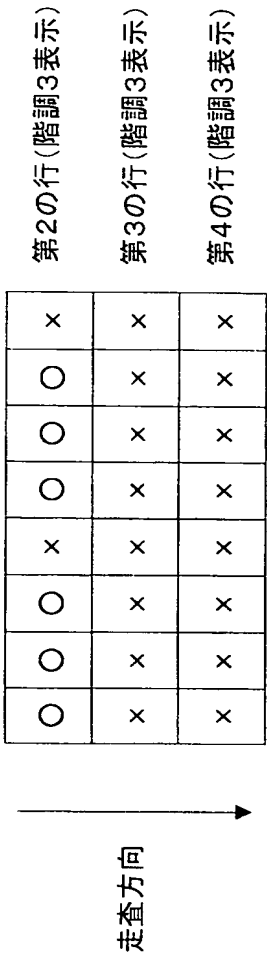
[図156]



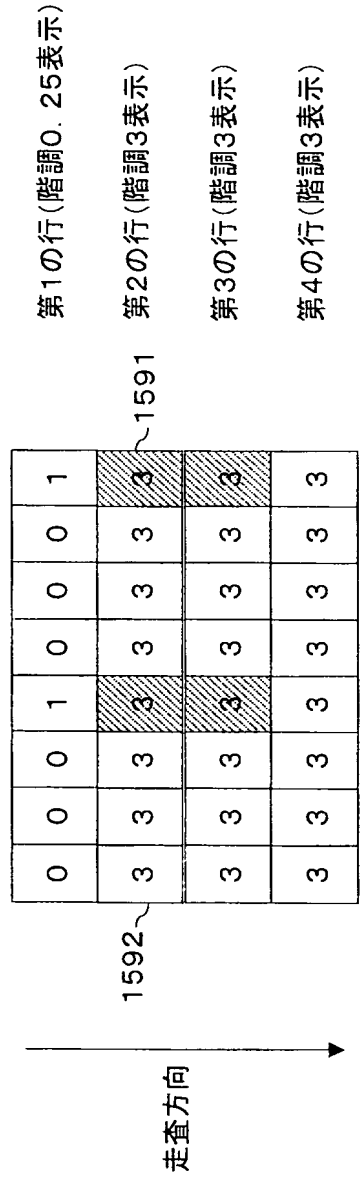
[図157]



[図158]



[図159]





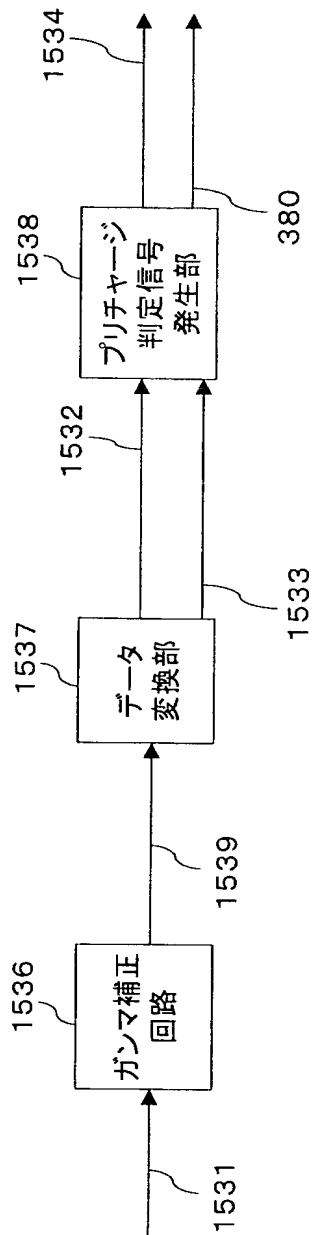
[図160]



(a)

(b)

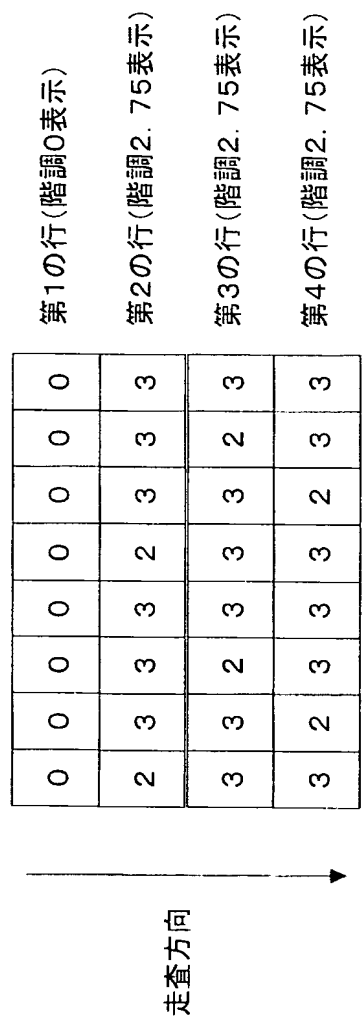
[図161]







[図164]





[図166]

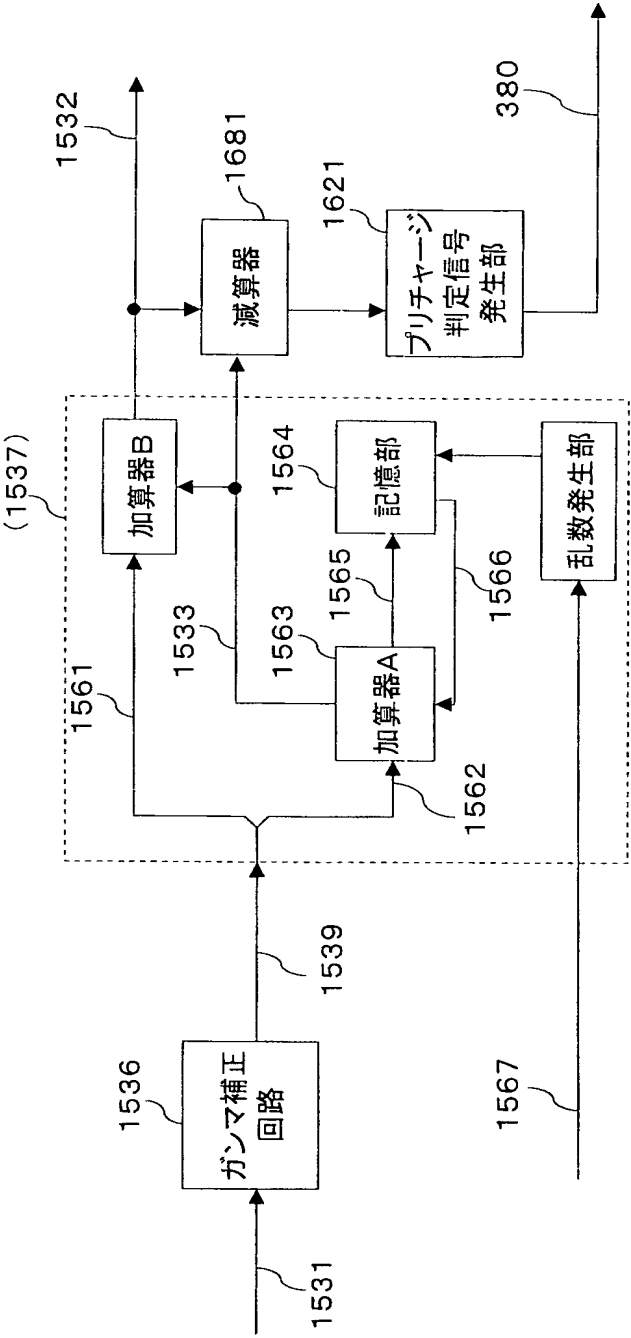
1行前 キャリアー信号(1533)	現在の キャリアー信号(1533)	判定
0	0	プリチャージなし
0	1	プリチャージなし
1	0	プリチャージあり
1	1	プリチャージなし

[図167]

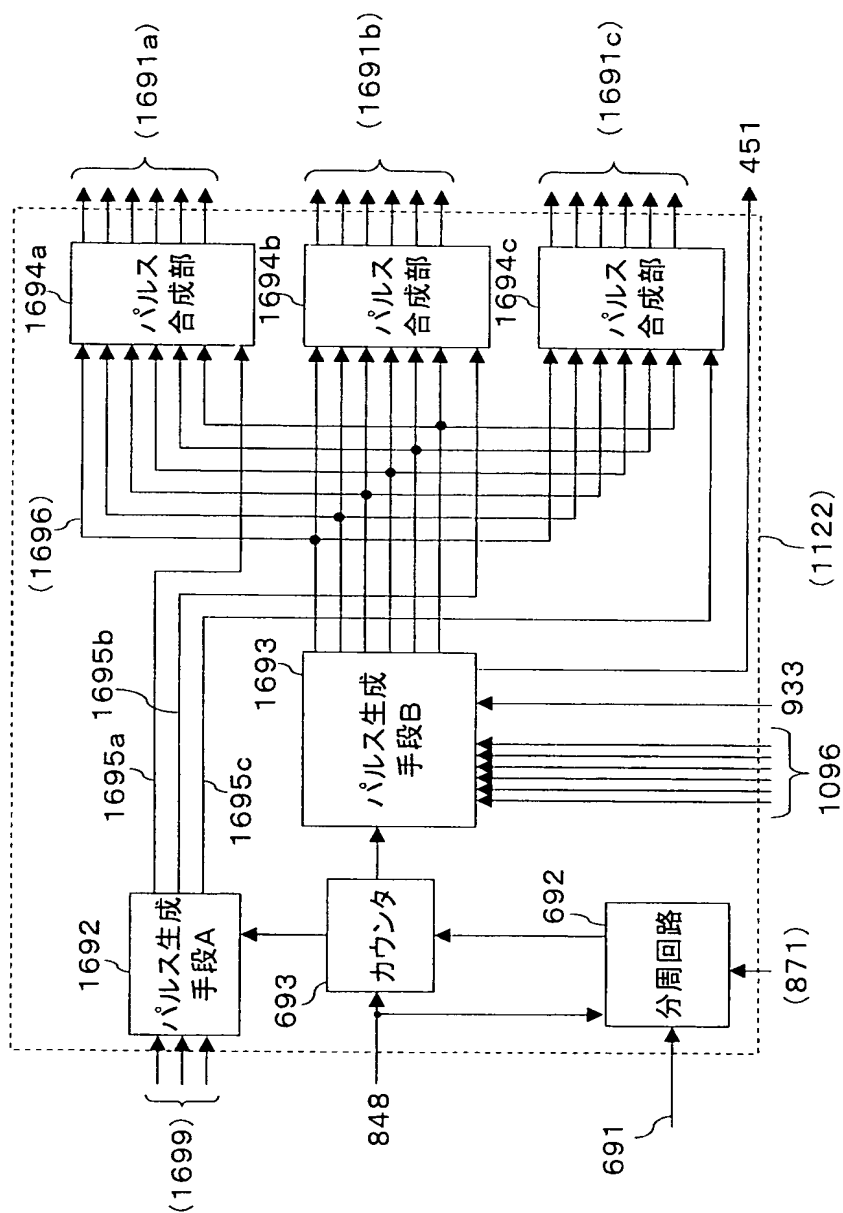
1行前 キャリアー信号(1533)	現在の キャリアー信号(1533)	判定
0	0	プリチャージあり
0	1	プリチャージなし
1	0	プリチャージあり
1	1	プリチャージあり



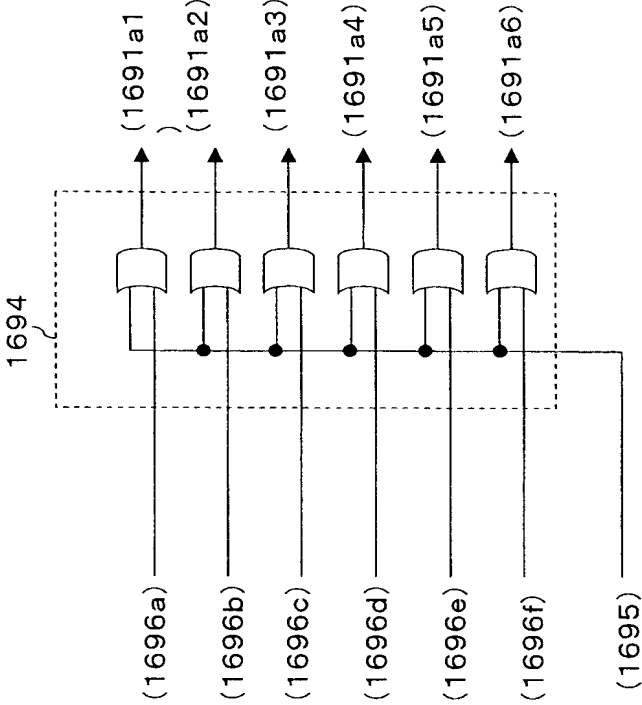
[図168]



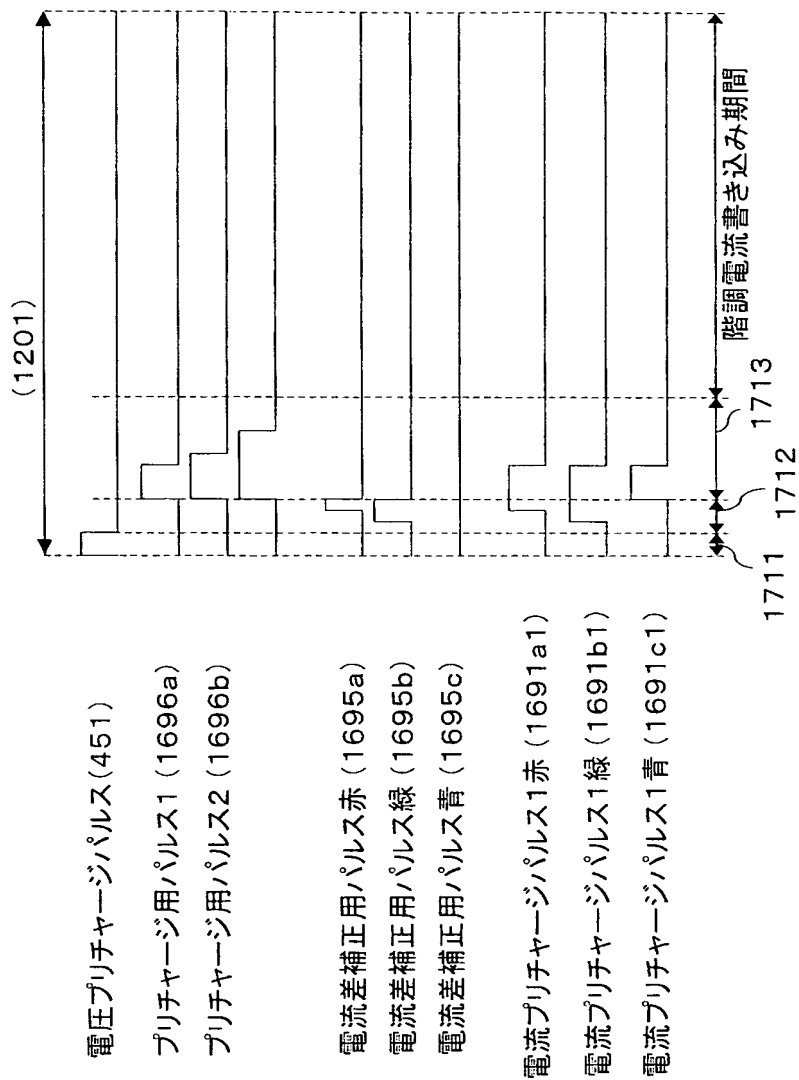
[図169]



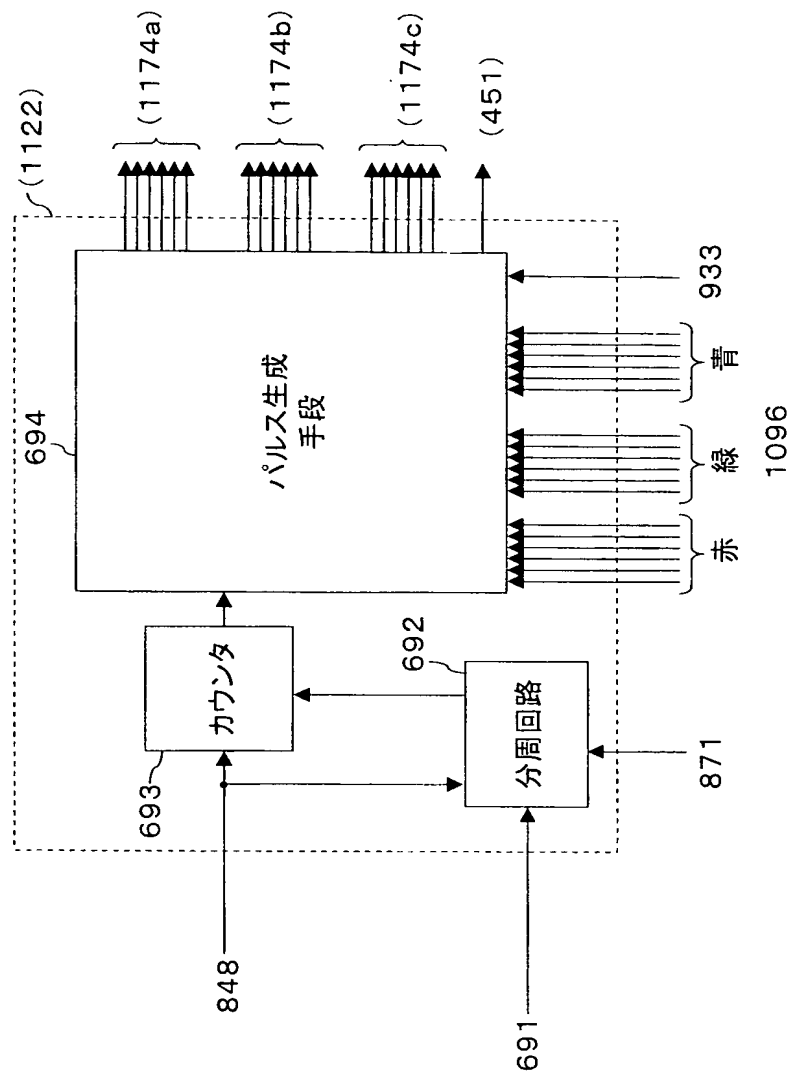
[図170]



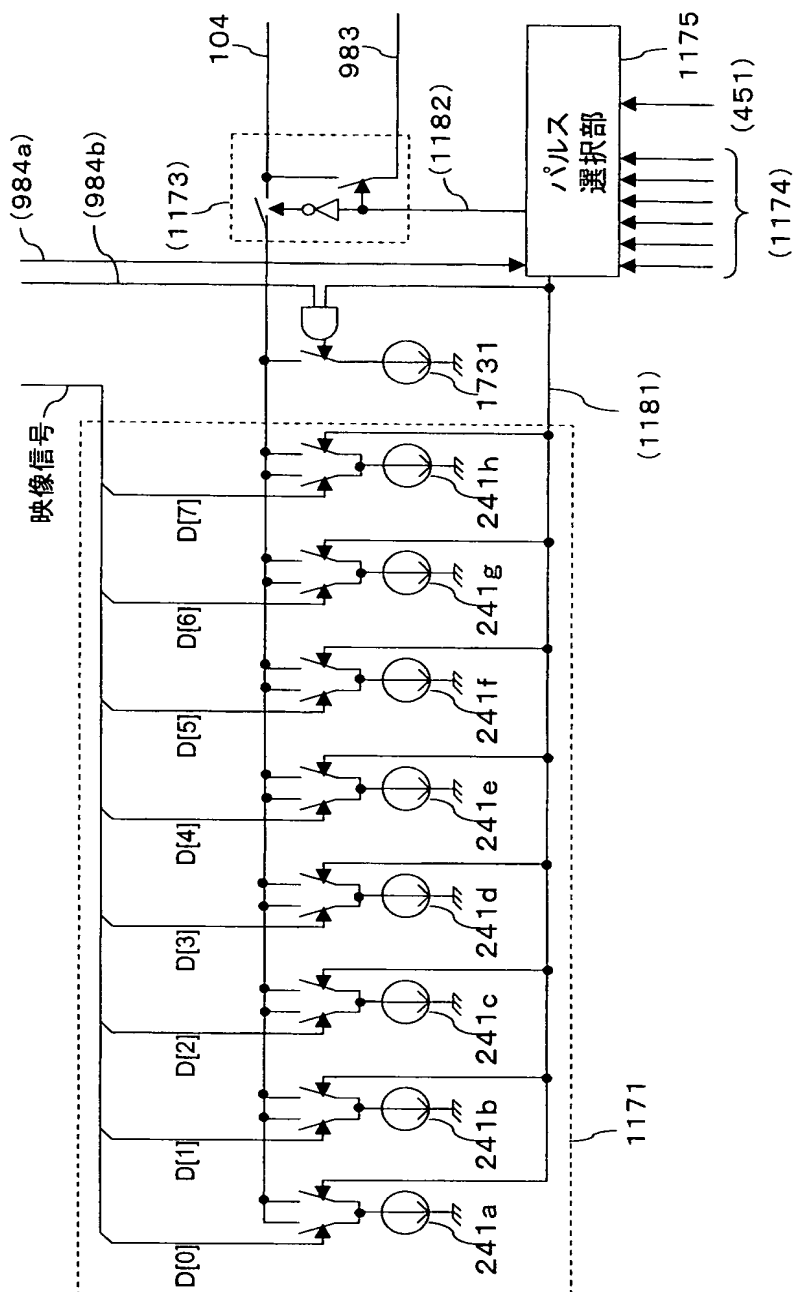
[図171]



[図172]



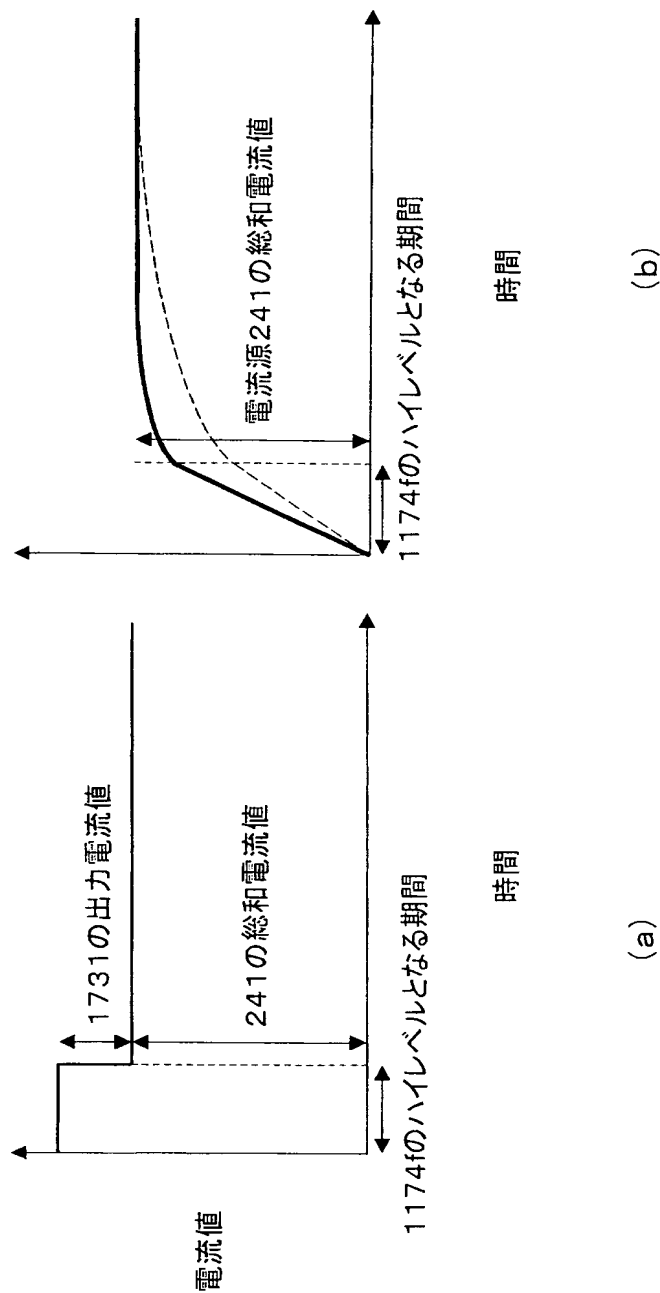
[図173]



[図174]

プリチャージ判定線			動作	
984b	984a		電圧プリチャージ	電流プリチャージ(電流値、期間)
X	0	0	なし	なし
0	0	0	あり	電流源241a~241hにより1174aのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174aのパルス入力期間実施
0	0	1	あり	電流源241a~241hにより1174bのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174bのパルス入力期間実施
0	0	1	あり	電流源241a~241hにより1174cのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174cのパルス入力期間実施
0	1	0	あり	電流源241a~241hにより1174dのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174dのパルス入力期間実施
0	1	0	あり	電流源241a~241hにより1174eのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174eのパルス入力期間実施
0	1	1	あり	電流源241a~241hにより1174fのパルス入力期間実施
1			あり	電流源241a~241h、1731により1174fのパルス入力期間実施
X	1	1	あり	なし

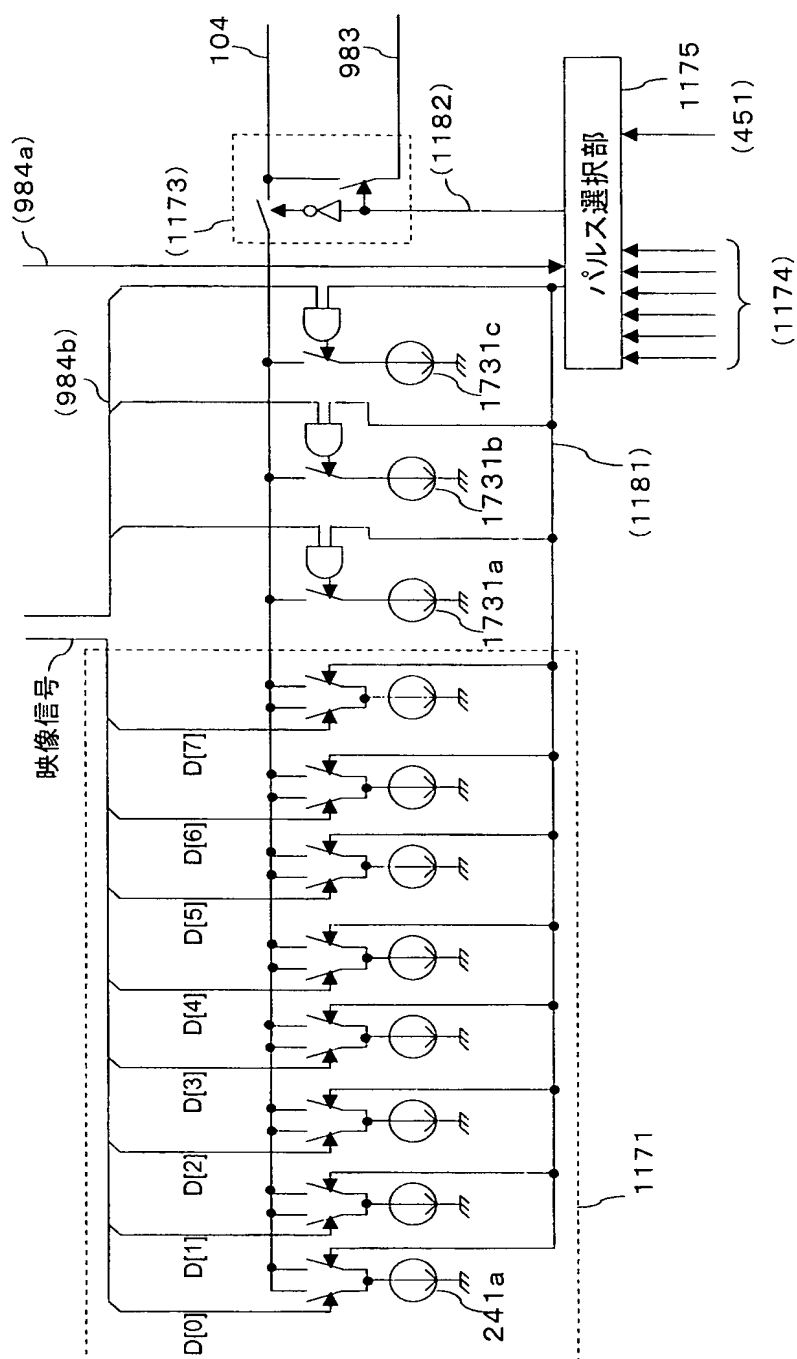
[図175]



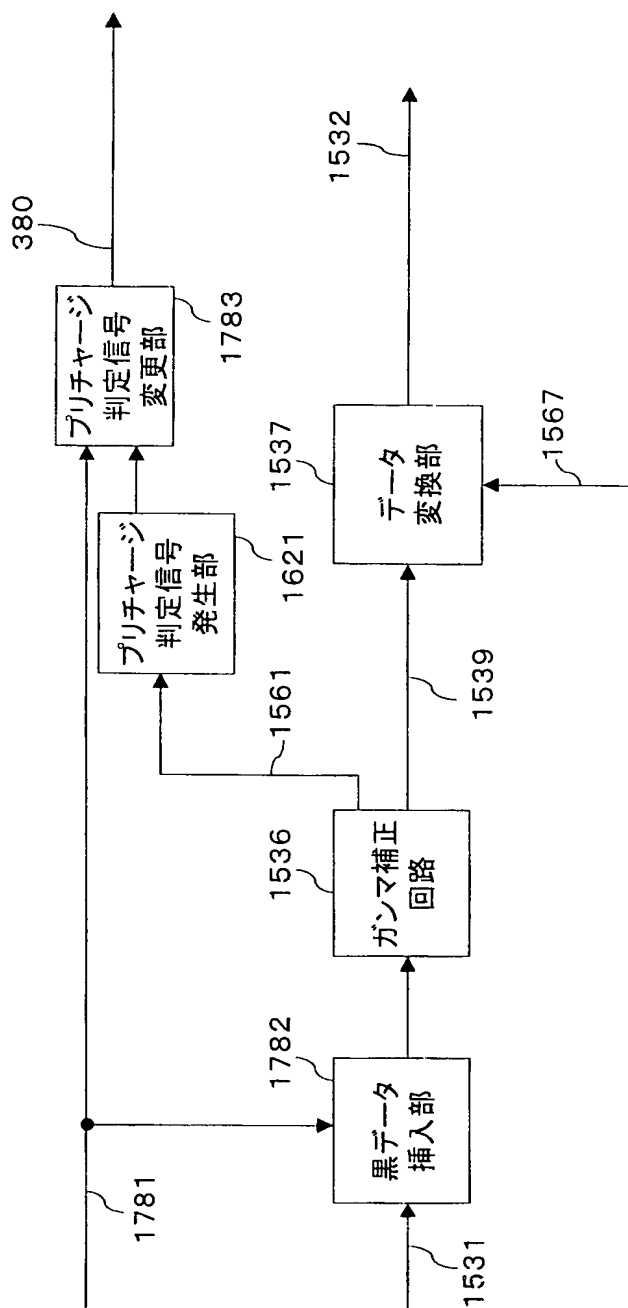




[図177]



【図178】



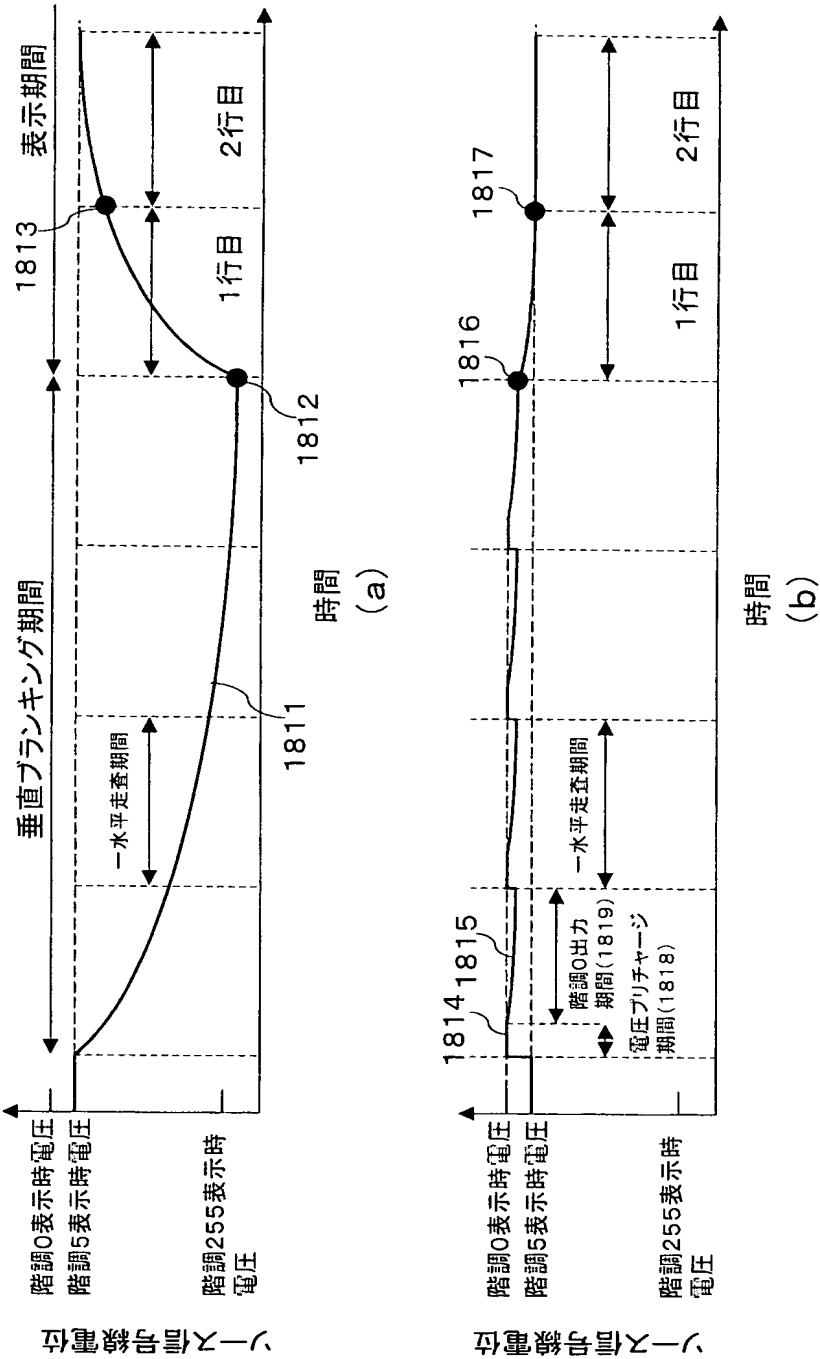
[図179]

データネーブル信号の状態	黒データ挿入部(1782)出力
ブランキング期間	階調0を出力
表示用データ	入力映像信号と同一信号出力

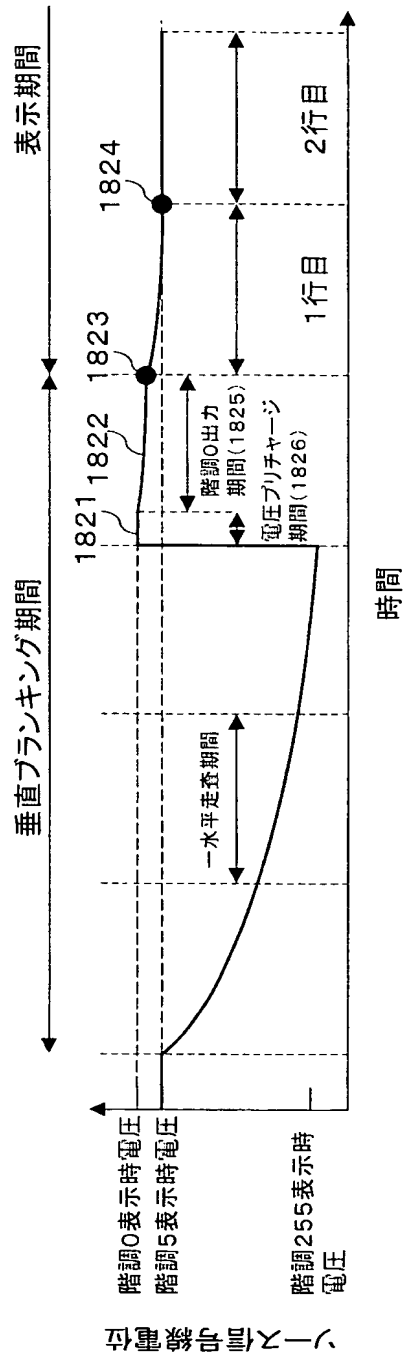
[図180]

データイネーブル信号の状態	プリチャージ判定信号変更部出力
ブランキング期間	入力映像信号による判定結果によらず「7」を出力(電圧プリチャージのみを行うための信号出力)
表示用データ	入力映像信号による判定結果を出力する

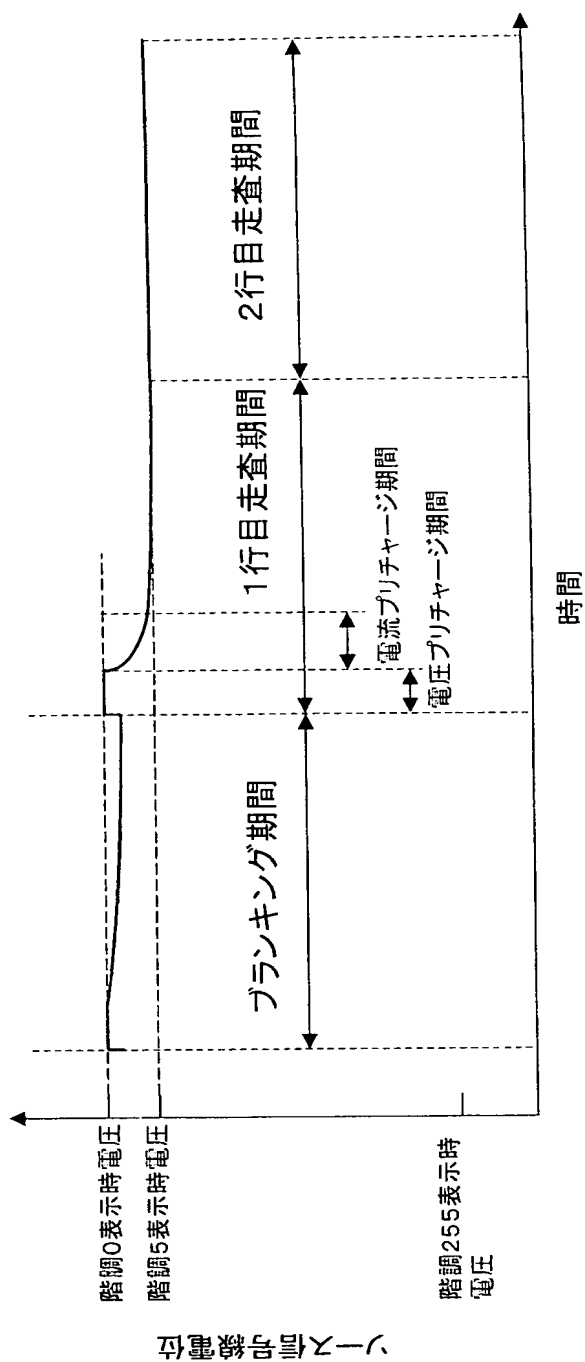
[図181]



[図182]

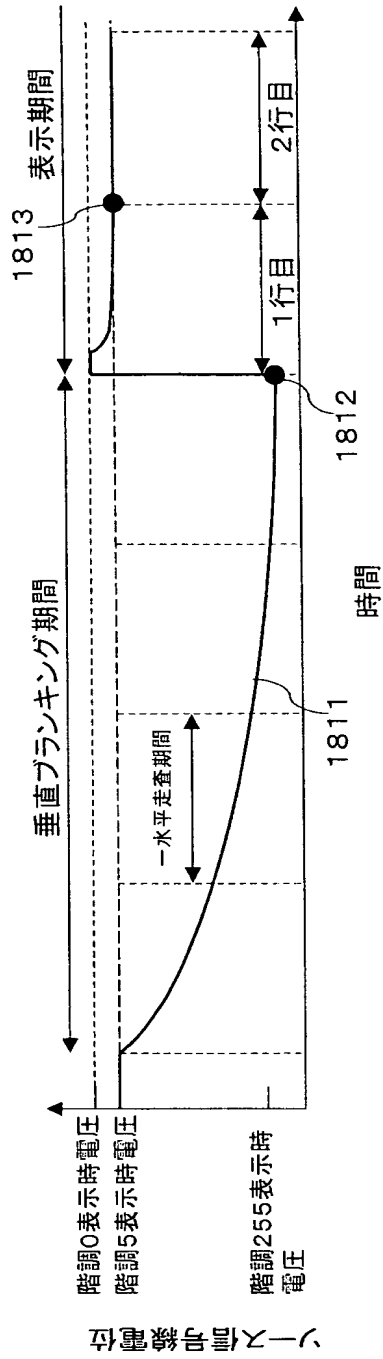


[図183]

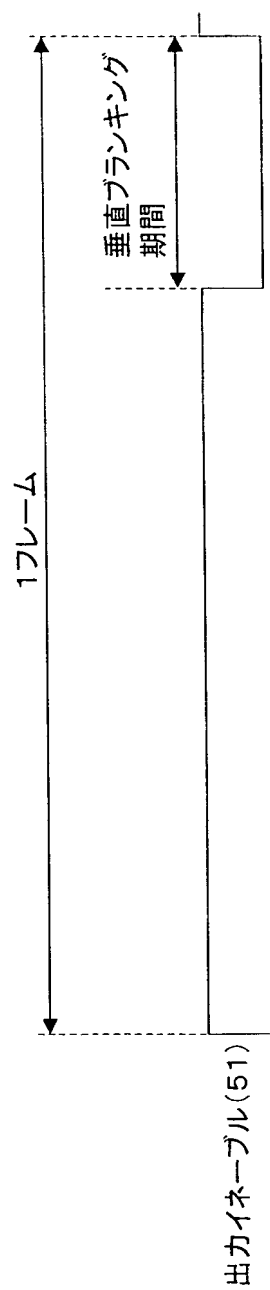




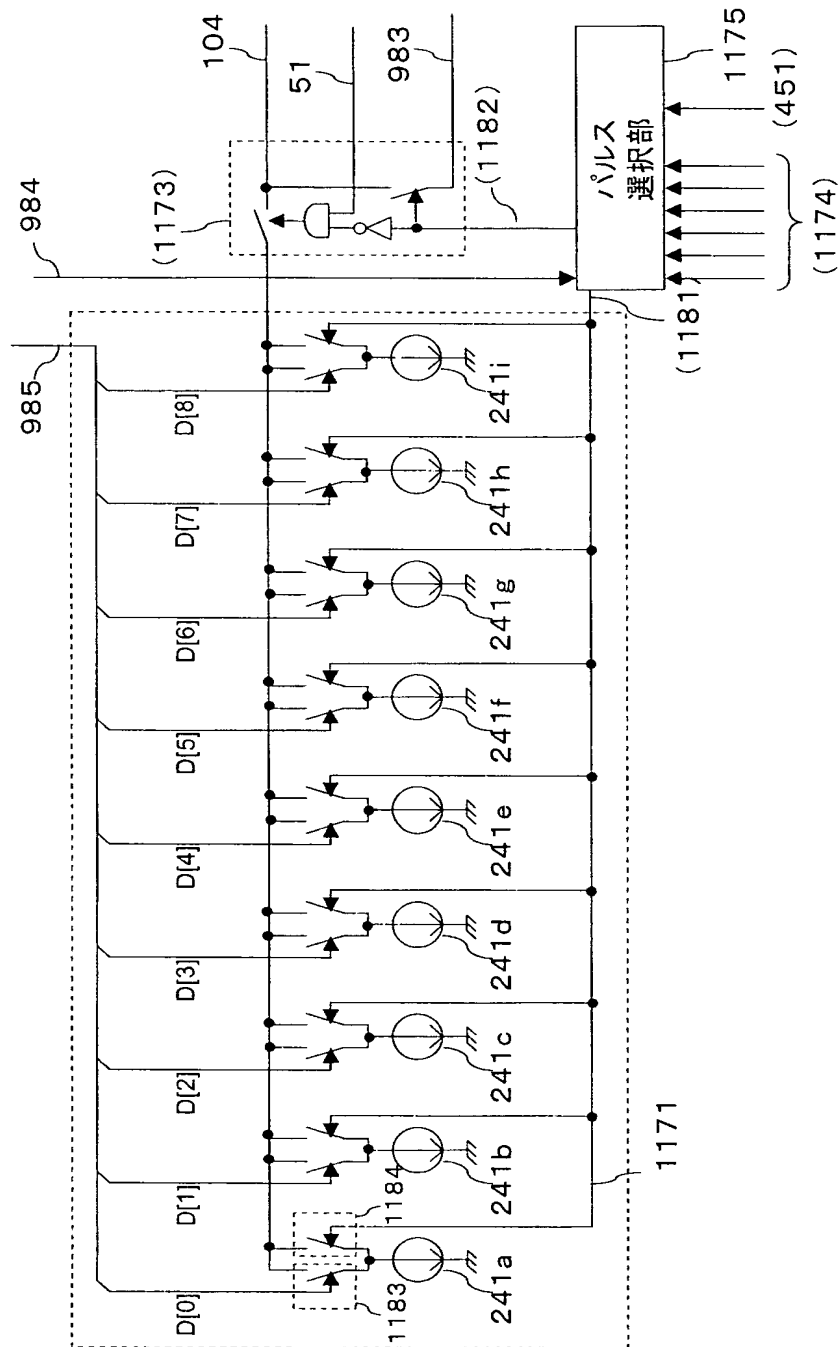
[図184]



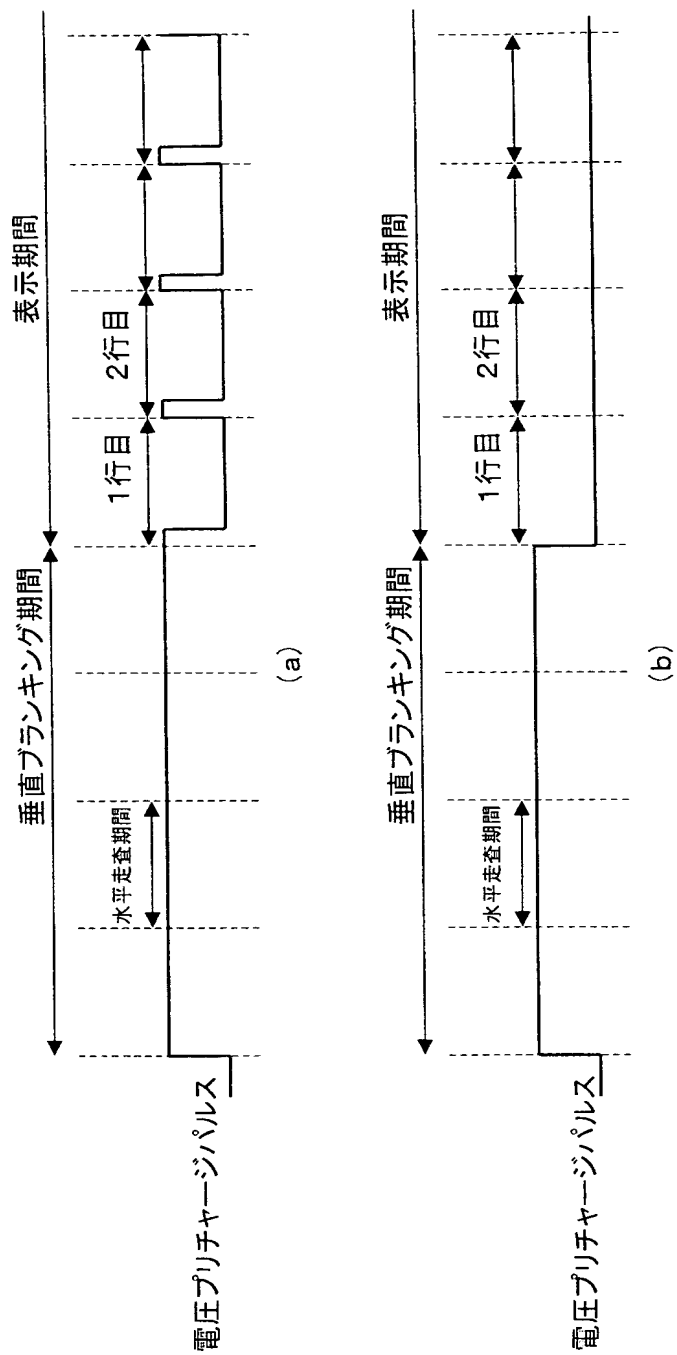
[図185]



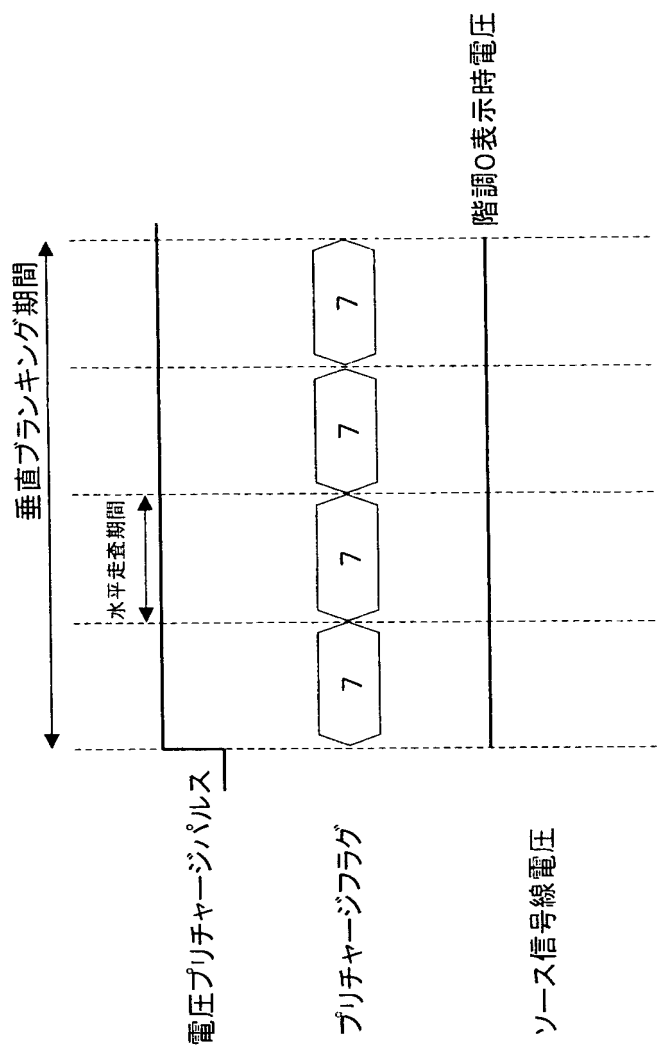
[図186]



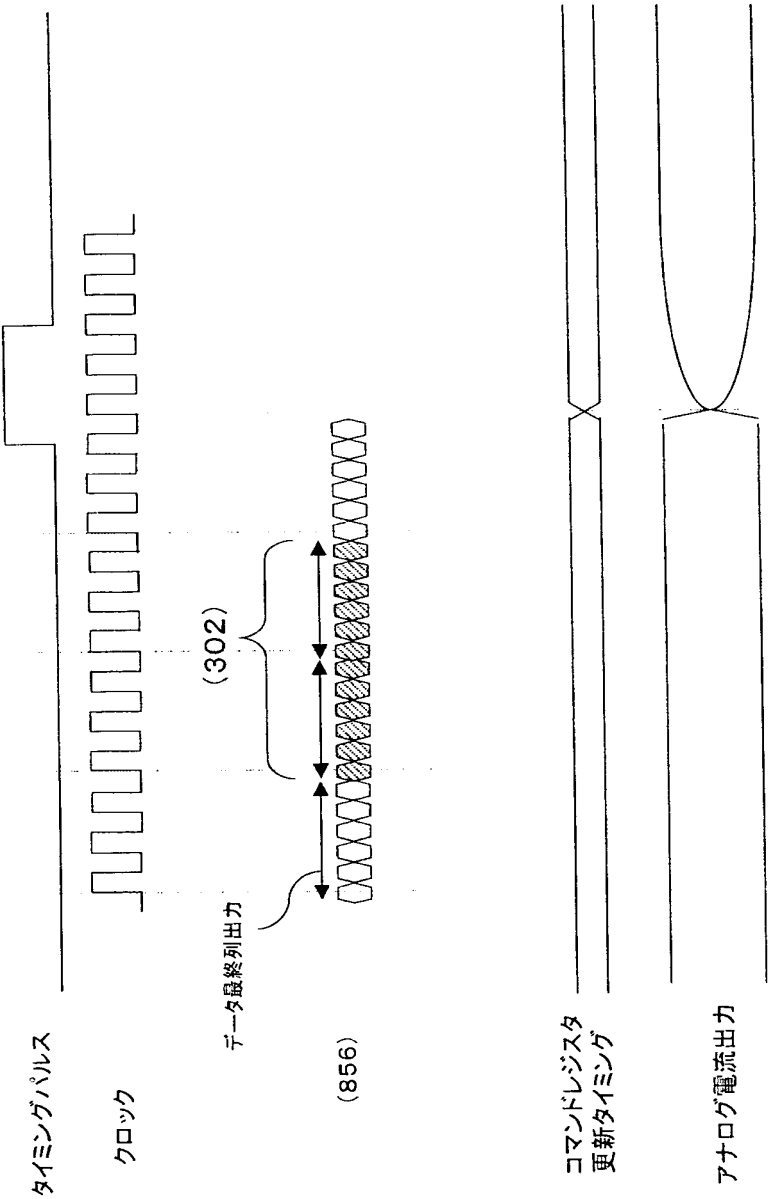
[図187]



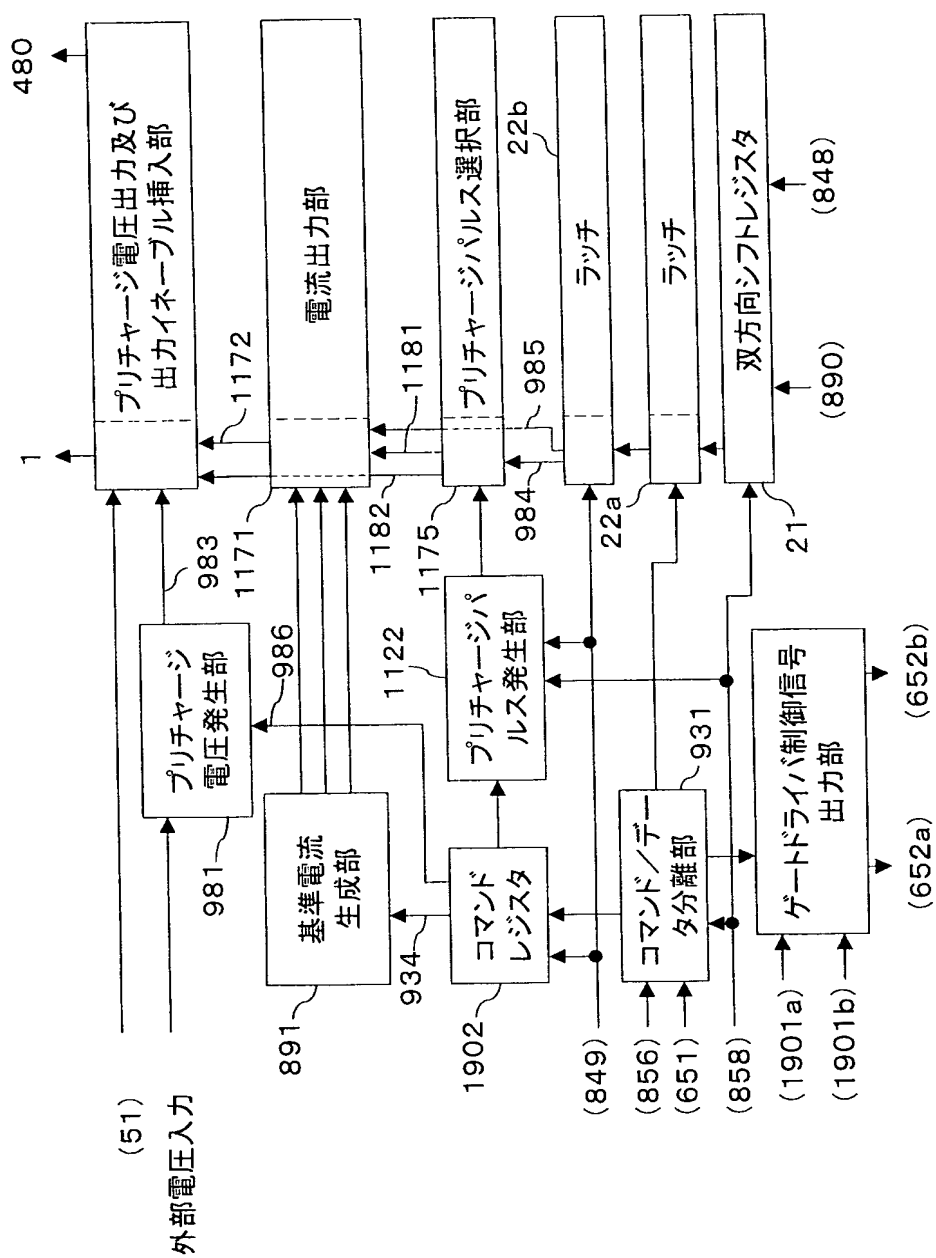
[図188]



[図189]



[図190]



# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/017735

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> G09G3/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> G09G3/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-114645 A (Seiko Epson Corp.), 18 April, 2003 (18.04.03), Par. Nos. [0054] to [0072]; Figs. 6 to 8	1-7, 14-20, 29-30
X	Par. Nos. [0091] to [0114]; Figs. 18 to 26	9-13
Y	Par. Nos. [0054] to [0072]; Figs. 6 to 8 & US 2003/030602 A1 & CN 1427385 A & EP 1282104 A1 & KR 2003/013273 A	8, 21-28
X	JP 2003-332910 A (Toshiba Matsushita Display Technology Kabushiki Kaisha), 21 November, 2003 (21.11.03), Par. Nos. [0672] to [0702]; Figs. 70, 74 to 75, 79	1-4, 8, 14-17, 21-30
Y	Par. Nos. [0672] to [0702]; Figs. 70, 74 to 75, 79 (Family: none)	8, 21-28
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 March, 2005 (08.03.05)		Date of mailing of the international search report 22 March, 2005 (22.03.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017735

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-43997 A (LG Electronics Inc.), 14 February, 2003 (14.02.03), Par. Nos. [0014] to [0038]; Figs. 2 to 9 & US 2003/006713 A1 & CN 1402215 A & EP 1274065 A2 & KR 2003/004774 A & KR 2003/084377 A	1-2, 14-15, 29-30
X	JP 2003-283267 A (Matsushita Electric Industrial Co., Ltd.), 03 October, 2003 (03.10.03), Par. Nos. [0171] to [0184]; Fig. 10 & US 2003/184568 A1 & CN 1447204 A & EP 1349139 A2 & KR 2003/078027 A	1, 7, 14, 20, 29-30
Y	JP 2003-150104 A (Matsushita Electric Industrial Co., Ltd.), 23 May, 2003 (23.05.03), Par. Nos. [0867] to [0870]; Fig. 126 (Family: none)	6-7, 19-20
P, X	JP 2004-252419 A (Semiconductor Energy Laboratory Co., Ltd.), 09 September, 2004 (09.09.04), Par. Nos. [0141] to [0151]; Figs. 24 to 25 & AU 2003/302520 A1 & US 2004/227749 A1 & WO 2004/51615 A1	1, 3, 5-6, 14, 16, 18-19, 29-30
P, X	JP 2004-318153 A (Sumusun OLED Kabushiki Kaisha), 11 November, 2004 (11.11.04), Par. Nos. [0025] to [0038]; Figs. 2 to 6 (Family: none)	1-5, 14-18, 29-30
E, X	JP 2005-55909 A (Baruko N.V.), 03 March, 2005 (03.03.05), Par. Nos. [0035] to [0087]; Figs. 1 to 3 (Family: none)	1, 14, 29-30

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017735

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

Although a matter common to inventions in claims 1-30 is a driving method of self-luminous type display unit provided with the step of applying a pre-charge current to a self-luminous element based on a specified first condition, it is disclosed in document JP 2003-114645 A (Seiko Epson Corp.), 18 April, 2003 (18.04.03) and therefore is clearly not novel. Consequently the common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since providing the step of applying a pre-charge current to a self-luminous element based on a specified first condition makes no contribution over the prior art. Therefore, it is clear that the inventions in respective claims 1-2, 14-15, 29-30, (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017735

Continuation of Box No.III of continuation of first sheet (2)

claims 3-4, 16-17, claims 5, 18, claims 6, 19, claims 7, 20, claims 8, 21-28, claims 9-13 do not fulfill the requirement of unity of invention.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-114645 A (セイコーエプソン株式会社) 2003.04.18 段落番号【0054】-【0072】, 図6-8	1-7, 14-20, 29-30
X	段落番号【0091】-【0114】, 図18-26	9-13
Y	段落番号【0054】-【0072】, 図6-8 &US 2003/030602 A1 &CN 1427385 A &EP 1282104 A1 &KR 2003/013273 A	8, 21-28

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

08.03.2005

国際調査報告の発送日

22.3.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-332910 A (東芝松下ディスプレイテクノロジー株式会社), 2003. 11. 21 段落番号【0672】-【0702】, 図70, 74-75, 79	1-4, 8, 14-17, 21-30
Y	段落番号【0672】-【0702】, 図70, 74-75, 79 (ファミリーなし)	8, 21-28
X	JP 2003-43997 A (エルジー電子株式会社) 2003. 02. 14, 段落番号【0014】-【0038】, 図 2-9, &US 2003/006713 A1 &CN 1402215 A &EP 1274065 A2 &KR 2003/004774 A &KR 2003/084377 A	1-2, 14-15, 29 -30
X	JP 2003-283267 A (松下電器産業株式会社) 2003. 10. 03, 段落番号【0171】-【0184】, 図 10, &US 2003/184568 A1 &CN 1447204 A &EP 1349139 A2 &KR 2003/078027 A	1, 7, 14, 20, 29 -30
Y	JP 2003-150104 A (松下電器産業株式会社) 2003. 05. 23, 段落番号【0867】-【0870】, 図 126 (ファミリーなし)	6-7, 19-20
P, X	JP 2004-252419 A (株式会社半導体エネルギー研 究所), 2004. 09. 09, 段落番号【0141】-【015 1】, 図24-25, &AU 2003/302520 A1 &US 2004/227749 A1 &WO 2004/51615 A1	1, 3, 5-6, 14, 1 6, 18-19, 29-3 0
P, X	JP 2004-318153 A (サムスンオーエルイーディー 株式会社), 2004. 11. 11, 段落番号【0025】-【0 038】; 図2-6 (ファミリーなし)	1-5, 14-18, 29 -30
E, X	JP 2005-55909 A (バルコ・ナムローゼ・フエンノ ートシャップ), 2005. 03. 02, 段落番号【0035】- 【0087】, 図1-3 (ファミリーなし)	1, 14, 29-30

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-30に係る発明の共通の事項は、自己発光型表示装置の駆動方法において、所定の第1条件に基づき、自己発光素子にプリチャージ電流を印加する工程を備えたことであるが、その点は文献JP 2003-114645 A（セイコーエプソン株式会社）、2003.04.18等の開示されているから、新規でないことが明らかとなった。結果として、自己発光型表示装置の駆動方法において、所定の第1条件に基づき、自己発光素子にプリチャージ電流を印加する工程を備えることは、先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。よって、請求の範囲1-2、14-15、29-30、請求の範囲3-4、16-17、請求の範囲5、18、請求の範囲6、19、請求の範囲7、20、請求の範囲8、21-28、請求の範囲9-13の各々に係る発明は発明の単一性の要件を満たしていないことが明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。